

**Funktelefon C-Netz**

## **Gerätebeschreibungen**

**Band 1**



**SIEMENS**

**Funktelefon C-Netz LM4**  
**Gerätebeschreibungen**

**A42023-H1-X-1-18**

**Band 1**

---

Siemens-Aktiengesellschaft

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme  
Hofmannstraße 51, D-8000 München 70  
Verfasser: Dr. Schmidt

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung und Mitteilung ihres Inhalts nicht gestattet, soweit nicht ausdrücklich zugestanden. Zu widerhandlungen verpflichten zu Schadenersatz. Alle Rechte vorbehalten, insbesondere für den Fall der Patenterteilung oder GM-Eintragung.  
Technische Änderungen vorbehalten.

© Siemens AG 1989

A42023-H1-X-1-18

**SIEMENS**

**FDS**  
**-H72-B5-**

**SAE  
-H76-B1-**

FME  
H129-F1-

**PFG**  
**-H130-E2-**

**FKM-SPK**  
**-H131-E1-**

# Fu Tel C-Netz Gerätebeschreibungen LM 6

## **Band 1**

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme  
Hofmannstraße 51, D-8000 München 70

Verfasser: SÖ ETG 22, Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung und Mitteilung ihres Inhalts nicht gestattet, soweit nicht ausdrücklich zugestanden. Zu widerhandlungen verpflichten zu Schadensersatz. Alle Rechte vorbehalten, insbesondere für den Fall der Patenterteilung oder GM-Eintragung.  
Technische Änderungen vorbehalten.

© Siemens AG 1989

**Funkdatensteuerung (FDS)****S42023-H72-B5, -B6****Inhalt**

	Seite
1      Übersicht .....	5
1.1     Funkdatensteuerung in der Basisstation .....	5
1.2     Aufgabenstellung .....	9
1.2.1   Betriebstechnische Aufgaben .....	9
1.2.2   Vermittlungstechnische Aufgaben .....	9
1.2.3   Sicherheitstechnische Aufgaben .....	9
1.2.4   Funktechnische Aufgaben .....	10
2      Schnittstellen .....	11
2.1     Externe Schnittstellen .....	11
2.1.1   Schnittstelle zur Funkperipherie Funkdatensteuerung (FDS) und Prüf-/Bedienrechner (PBR) .....	11
2.1.1.1   Sendeschnittstelle .....	11
2.1.1.2   Empfangsschnittstelle .....	12
2.1.2   Schnittstelle zur Signalanpaßeinheit (SAE) .....	12
2.1.3   Takschnittstelle zum Phasenempfänger (PHE) .....	14

Herausgegeben von Bereich  
Öffentliche Vermittlungssysteme  
Hofmannstraße 51, D-8000 München 70

2.1.4	Schnittstelle zur Parallel-FDS .....	14
2.1.4.1	Bidirektionale Leitungen .....	15
2.1.4.2	Unidirektionale Leitungen .....	15
2.1.5	Sicherheitstechnische Schnittstellen .....	16
2.1.5.1	Schnittstellen zu den Netzteilen .....	16
2.1.5.2	Schnittstelle zur FDS2 .....	18
2.1.5.3	Schnittstelle Netzteil - Baugruppe Aktivdatei .....	18
2.2	Interne Schnittstellen .....	19
2.2.1	FDS-Bussystem .....	19
2.2.1.1	Adreß- und Datenbus .....	19
2.2.1.2	Steuerbus .....	21
2.2.2	Taktschnittstelle .....	22
2.2.3	Interrupt-Signale .....	22
2.2.4	Sicherheitstechnische Schnittstellen .....	25
3	Funkdatensteuerung (FDS) .....	26
3.1	Datenkonzentrator DKo .....	26
3.1.1	DKo-Prozessor S42024-H179-D1 .....	26
3.1.1.1	CPU .....	26
3.1.1.2	Interrupt-Steuerung PIC .....	29
3.1.1.3	I/O-Adreßdecoder .....	31
3.1.1.4	Parallel-I/O-Ports .....	32
3.1.1.5	Speicheradreßdecoder .....	33
3.1.1.6	Speicher .....	34
3.1.2	DKo-Zeitgeber S42024-H188-C1 .....	35
3.1.2.1	Takterzeugung T256K .....	37
3.1.2.2	Zeitgeber 0 .....	39
3.1.2.2.1	Takterzeugung INT-T37, 5MS-L .....	39
3.1.2.2.2	Blockzähler .....	39
3.1.2.2.3	Überwachungstor .....	39
3.1.2.3	Zeitgeber 1, 2 .....	40
3.1.2.4	Überwachungstor und Verzögerungslogik .....	41
3.1.2.5	Adreßdecoder .....	41
3.1.2.6	Serielle Schnittstelle USART 2661 .....	41
3.1.3	Schnittstelle ZZK S42024-H187-D1 .....	42
3.1.3.1	Steuerlogik .....	44
3.1.3.2	Seriell-/Parallel-Wandler .....	45
3.1.3.3	Kontrollogik .....	47
3.1.3.4	Adreßdecoder .....	54
3.1.3.5	I/O-Ports .....	54
3.1.3.6	Speicher .....	54
3.1.3.7	ZZK-Schleifentest .....	55

3.1.4	Schnittstelle FKS S42024-H186-C1 .....	56
3.1.4.1	Empfänger .....	59
3.1.4.2	Multiplexer .....	62
3.1.4.3	Latch .....	62
3.1.4.4	Speicher .....	62
3.1.4.5	Sender .....	64
3.2	Dateien- und Kanalverwaltung DKV .....	65
3.2.1	DKV-Prozessor S42024-H180-D1 .....	66
3.2.1.1	CPU mit Taktgenerator .....	69
3.2.1.2	DMA-Steuerung .....	69
3.2.1.3	Interrupt-Steuerung PIC .....	75
3.2.1.4	Zeitgeber .....	76
3.2.1.5	Parallel-I/O-Baustein PIO .....	78
3.2.1.5.1	Port A .....	78
3.2.1.5.2	Port B .....	79
3.2.1.5.3	Port C .....	80
3.2.1.6	DMA- und Bussteuerlogik .....	80
3.2.2	DKV-Speicher 1 S42024-H181-C1 .....	80
3.2.2.1	8-Kbyte EPROM .....	81
3.2.2.2	Speicherbank 0/1 .....	81
3.2.2.3	RAM-Bereich .....	81
3.2.3	DKV-Speicher 2 S42024-H182-C1 .....	83
3.2.3.1	Speicherbänke .....	83
3.2.3.2	Bank-Switch-Decoder .....	83
3.2.3.3	Adreßdecoder .....	83
3.2.4	Aktivdatei S42024-H183-E3, -E4 .....	85
3.2.4.1	Speicher .....	85
3.2.4.2	Vergleicher .....	90
3.2.4.3	Bank-Switch-Decoder .....	90
3.2.4.4	I/O-Adreßdecoder .....	91
3.3	Sicherheit FDS S42024-H261-E1 .....	95
3.3.1	Betriebszustände der Funkdatensteuerung .....	97
3.3.1.1	Zustand AKTIV .....	97
3.3.1.2	Zustand PASSIV .....	97
3.3.1.3	Zustand VERFÜGBAR .....	98
3.3.1.4	Zustand FEHLERBEHANDLUNG .....	98
3.3.1.5	Zustand DEFEKT .....	98
3.3.2	Realisieren der sicherheitstechnischen Funktionen .....	98
3.3.2.1	Watchdog, Port 40H .....	98
3.3.2.2	Lesen der Betriebszustände, Port 41H .....	99
3.3.2.3	Rücksetzregister, Port 42H .....	100
3.3.2.4	Interrupt-Register, Port 43H .....	103

3.3.2.5	Fehlerregister, Port 44H	105
3.3.2.6	Kommando-Port 1, Port 45H	106
3.3.2.7	Kommando-Port 2, Port 46H	108
3.3.2.8	Adreßdecoder	109
3.3.2.9	Uhr für Basisstation	109
3.3.2.10	Bedienungselemente	112
4	Aufbau .....	113
4.1	Bestückung .....	113
4.2	Technologie und Bauelemente .....	114
5	Technische Daten .....	116
6	Geräteübersicht .....	117
7	Abkürzungen .....	118

# 1 Übersicht

## 1.1 Funkdatensteuerung in der Basisstation (Bild 1)

Die Basisstation (BS) enthält zwei gleichwertige Einsätze Funkdatensteuerung (FDS).

Die beiden Einheiten sind in jeder Hinsicht gleich. In folgender Beschreibung wurde die aktive, also die Betriebs-FDS als FDS1 und die passive Ersatz-FDS (Standby-FDS) als FDS2 definiert.

Es gibt zwei Ausführungen, die sich bezüglich der Datenrettung bei Spannungs-ausfall unterscheiden (siehe Pkt. 3.2.4.1):

- in Ausführung B5 enthält die Baugruppe Aktivdatei zwei ungepufferte RAM-Bausteine für die Anlagenliste
- in der Ausführung B6 sind an dieser Stelle RAM-Bausteine mit eigener Batterie-pufferung zur Datenrettung beim Spannungsausfall verwendet.

Die Funkdatensteuerung ist der zentrale Rechner in der Basisstation des Netzes C 450. Sie verarbeitet und steuert den Datenverkehr von und zum Organisationskanal (OgK), den Sprechkanälen (SpK), dem Phasenempfänger (PHE), dem Funkmessempfänger (FME) und dem Prüffunkgerät (PFG).

Die Verarbeitung wird im Echtzeitbetrieb vorgenommen. Die Synchronisiersignale sind das Setzsignal (QSET) und der Takt (6,4 MHz). An der FDS ist weiterhin ein Prüf-/Bedienrechner (PBR) mit einem Prüf-/Bedienterminal (PBT) angeschlossen. Die Verbindung zur Funkvermittlungsstelle (MSC) wird über die Signalanpaßeinheit (SAE) und den Zentralen Zeichengabekanal (ZZK) hergestellt.

Die Funkdatensteuerung gliedert sich in Dateien- und Kanalverwaltung (DKV) und Datenkonzentrator (DKo).

Die Dateien- und Kanalverwaltung (DKV) ist der Zentralrechner in der Funkdatensteuerung. Dieser verarbeitet Meldungen der angeschlossenen Geräte, die ihm über den Datenkonzentrator (DKo) geliefert werden und gibt Meldungen zurück. Dadurch nimmt die Dateien- und Kanalverwaltung die nachfolgenden aufgeführten Aufgaben der FDS wahr. Die DKV führt außerdem auch den DMA-Transfer zum DKo durch.

Der Datenkonzentrator ist der Schnittstellenrechner der Funkdatensteuerung. Er konzentriert die Schnittstellensignale der angeschlossenen Geräte zu Meldungen, die über DMA in die DKV übertragen werden und umgekehrt. Der DKo bedient folgende Schnittstellen:

- Serielle Schnittstelle (256 kBaud) zur Funkperipherie und zum PBR.
- Serielle Schnittstelle zur SAE (ZZK zur MSC). Level 3 des ZZK System 7 (Netzorganisation des ZZK-Netzwerkes, Kontrolle der Ersatzschaltung im Fehlerfall zwischen den beiden SAE, Aufteilung der Meldungen auf die beiden SAE und Ausgabe von Störungsmeldungen).
- Meldungspuffer im RAM (DMA-Schnittstelle zur DKV).

Außerdem übernimmt der Datenkonzentrator die Taktzeugung für die Funkdatensteuerung.

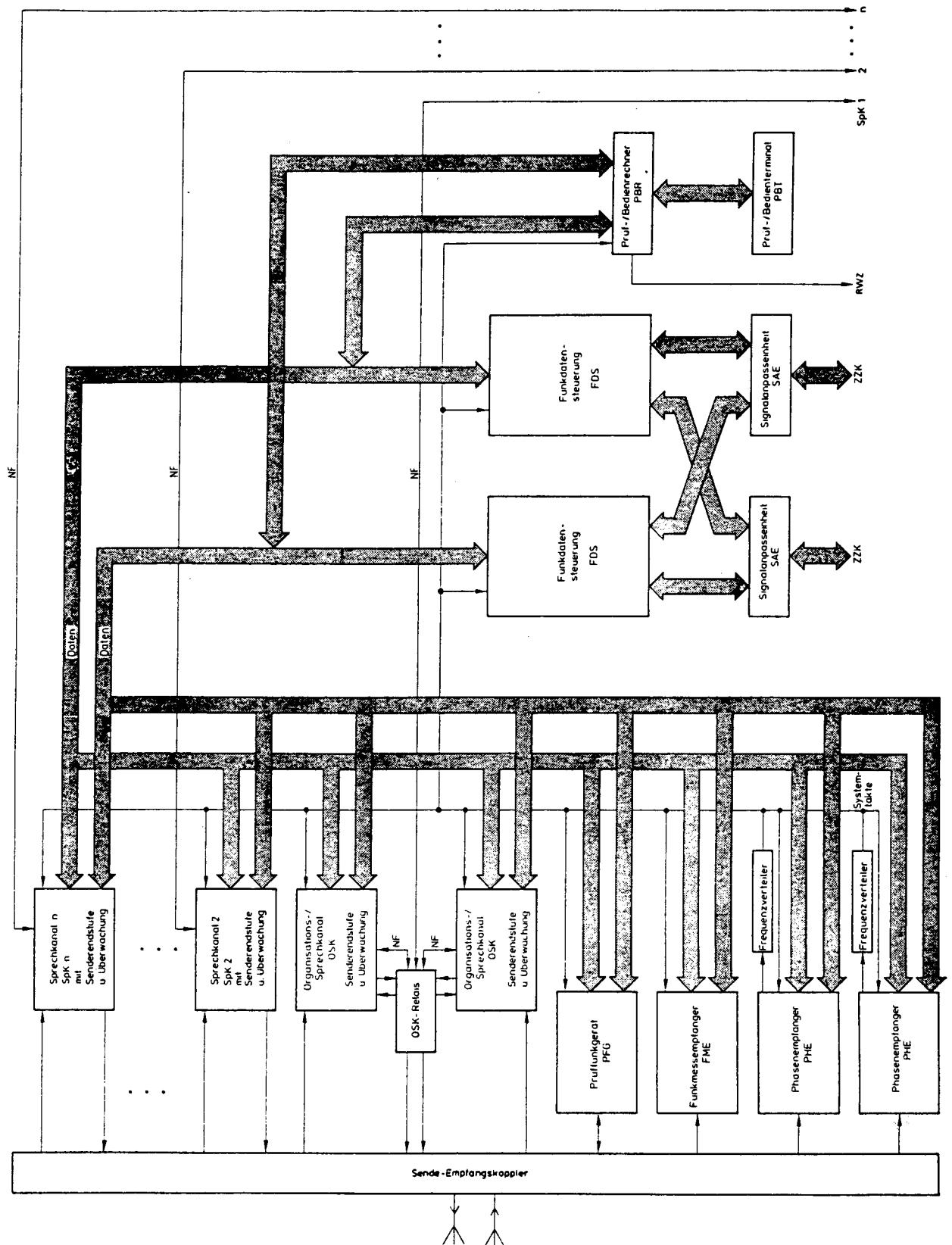


Bild 1 Übersichtsschaltplan einer Basisstation

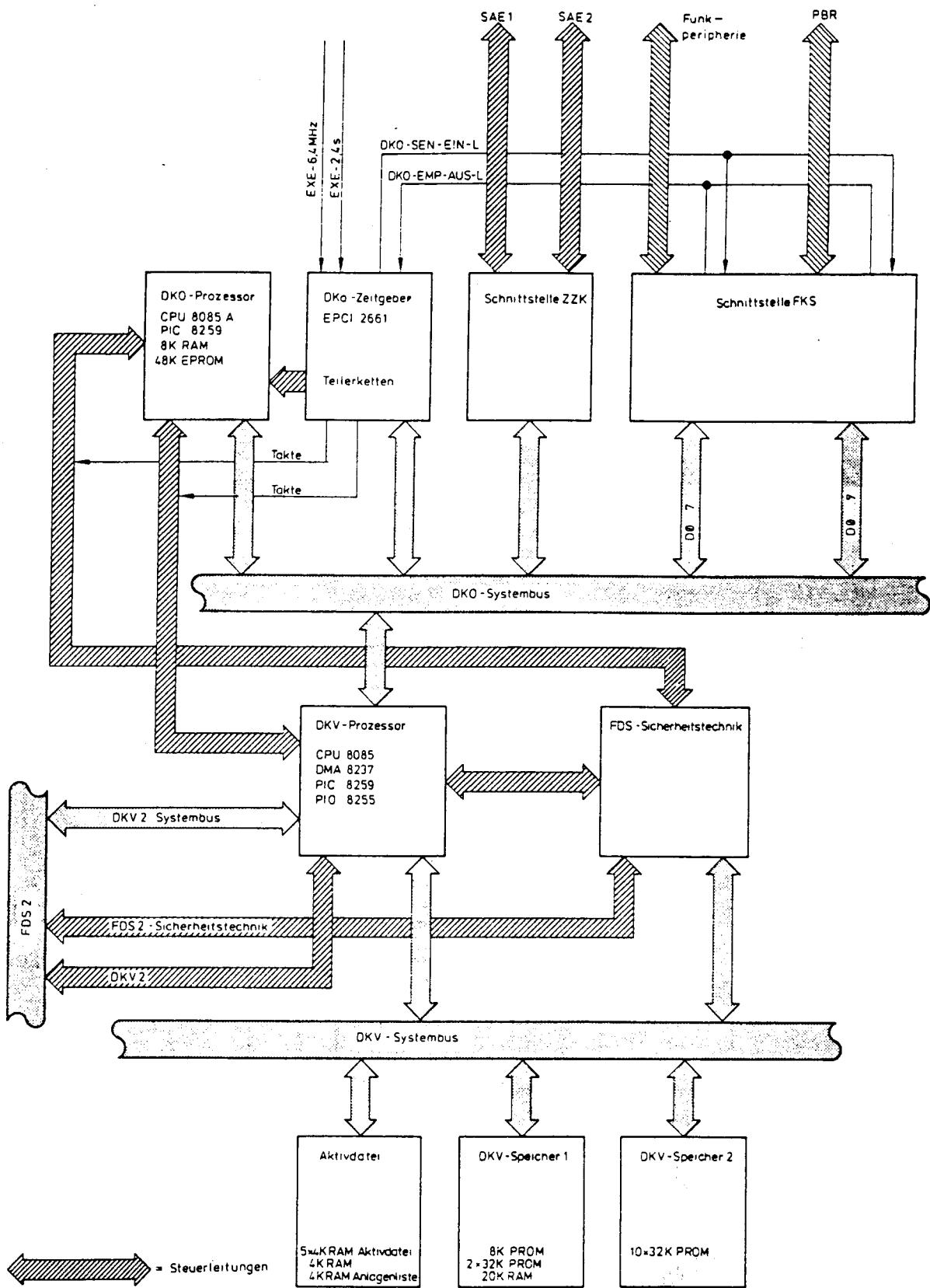


Bild 2 Übersichtsschaltplan der Funkdatensteuerung (FDS)

## **1.2 Aufgabenstellung**

### **1.2.1 Betriebstechnische Aufgaben**

Die Funkdatensteuerung hat in der Basisstation die Aufgabe die Anlagendaten zu verwalten und auszugeben.

### **1.2.2 Vermittlungstechnische Aufgaben**

Für die Vermittlung übernimmt die Funkdatensteuerung folgende Funktionen:

- Einbuchen von Teilnehmern
- Umbuchen von Teilnehmern
- Ausbuchen von Teilnehmern
- Meldezyklus (zyklischer Aufruf der eingebuchten Teilnehmer)
- Gehender und kommender Verbindungsaufbau
- Gesprächsumschaltung (Umschalten von Sprechkanälen während des Gesprächs)
- Warteschlangenbetrieb.

### **1.2.3 Sicherheitstechnische Aufgaben**

Die Funkdatensteuerung ist aus sicherheitstechnischen Gründen (Verfügbarkeit) doppelt vorhanden. Nur die aktive FDS1 bedient die Schnittstellen. Die sicherheitstechnischen Aufgaben sind:

- Wiederanläufe von FDS und Funkperipherie
- Aktiv/passiv-Umschaltung
- Verwalten der weiteren Betriebszustände
- Fehlererkennung und -behandlung (Hardware- und Softwarefehler)
- Überwachen der Systemtakte
- Überwachen der Stromversorgungen in der Basisstation
- Prüfen der Funkperipherie durch Interfaceprüfung
- Melden der Fehler oder des Defektzustands der passiven FDS2 über PBR oder an die MSC.

#### **1.2.4 Funktechnische Aufgaben**

Um die Übertragungsgüte zu gewährleisten, realisiert die Funkdatensteuerung folgende Funktionen:

- Verteilen der Information über Frequenzgenauigkeit und Synchronisation vom PHE an FME, OgK bzw. OSK (Organisations-Sprechkanal).
- Veranlassen der Senderabschaltung, wenn sich die Basisstation auf die Nachbarbasisstation aufsynchronisiert.

## 2 Schnittstellen

### 2.1 Externe Schnittstellen

#### 2.1.1 Schnittstelle zur Funkperipherie Funkdatensteuerung (FDS) und Prüf-/Bedienrechner (PBR)

Die Schnittstelle FKS bedient maximal 112 Peripheriegeräte (SpK, OgK bzw. OSK, PHE, PFG, PBR und FME). Die Datenübertragung ist isochron, d. h. die Daten werden mit einem vom zentralen 6,4-MHz-Takt abgeleiteten Takt empfangen oder gesendet, das Datenformat ist jedoch asynchron. Die Daten bestehen aus einem Startbit, acht Datenbits und einem Stop-Bit. Die Umformung der Mikroprozessordaten in dieses Format und zurück wird vom EPCI-Baustein 2661 vorgenommen. Der Übertragungstakt beträgt 256 kHz.

Im folgenden wird für alle an die Schnittstelle angeschlossenen Einheiten die Abkürzung FKS benutzt.

Die Übertragung in Richtung FDS → FKS wird als Senden, die Übertragung in Richtung FKS → FDS als Empfang definiert.

##### 2.1.1.1 Sendeschnittstelle

Die Sendeschnittstelle zu den FKS besteht aus 16 Sendern, die in vier symmetrischen Sendebausteinen enthalten sind. An jeden Sender können bis zu acht symmetrische Empfänger angeschlossen werden, die einen gemeinsamen Abschlußwiderstand und Serienschutzwiderstände haben. Der Sendetakt beträgt 256 kHz. Alle Sender senden gleichzeitig die gleichen Nachrichten zu den FKS.

Schnittstellensignale:

EXA-iP-A	positive Ader des Senders Nr. i der Schnittstellenplatte 1
EXA-iN-A	negative Ader des Senders Nr. i der Schnittstellenplatte 1
EXA-iP-B	positive Ader des Senders Nr. i der Schnittstellenplatte 2
EXA-iN-B	negative Ader des Senders Nr. i der Schnittstellenplatte 2
DKO-SEN-EIN-L	Ausgang des EPCI 2661, Eingang der 16 symmetrischen Sender, serielle Daten mit 256 kHz.

### **2.1.1.2 Empfangsschnittstelle**

Die Empfangsschnittstelle besteht aus 112 symmetrischen Empfängern, d.h. aus 28 Bausteinen. Jedem Empfänger auf der Schnittstelle FKS entspricht ein FKS-Sender.

Die Beschaltung der Empfänger mit einem Abschluß- und Serienwiderstand dient der Sicherung des H-Pegels am Empfängerausgang, wenn die Senderausgänge hochohmig sind oder die Leitungen unterbrochen wurden.

Schnittstellensignale:

<b>EXE-FKSxxP-A</b>	positive Ader Nr. xxH auf der Schnittstellenplatte 1
<b>EXE-FKSxxN-A</b>	negative Ader Nr. xxH auf der Schnittstellenplatte 1
<b>EXE-FKSxxP-B</b>	positive Ader Nr. xxH auf der Schnittstellenplatte 2
<b>EXE-FKSxxN-B</b>	negative Ader Nr. xxH auf der Schnittstellenplatte 2.

### **2.1.2 Schnittstelle zur Signalanpaßeinheit (SAE)**

Sind beide SAE in Ordnung, wird über beide signalisiert. Damit im Störungsfall noch ein Betrieb mit halber Sendekapazität möglich ist, wird zwischen den beiden FDS und den SAE eine Datenverbindung aufgebaut; Bild 3 zeigt den grundsätzlichen Aufbau der Schnittstelle zur SAE.

Die SAE unterscheiden nicht zwischen FDS1 und FDS2:

- Die Empfangssignale sind über ein ODER-Gatter verknüpft
- Die Sendesignale sind gleich.

Die FDS können die SAE einzeln addressieren, wobei immer nur eine FDS aktiv ist.

Alle Signale auf der Schnittstelle zur SAE werden auf symmetrischen Leitungen übertragen. Bei Spannungsausfall auf der Sendeseite oder Auf trennung beider Adern, geht der Empfänger in High-Zustand.

Die Signalnamen haben folgende Form:

**EXz-Dz-zzzzzP-L** positive Ader bei allen Signalen ("z" für den Signalnamen)  
**EXz-Dz-zzzzzN-L** negative Ader bei allen Signalen ("z" für den Signalnamen).

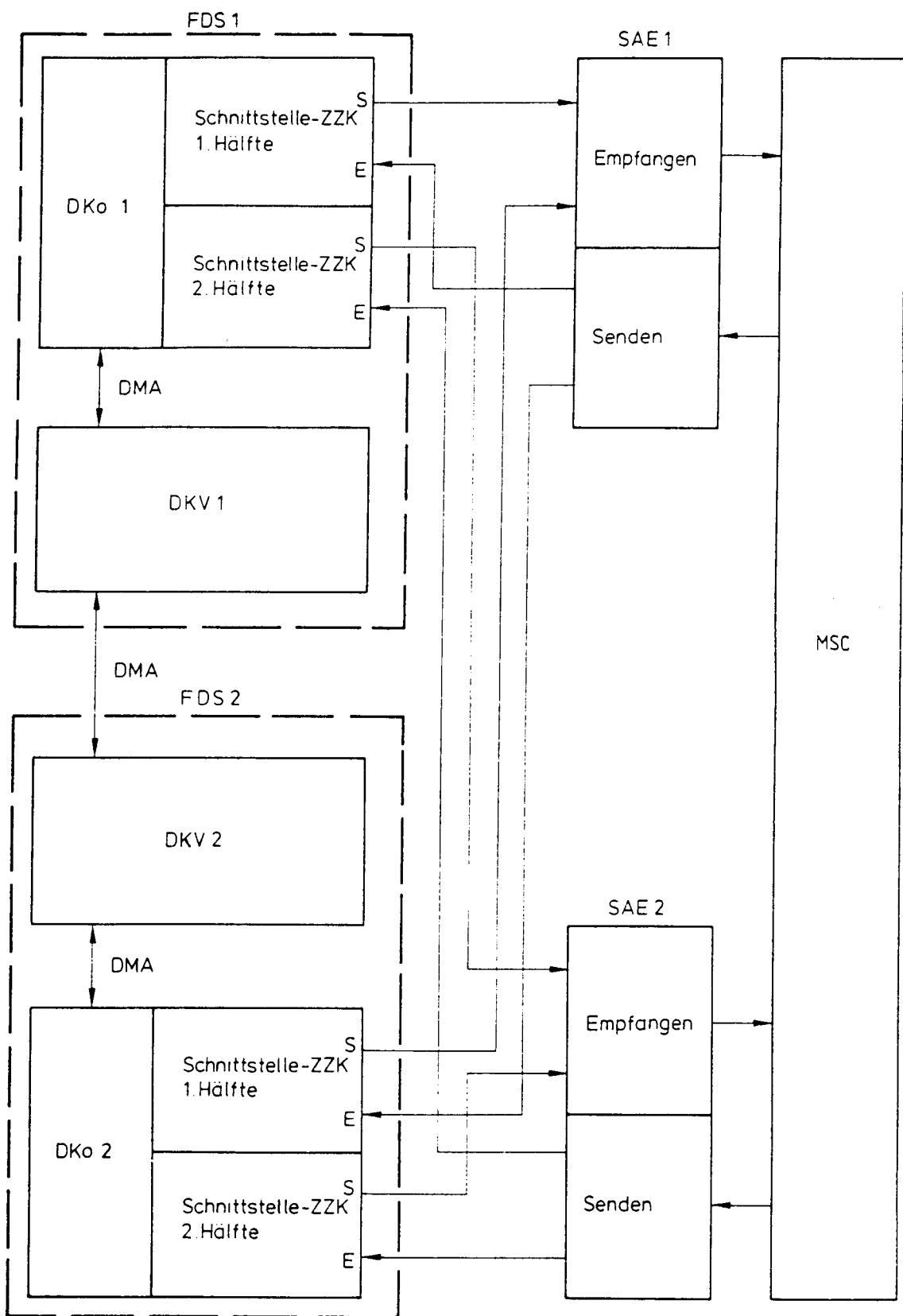


Bild 3 Schnittstelle zur Signalanpaßeinheit (SAE)

Das auf der positiven und negativen Ader liegende Signal wird nachfolgend als EXz-Dz-zzzzP/N-L bezeichnet.

Die Parameter x und y bezeichnen die entsprechende Gerätenummer:

x = SAE-Nummer

y = FDS-Nummer

Folgende Signale werden zwischen der FDS und der SAE ausgetauscht:

EXE-Dx-DSxSyP/N	Daten SAE → FDS, Quelle: SAE
EXE-Dx-CySxP/N	Takt zur seriellen Übertragung der Daten
EXE-Dx-RDySxP/N	SAE Lesesignal (SAE-RD) für Dateneinrichtung
	SAE → FDS, Quelle: SAE
EXE-Dx-WRySxP/N	SAE Schreibsignal (SAE-WR) für Datenrichtung
	FDS → SAE, Quelle: SAE
EXA-Dx-DFySxP/N	Daten FDS → SAE, Quelle: FDS
EXA-Dx-SBySxP/N	SEBER (sendebereit) aktiv: Die SAE darf einen Block aus dem FDS-Pufferspeicher lesen, Quelle: FDS
EXA-Dx-EBySxP/N	EMBER (empfangsbereit) aktiv: Die SAE darf einen Block in den FDS-Pufferspeicher einschreiben. Quelle: FDS

### 2.1.3 Takschnittstelle zum Phasenempfänger (PHE)

Die Signale SET und T6,4MHz werden im PHE erzeugt. Das rechteckige Signal SET wird auf symmetrischen Leitungen und das sinusförmige Signal T6,4MHz auf einer Koaxialleitung übertragen, sie sind zueinander asynchron.

EXE-2,4S-P/N (SET), Periodendauer 2,4 s, Tastverhältnis 1:63.

Die zulässige Toleranz vom SET beträgt  $\pm 20 \mu\text{s}$ .

Das 6,4-MHz-Signal nach dem Empfänger ist ein Rechtektakt:

EXE-6,4MHz-P/N (T6,4M), Tastverhältnis 1:1.

### 2.1.4 Schnittstelle zur Parallel-FDS

Die Schnittstelle zur Parallel-FDS besteht aus 28 bidirektionalen und 16 unidirektionalen Leitungen.

#### **2.1.4.1 Bidirektionale Leitungen**

- 8 Datenleitungen EXB-D0...7
- 16 Adreßleitungen EXB-A0...15
- 4 Steuerleitungen EXB-DIR, EXB-ADE-L, EXB-MEN-L, EXB-RD-L

Die 5. Steuerleitung (DKV-WR-L) ist nicht mit der DKV2 verbunden, damit die DKV nur im eigenen RAM schreiben und die Daten der Nachbar-DKV nicht verändern kann (defekte FDS kann in aktiver keine Fehler verursachen).

Die Daten-, Adreß- und Steuerleitungen sind zur Parallel-DKV mit Treibern versehen.

#### **2.1.4.2 Unidirektionale Leitungen**

Eingangsleitungen:

4 Leitungen Interrupttyp	EXE-TYP0 bis TYP3
1 Interruptleitung	EXE-INTDKV2-L
1 Quittungsleitung	EXE-QUIDKV2-L
1 HOLD-Request-Leitung	EXE-DKV-HRQ-L
1 HOLD-Acknowledge-Leitung	EXE-DKV-HAC-L

Ausgangsleitungen:

4 Leitungen Interrupttyp	EXA-TYP0 bis TYP3
1 Interruptleitung	EXA-INTDKV2-L
1 Quittungsleitung	EXA-QUIDKV2-L
1 HOLD-Request-Leitung	EXA-DKV-HRQ-L
1 HOLD-Acknowledge-Leitung	EXA-DKV-HAC-L

Über die Interruptleitung wird in der DKV2 ein Interrupt erzeugt. Daraufhin liest die DKV2 über die vier Interrupttyp-Leitungen den Interrupttyp ein und kann darauf reagieren. Um mitzuteilen, daß sie mit den von ihr geforderten Tätigkeiten fertig ist, wird von ihr die Quittungsleitung aktiviert.

Die HOLD-Request- und HOLD-Acknowledge-Leitungen werden für den DMA benötigt.

Alle Signale zwischen den DKV-Prozessorbaugruppen laufen über Treiber, die jeweils von einem Sperrsignal (DKV-DKV2-INH-H) aus der eigenen Sicherheitsbaugruppe gesperrt werden, wenn

- bei der FDS2 die Spannung ausgefallen ist oder
- die eigene FDS in Fehlerbehandlung und/oder defekt ist.

Damit wird verhindert, daß bei einem Fehler im Netzteil der FDS2, der eine Schwankung der Ausgangsspannung zwischen 0 V und 5 V zur Folge hat, falsche Interruptanforderungen den Rechnerbetrieb in den intakten FDS stören. Ferner wird dadurch verhindert, daß die Treiber in beiden FDS durch unkontrolliertes Verhalten der fehlerhaften FDS gegeneinander arbeiten können.

## 2.1.5 Sicherheitstechnische Schnittstellen

### 2.1.5.1 Schnittstellen zu den Netzteilen

Die Störungssignalisierungen sollen von der FDS über den PBR zum Regionalen Wartungszentrum (RWZ) übertragen werden. Die Störungssignalisierungen der Netzteile werden unmittelbar von der FDS-Sicherheitstechnik in jeder FDS erfaßt. Diese setzt eine Störungsmeldung zum RWZ ab.

Die in der Tabelle 1 dargestellten Systemkomponenten werden über ein eigenes Netzteil versorgt und von einer eigenen Leitung überwacht.

Folgende Abkürzungen werden in Bild 4 und in den Tabellen 1 und 2 verwendet:

AKT	aktiv
BLD	Batterieladen
BZ	Betriebszustand
DEF	defekt
FEB	Fehlerbehandlung
FI	Fehler-Interrupt
FV	Frequenzverteiler (Taktverteiler)
HW	Hardware
PAS	passiv
ST	Sicherheitstechnik
VEF	verfügbar
ZG	Zentralgestell

Ein Netzteilausfall wird über symmetrische Leitung auf der Sicherheitstechnik erfaßt und über Fehlerinterrupt der DKV signalisiert.

**Tabelle 1 Schnittstellensignale zu den Netzteilen**

Signalname an der FDS	Quelle	Ziel	Bedeutung
EXE-FKM-AUSF-P/N	Netzteil im FKS-Gestell (OgK, SpK)	ST-HW, beide FDS	Spannungsstörung im FKS-Gestell
EXE-FME-AUSF-P/N	Netzteil im FME-Gestell	ST-HW, beide FDS	Spannungsstörung im FME-Gestell
EXE-ANT-AUSF-P/N	Reserve	ST-HW, beide FDS	
EXE-5V-AUSF-L	Netzteil im eigenen Zentralgestell, FDS-5V-Überwachung	ST-HW, FDS1	5-V-Ausfall im eige- nen Netzteil (Power On, POR)
EXE-60V-AUSF-L	Netzteil im eigenen ZG	ST-HW, FDS1	Primärspannungs- störung/ZG
EXE-BLD-AUSF-L	Netzanlage (Batterieladung)	ST-HW, beide FDS	Batterieladung- Ausfall/Wiederkehr
EXE-FDS2-AUS-FP/N	Netzteil im anderen ZG	DKV/ eigenes ZG	Spannungsstörung FDS oder PHE, FV, PFG
EXE-5V-DKV2-L	ST-HW, FDS2	ST-HW, FDS1	5V/FDS-Störung im anderen ZG

### 2.1.5.2 Schnittstelle zur FDS2

Tabelle 2 Schnittstellensignale zur FDS2

Signalname	Quelle	Ziel	Bedeutung
EXE-ST-AKT-L	ST-HW,FDS2	ST-HW, FDS1	Signalisierung des aktiven Zustandes der FDS2 an FDS1
EXE-ST-VEF-L	ST-HW, FDS2	ST-HW, FDS1	Signalisierung der Verfügbarkeit der FDS2 an FDS1
EXE-ST-FEB-H	ST-HW, FDS2	ST-HW, FDS1	Signalisierung des Fehlerbehandlungszustandes der FDS2
EXE-ST-DEF-H	ST-HW, FDS2	ST-HW, FDS1	Signalisierung des defekten Zustandes der FDS2 an FDS1
EXE-ST-INT-H	ST-HW, FDS2	ST-HW, FDS1	Interrupt der FDS2 an FDS1
EXA-ST-AKT-L	ST-HW, FDS1	ST-HW, FDS2	Signalisierung des aktiven Zustandes der FDS1 an FDS2
EXA-ST-VEF-L	ST-HW, FDS1	ST-HW, FDS2	Signalisierung der Verfügbarkeit der FDS1 an FDS2
EXA-ST-FEB-H	ST-HW, FDS1	ST-HW, FDS2	Signalisierung des Fehlerbehandlungszustandes der FDS1 an FDS2
EXA-ST-DEF-H	ST-HW, FDS1	ST-HW, FDS2	Signalisierung des defekten Zustandes der FDS1 an FDS2
EXA-ST-INT-L	ST-HW, FDS1	ST-HW, FDS2	Interrupt der FDS1 an FDS2

### 2.1.5.3 Schnittstelle Netzteil - Baugruppe Aktivdatei

Die Baugruppe Aktivdatei enthält die Teilnehmerliste und die Betriebsdaten für die Basisstation (Anlagenliste). Die Anlagenliste wird entweder batteriegepuffert oder über MSC gesetzt. Sie besteht aus RAM - oder aus batteriegepufferten NV-RAM-Bausteinen. Der Netzteil liefert bei Unterschreiten der Sekundärspannung 5 V um 4% bis 7% das Spannungsausfallssignal EXE-5V-AUSF-L. Das Chip-Select des Rechners für die Anlagenliste wird mit diesem Signal verknüpft und bei Spannungsunterschreitung gesperrt. Ab 4,4 V schaltet ein eventuell eingebauter NV-RAM auf interne Batterieversorgung um und sperrt gleichzeitig alle Ein- und Ausgänge.

## 2.2 Interne Schnittstellen

### 2.2.1 FDS-Bussystem

In der FDS wird ein einheitliches Bussystem verwendet. Es besteht aus einem 16-bit Adreßbus, 8-bit-Datenbus und 5-bit-Steuerbus. Die Signale sind einheitlich bezeichnet und tragen als Präfix den Namen des Rechners (DKo oder DKV), bzw. EXB für den Bus zwischen den beiden DKV

- Adreßbus: A0...15
- Datenbus: D0...7
- Steuerbus: DIR      Datenrichtung  
              MEN-L    Speicherfreigabe  
              RD-L     Lesesignal  
              WR-L     Schreibsignal  
              ADE-L    Adreßfreigabe

Die Adreß- und Steuerbussignale werden vom jeweiligen Busmaster (CPU, DMA-Steuerung, oder Nachbar-FDS) erzeugt.

Die Rechnerbusse sind folgendermaßen verbunden:

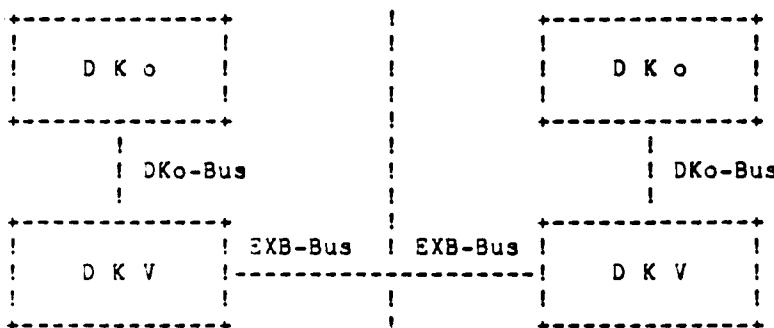


Bild 4 FDS-Bussystem

Daten zwischen den Rechnern werden nur über DMA übertragen und durch die DKV gesteuert.

In diesem Bussystem sind folgende DMA-Transferarten möglich:

- DMA DKV intern
- DMA DKo – DKV
- DMA DKV – DKV

#### 2.2.1.1 Adreß- und Datenbus

Im Bild 5 ist der Aufbau der Adreß- und Datenbusse innerhalb einer FDS dargestellt.

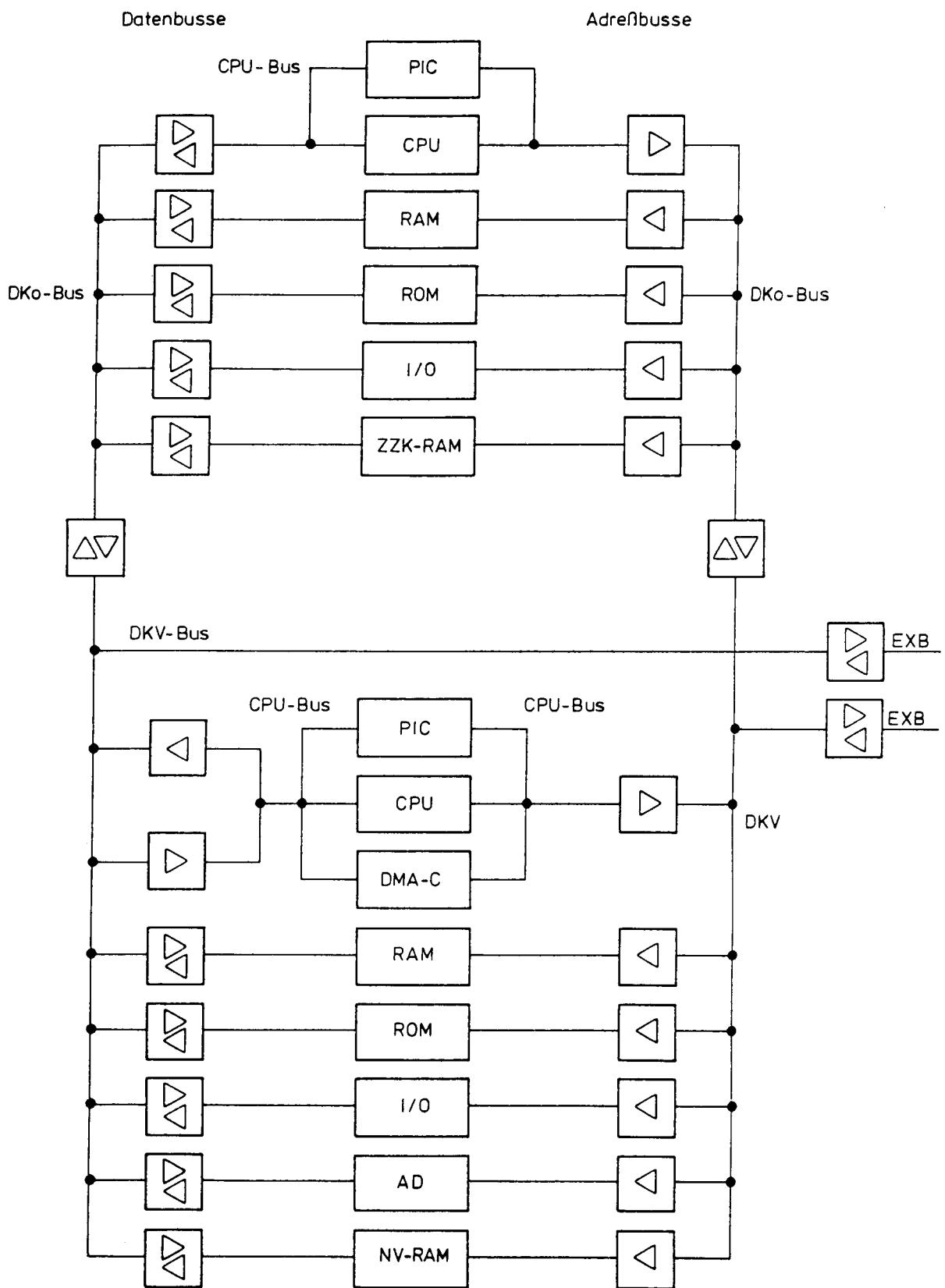


Bild 5 Adreß- und Datenbus

### 2.2.1.2 Steuerbus

Der DKV (DKo)-Steuerbus besteht aus folgenden Signalen:

- |                 |  |
|-----------------|--|
| DKV (DKo)-DIR   | Datenrichtung                                    |
| DKV (DKo)-MEN-L | Speicherfreigabe                                 |
| DKV (DKo)-RD-L  | Lesesignal                                       |
| DKV (DKo)-WR-L  | Schreibsignal (im EXB-Steuerbus nicht enthalten) |
| DKV (DKo)-ADE-L | Adreßfreigabe.                                   |

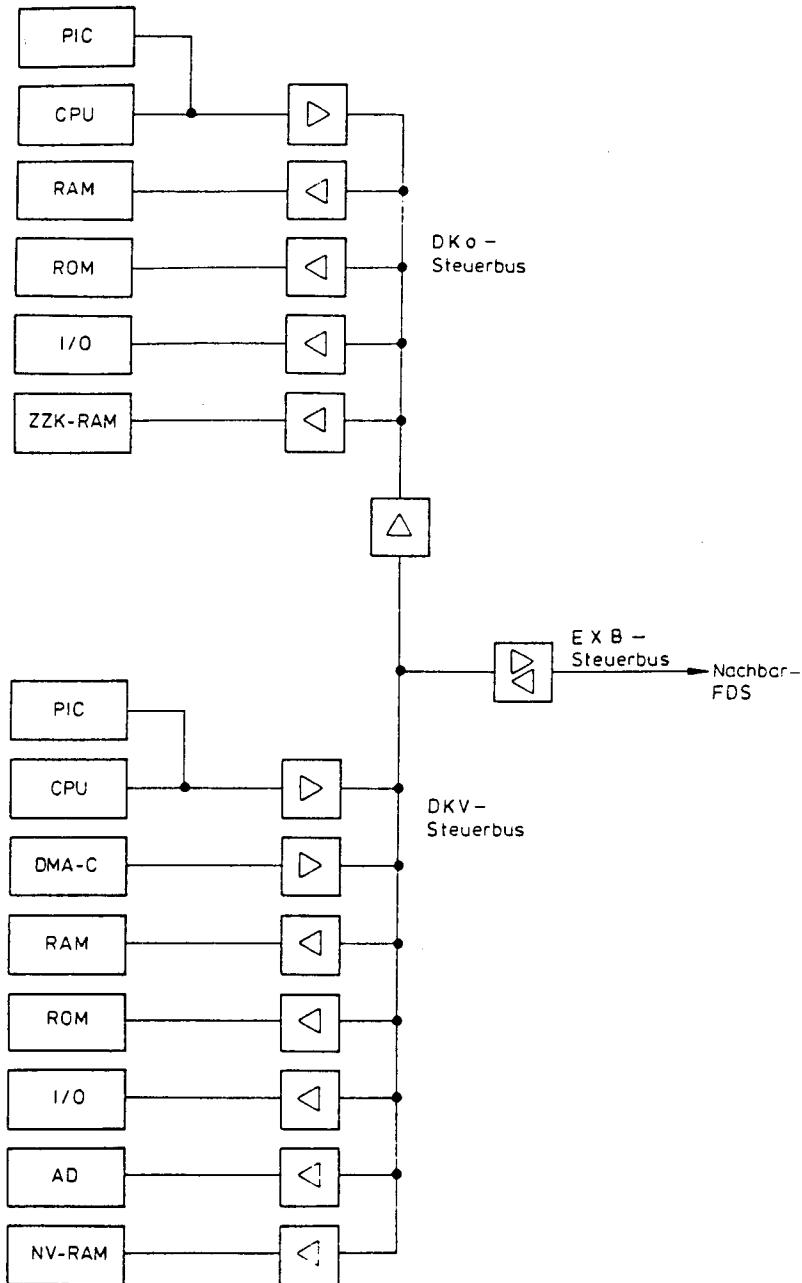


Bild 6 Steuerbus

## 2.2.2 Taktschnittstelle

Folgende Taktsignale werden innerhalb der FDS benötigt:

DKO-SETBLZ-L	Ein Impuls mit der Länge von 10 Taktperioden des 6,4-MHz-Taktes ( $1,56 \mu s$ ), der den Blockzähler bei jedem Rahmenbeginn (alle 2,4 s) in der DKo und DVK mit dem Wert 64D lädt. Er ist vom zentralen Signal SET des PHE abgeleitet und wird in Zusammenhang mit SET oder Power-On-Reset erzeugt.
DKO-T256K-L	Ein Takt mit der Frequenz von 256 kHz, abgeleitet vom zentralen 6,4-MHz-Takt, geführt auf den Takteingang der Zeitgeber 8254 im DKo und DVK.
INT-T37,5MS-L	Takt für den Blockzähler von DKo und DVK zum Setzen der Zeitgeber-Zähler auf den Anfangswert.
DVK-CLK	Takt (3,072 MHz) für CPU und DMA Steuerung. Dient in der Aktivdatei als Arbeitstakt und in der DVK-Sicherheitstechnik zum Überwachen des 6,4-MHz-Taktes.
DKO-T6,4M	Zentraler Basisstation-Takt 6,4 MHz vom DKo-Zeitgeber an die DVK-Sicherheitstechnik. Er wird auf der DVK-Sicherheits-Baugruppe mit dem DVK-CLK überwacht.
DKO-SET	Ein bei der Rückflanke von SET abgeleitetes Signal des DKo-Zeitgebers an die DVK-Sicherheitstechnik, dient zum Überwachen der Teilerkette des DKo-Zeitgebers.
DKO-UBWT-H	Wird im DKo-Zeitgeber gebildet und dient in der DVK-Sicherheitstechnik zum Überwachen des SET-Signals.

## 2.2.3 Interrupt-Signale

Die Interrupt-Eingänge der Unterbrechungssteuerung in DKo und DVK werden mit der Anstiegsflanke der Interrupt-Signale angesteuert. Die nachfolgend beschriebenen Interrupt-Signale sind im Bild 7 dargestellt.

INT-T37,5MS	Block-Interrupt des DKo-Zeitgebers an IRO der DKo- und DVK-Unterbrechungssteuerung. Die Impulsdauer entspricht einer Taktperiode des 256-kHz-Taktes.
-------------	--

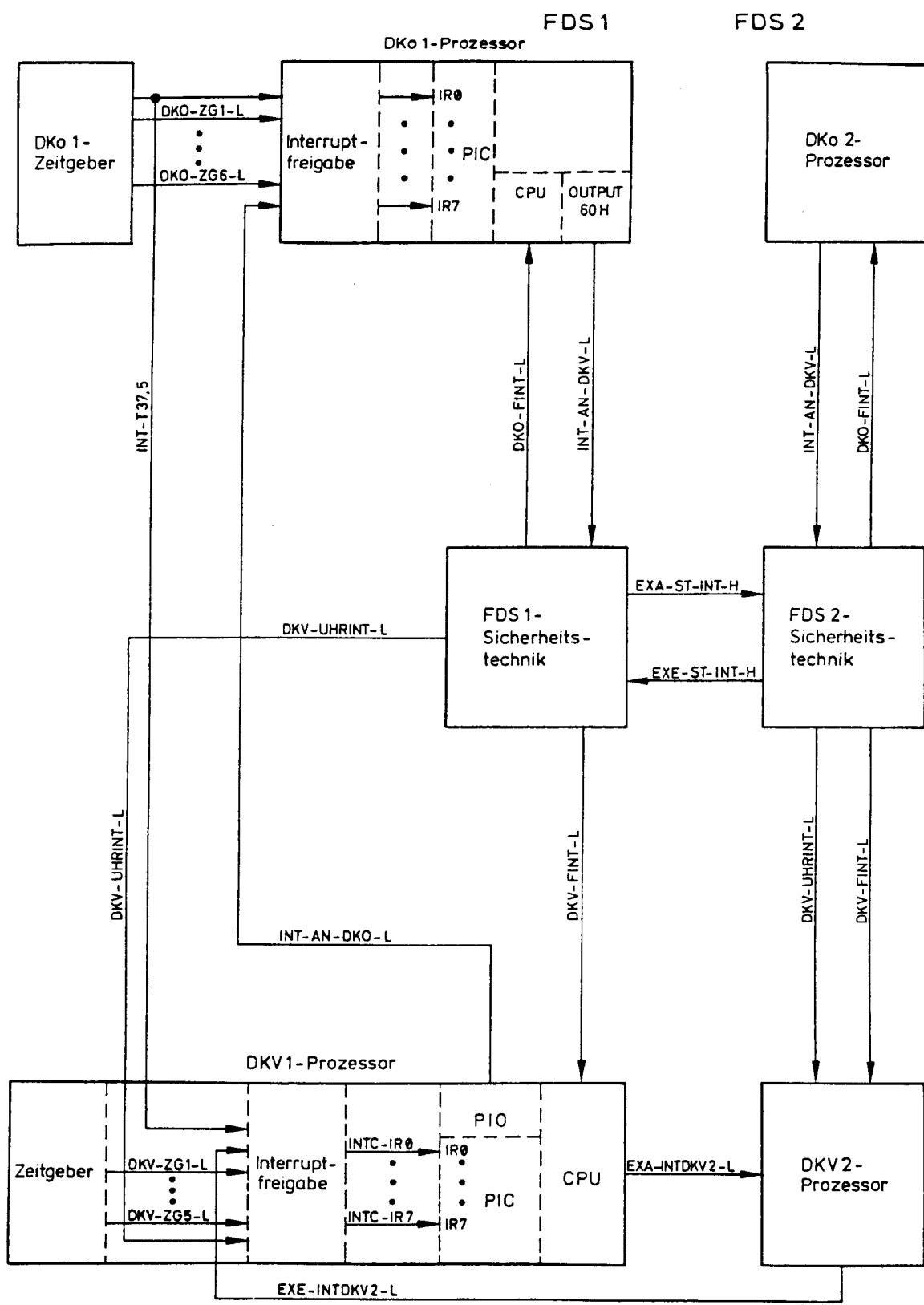


Bild 7 Interrupt-Signale der Funkdatensteuerung

<b>INT-AN-DKO-L</b>	Interrupt von DKV an IR7 des DKo. Wird zur DMA-Übertragung zwischen DKV und DKo verwendet. Wird auf der DKo-Prozessor-Baugruppe negiert und auf die Unterbrechungssteuerung geführt, damit er mit der Vorderflanke erkannt wird.
<b>DKV-FINT-L</b>	Fehler-Interrupt von der FDS-Sicherheitstechnik an den DKV-Prozessor. Wird auf der DKV-Prozessor-Baugruppe negiert und an Eingang RST 7,5 der CPU geführt.
<b>DKO-FINT-L</b>	Fehler-Interrupt von der FDS-Sicherheitstechnik an den DKo-Prozessor. Wird auf der DKV-Prozessor-Baugruppe negiert und an den Eingang RST 7,5 der CPU geführt.
<b>DKV-UHRINT-L</b>	Uhr-Interrupt des Uhrenbausteins der Sicherheitstechnik an IR7 der DKV-Prozessor-Unterbrechungseinheit. Wird auf der DKV-Prozessor-Baugruppe negiert, damit er mit der Vorderflanke erkannt wird. Dieses Signal wird erst inaktiv, wenn der Uhrenbaustein ausgelesen wird.
<b>INT-AN-DKV-L</b>	Fehler-Interrupt vom DKo-Ausgabebaustein (Adresse 60H, Bit 2), geführt über die Sicherheitstechnik-Baugruppe an Eingang RST 7,5 der DKV-CPU (Signal DKV-FINT-L). Der DKV-Prozessor erkennt die Vorderflanke.

Folgende Zeitgeber-Interrupt-Signale werden beim Ablauf der DKV- und DKo-Zähler erzeugt:

- Interrupt-Signale des DKo-Zeitgebers
 

<b>Zeitgeber 1:</b>	Zähler 0 erzeugt IR1
	Zähler 1 erzeugt IR2
	Zähler 2 erzeugt IR3
- Zeitgeber 2:
 

Zähler 0 erzeugt IR4
Zähler 1 erzeugt IR5
Zähler 2 erzeugt IR6
- Interrupt-Signale des DKV-Zeitgebers
 

<b>Zeitgeber 1:</b>	Zähler 0 erzeugt IR2
	Zähler 1 erzeugt IR3
	Zähler 2 erzeugt IR4

<b>Zeitgeber 2:</b>	Zähler 0 erzeugt IR5
	Zähler 1 erzeugt IR6

#### **2.2.4 Sicherheitstechnische Schnittstellen**

**Alle Angaben der sicherheitstechnischen Schnittstellen sind unter Pkt. 3.3 beschrieben und in Bild 32 dargestellt.**

### **3 Funkdatensteuerung (FDS)**

#### **3.1 Datenkonzentrator DKo**

##### **3.1.1 DKo-Prozessor S42024-H179-D1**

Der Datenkonzentrator (DKo) ist der Schnittstellenrechner der FDS. Er konzentriert die Schnittstellensignale der angeschlossenen Geräte zu Meldungen, die über DMA in die DKV gesendet oder von dort empfangen werden.

Der DKo bedient folgende Schnittstellen:

- serielle Schnittstellen (256 kBaud) zu Funkperipherie und PBR
- serielle Schnittstelle zur SAE
- DMA-Schnittstelle zur DKV.

Der DKo besteht aus folgenden wesentlichen Funktionsgruppen (siehe Bild 8):

- CPU 8085 A
- Interrupt-Steuerung PIC 8259
- I/O-Adreßdecoder
- Speicheradreßdecoder
- Speicher (8K-RAM, 48K-EPROM).

Alle freien Eingänge sind mit Pull-Up-Widerständen versehen und auf die Rückwand geführt.

##### **3.1.1.1 CPU**

Die CPU 8085 A wird mit einem 6,144-MHz-Takt betrieben. Sie ist durch einen 16-bit-Adreß-, 8-bit-Daten- und 5-bit-Steuerbus an den DKV-Systembus und die internen Funktionsgruppen angeschlossen.

Die CPU erzeugt folgende Steuersignale, die zum DKo-Steuerbus zusammengefaßt sind:

S1	DKO-DIR	Datenrichtung einstellbar
ALE	DKO-ADE-L	Datenbustreiber freigeben
I0/M	DKO-MEN-L	Daten aus Speicher oder I/O-Port
RD	DKO-RD-L	Daten lesen
WR	DKO-WR-L	Daten schreiben.

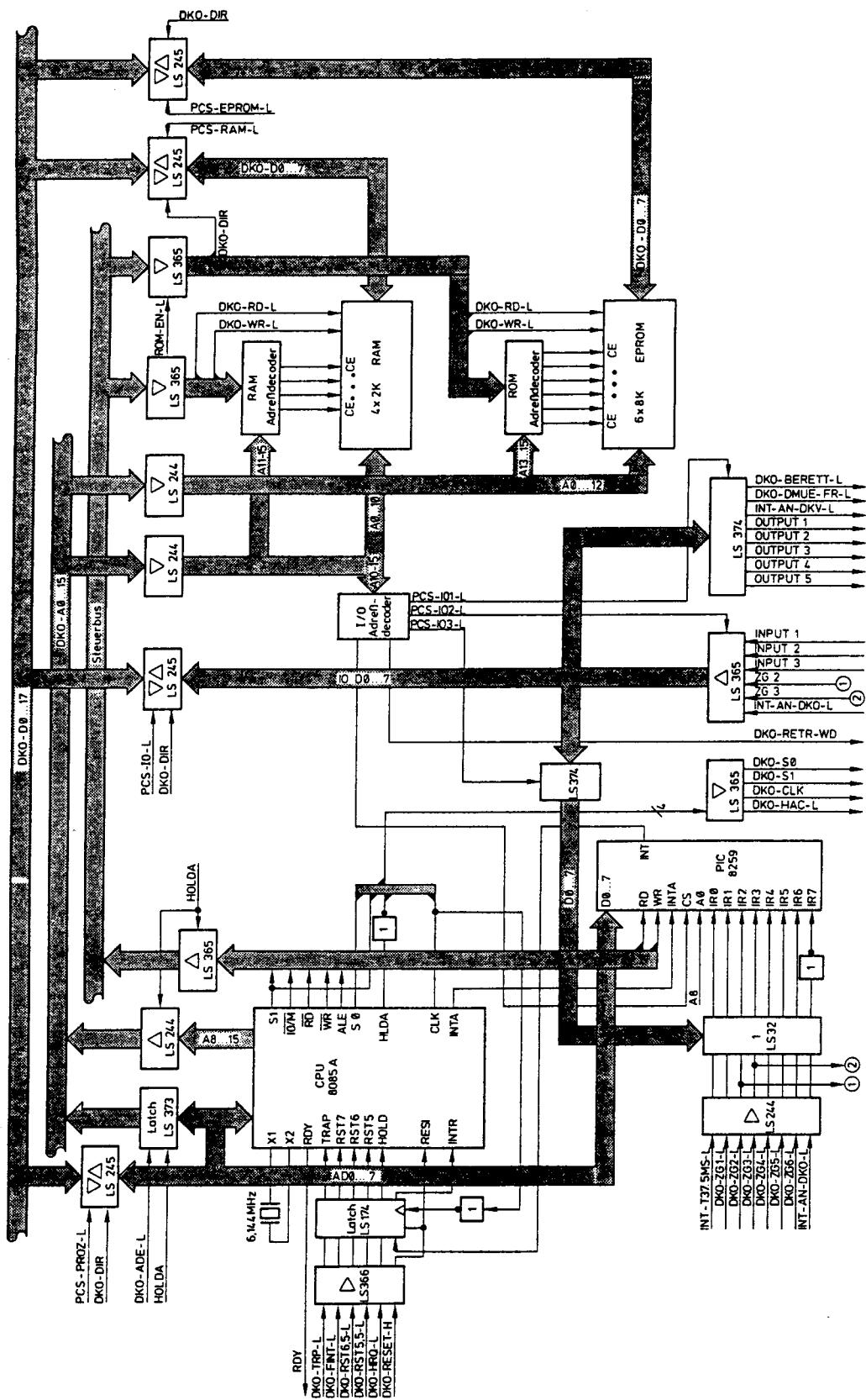


Bild 8 Übersichtsschaltplan DKo-Prozessor

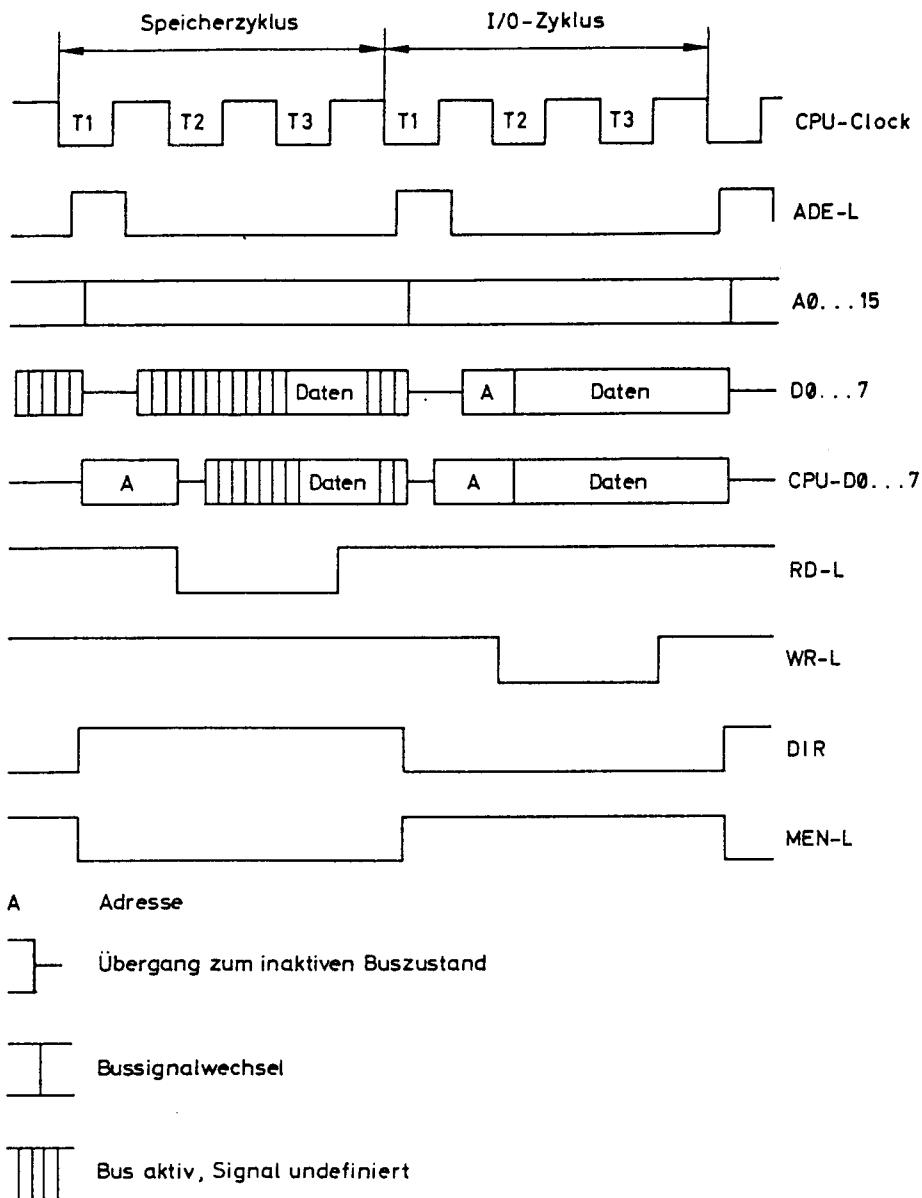


Bild 9 Zeitablauf DKo-Systembus

Daneben ist die CPU noch durch folgende Steuersignale mit den anderen Funktionsgruppen der FDS verbunden:

- DKO-S0 - DKO-RESET-H
- DKO-S1 - DKO-HRQ
- DKO-CLK - DKO-TRAP
- DKO-FINT-L

Zum DKo-Systembus werden alle Signale über Treiber geschaltet. In Bild 9 ist der Zeitablauf auf dem DKo-Systembus oder CPU-Bus beim Datenaustausch dargestellt.

#### Ablauf Lesezyklus:

- DKO-ADE-L = 1 Datenbustreiber gesperrt  
DKO-AD0...7 niederwertige Adresse auf CPU-Bus
- DKO-DIR = 1 Datenrichtung einstellen
- DKO-ADE-L = 0 angesprochene, externe Datenbustreiber freigeben
- DKO-RD-L = 0 CPU-Bustreiber freigeben, Daten von DKo-Systembus auf CPU-Bus
- DKO-RD-L = 1 Daten lesen, CPU-Bustreiber sperren
- DKO-ADE-L = 1 Datenbustreiber gesperrt

#### Ablauf Schreibzyklus:

- DKO-ADE-L = 1 Datenbustreiber gesperrt  
DKO-AD0...7 niederwertige Adresse auf CPU-Bus
- DKO-DIR = 1 Datenrichtung einstellen
- DKO-ADE = 0 angesprochene Datenbustreiber freigeben
- DKO-WR-L = 0 Daten von CPU auf DKo-Systembus
- DKO-WR-L = 1 Schreiben beendet
- DKO-ADE-L = 1 Datenbustreiber gesperrt

Die CPU wird durch DKO-RESET-H von der FDS-Sicherheitstechnik rückgesetzt. Durch DKO-BEREIT-L wird der DKV die Betriebsbereitschaft mitgeteilt. Das Ausbleiben von DKO-BEREIT-L wird auf der Baugruppe Sicherheit FDS mittels LED angezeigt.

Das Signal DKO-TRAP-L erzeugt einen nichtmaskierbaren Interrupt zu Diagnosezwecken.

Von der Baugruppe Sicherheit FDS wird ein Fehlerinterrupt gebildet, der mittels DKV-FINT-L an RST 7,5 der CPU signalisiert wird. Die Interrupteingänge RST 6,5 und RST 5,5 sind nicht beschaltet. Die Übernahme der Interrupts aus dem Latch LS174 wird mit der negativen Flanke des Signals DKO-CLK vorgenommen.

#### 3.1.1.2 Interrupt-Steuerung PIC

Die Interrupt-Steuerung ist mit dem Baustein 8259 (Adresse 30H) realisiert, der am CPU-Datenbus angeschlossen ist.

Über INTA meldet die CPU den Empfang eines vom PIC über INT gesendeten Interrupts.

Tabelle 3 Beschaltung der Eingänge des PIC

Signal	Eingang	Bedeutung
INT-T37, 5MS-L	IR0	Funkblock-Interrupt des DKo-Zeitgebers, Taktperiode des 256-kHz-Taktes
DKO-ZG1-L	IR1	Zeitgeber 1, Zähler 0
DKO-ZG2-L	IR2	Zeitgeber 1, Zähler 1
DKO-ZG3-L	IR3	Zeitgeber 1, Zähler 2
DKO-ZG4-L	IR4	Zeitgeber 2, Zähler 0
DKO-ZG5-L	IR5	Zeitgeber 2, Zähler 1
DKO-ZG6-L	IR6	Zeitgeber 2, Zähler 2
INT-AN-DKO-L	IR7	DMA-Übertragung, von DKV

Alle Interrupt-Signale des DKo-Zeitgebers, DKO-ZG1-L...6-L, INT-T37.5MS-L und INT-AN-DKO-L, werden LOW-aktiv zur Interrupt-Steuerung des DKo-Prozessors übertragen. Diese Eingangssignale sind mit Pull-Up-Widerständen versehen. Der PIC 8259 reagiert auf die positive Flanke (Rückflanke) dieser Eingangssignale. Das Signal INT-AN-DKO-L vom DKV-Prozessor wird negiert und ist mit der Vorderflanke aktiv.

Das Signal INT-AN-DKV-L wird vom DKV-Output-Port (LS 365 Adresse 64H) Bit 0 gesendet und stellt die Anforderung für einen DMA-Zyklus.

Die acht Interruptsignale die an die Interrupt-Steuerung herangeführt sind, können vom Interrupt-Freigabe-Latch (Adresse LS 374, 68H) einzeln gesperrt oder freigegeben werden.

Bedeutung der Bits vom Interrupt-Freigabe-Latch:

Freigabe: 0  
Sperre: 1

- I0-D0 INT-T37.5MS-L
- I0-D1 DKO-ZG1-L
- I0-D2 DKO-ZG2-L
- I0-D3 DKO-ZG3-L
- I0-D4 DKO-ZG4-L
- I0-D5 DKO-ZG5-L
- I0-D6 DKO-ZG6-L
- I0-D7 INT-AN-DKO-L

Beim Sperren und Freigeben können vier Fälle auftreten:

- Der Interrupt ist maskiert:  
Das Interruptsignal ist unwirksam und wird nicht gespeichert.
- Der Interrupt wird freigegeben:  
Der Vorgang "Freigabe des Interrupts" hat keine Auswirkung.
- Der Interrupt ist freigegeben:  
Der Interrupt wird mit der Rückflanke des Interrupt-Signals wirksam und gespeichert, ausgenommen INT-AN-DKO-L, das mit der Vorderflanke wirksam und gespeichert wird.
- Der Interrupt wird gesperrt:  
Wenn das Interrupt-Signal anliegt, wird der Interrupt beim Sperren wirksam und wird gespeichert. Das gilt nicht für INT-AN-DKO-L.

### 3.1.1.3 I/O-Adreßdecoder

Der I/O-Adreßdecoder liefert die Adressen für die Parallel I/O-Ports, die Belegung der Interruptsperre und das Retriggern des Watchdogs. Decodiert wird aus den Adreßbits DKO-A10...15 des DKo-Systembusses.

- Adresse 60H – 63H Output-Port
- Adresse 68H – 6BH Output-Port
- Adresse 6CH – 6FH Output-Port
- Adresse 64H – 67H Input-Port.

Im DKo-Prozessor wird die direkte I/O-Adressierung angewendet, d.h. die Ports werden unmittelbar über den Adreßbus mit den entsprechenden Steuerleitungen adressiert. Es stehen 256 I/O-Adressen zur Verfügung. Diese Adressen werden durch acht Adreßleitungen unterschieden. Bei I/O-Zugriff ist das Signal MEN-L logisch 1 und die acht Adreßbits erscheinen sowohl auf dem niederwertigen (A0...7) als auch auf dem höherwertigen (A8...15) Adreßbus. Die 256 Adressen werden in 16 Adreßblöcke zu je 16 Adressen unterteilt. Jeder Adreßblock wird einer Einheit (Baugruppe oder Baustein) zugeordnet. Innerhalb dieses Adreßblocks können die Adressen frei vergeben werden. Die Adreßblöcke werden durch die Adreßbits A4 bis A7 bzw. A12 bis A15 unterschieden. Die Decodierung geschieht für die Baugruppen oder Bausteine dezentral.

Tabelle 4 I/O-Adressierung

Adresseblock	Adressen	Einheit
0	00H bis OFH	Serielle Schnittstelle (USART 2661-3I)
1	10H bis 1FH	Kanalauswahl für Schnittstelle-FKS
2	20H bis 2FH	Ports Sicherheitstechnik
3	30H bis 3FH	Interrupt-Steuerung PIC 8259
4	40H bis 4FH	DKo-Zeitgeber 2
5	50H bis 5FH	DKo-Zeitgeber 1
6	60H bis 6FH	Ports DKo-Prozessor
7	70H bis 7FH	DKo-Zeitgeber 0
8	80H bis 8FH	reserviert für Zusatzeinrichtungen
9	90H bis 9FH	reserviert für Zusatzeinrichtungen
10	A0H bis AFH	reserviert für Zusatzeinrichtungen
11	BOH bis BFH	frei
12	COH bis CFH	frei
13	DOH bis DFH	frei
14	EOH bis EFH	Schnittstelle ZZK
15	FOH bis FFH	Schnittstelle ZZK

### 3.1.1.4 Parallel-I/O-Ports

- Handshake, Output  
Adresse: 60H

Vom Output-Port werden gesendet:

- Bit 0 DKO-BEREIT-L
- Bit 1 DKO-DMUE-FR-L
- Bit 2 INT-AN-DKV-L

Die Bits 3 bis 7 sind nicht beschaltet.

DKO-BEREIT-L wird benutzt um der DKV den Bereitzustand mitzuteilen.

DKO-DMUE-FR-L dient dazu der DKV zu signalisieren, daß der DKo zur DMA-Übertragung freigegeben ist.

- Handshake, Input  
Adresse: 64H

Über das Parallel-Input-Port können die in Tabelle 5 genannten Signale abgefragt werden.

Tabelle 5 Belegung Input-Port

Bit	Signalname	Wert	Funktion
0	INT-AN-DKO-L	0	der Interrupt von DKV an den DKo ist aktiv
		1	inaktiv
1	DKO-ZG2	0	Interruptsignal von Zeitgeber 1 (Zähler 2) ist aktiv (OUT 1 = 0)
		1	inaktiv
2	DKO-ZG3	0	Interruptsignal vom Zeitgeber 1 (Zähler 3) ist aktiv (OUT 2 = 0)
		1	inaktiv
3	INPUT1	0	kann durch am Diagnosestecker angesteckte Hardware definiert werden
		1	Diagnosestecker nicht belegt
4	INPUT2	0	kann durch am Diagnosestecker angesteckte Hardware definiert werden
		1	Diagnosestecker nicht belegt
5	INPUT3	1	frei, logisch 1

- Belegung Interruptsperre  
Adresse: 68H

PCS-103-L wird mit Adresse 68H von I/O-Decoder gebildet und beschaltet den CLOCK-Eingang der Interrupt-Sperre (LS 374).

- Retriggern Watchdog  
Adresse: 6CH

Durch Befehl OUT 6CH wird ein Retriggern des Watchdogs (DKO-RETR-WD-L) ausgelöst.

### 3.1.1.5 Speicheradreßdecoder

- RAM-Adreßdecoder

Mit Hilfe des RAM-Adreßdecoders werden die Adressen für den 8K-RAM-Speicher decodiert. Die Decodierung wird in 2K-Bereichen für die vier Speicherbausteine aus den Adreßbits DKO-A10...15 vorgenommen. Der RAM-Adreßbereich C000H bis DFFFH gliedert sich somit in vier Teilbereiche.

Aufteilung der Adreßbereiche:

- C000H...C7FFH
- C800H...CFFFH
- D000H...D7FFH
- D800H...DFFFHB08
- ROM-Adreßdecoder

Der ROM-Adreßdecoder decodiert aus den Adreßbits DKo A13...15 den Adreßbereich 0000H...BFFFH. Damit werden die 8K-Bereiche des 48K-EPROM-Speicher freigegeben.

Aufteilung der Adreßbereiche:

- 0000H...1FFFH
- 2000H...3FFFH
- 4000H...5FFFH
- 6000H...7FFFH
- 8000H...9FFFH
- A000H...BFFFH

Der Decoder wird mit DKO-ADE-L, DKO-MEN-L und DKO-HAC-L freigegeben.

### 3.1.1.6 Speicher

Der Speicher des DKo-Prozessors besteht aus einem 8K-RAM- und einem 48K-EPROM-Speicher.

Tabelle 6 Adreßbereichsaufteilung DKo-Prozessor

Adreßbereich	Speicher
0000H...BFFFH	48K - EPROM
C000H...DFFFH	8K - RAM
E000H...F7FFFH	nicht belegt
F800H...F8FFFH	RAM2 Schnittstelle ZZK, nicht belegt
F900H...FBFFFH	RAM2 Schnittstelle ZZK
FC00H...FCFFFH	RAM1 Schnittstelle ZZK, nicht belegt
FD00H...FFFFH	RAM1 Schnittstelle ZZK

Der 8K-RAM Speicher ( $4 \times 2$  Kbyte, HM6116) liegt am DKO-Systembus (DKO-A0...10, DKO-D0...7) und wird vom RAM-Decoder gesteuert. DKO-WR-L und DKO-RD-L von der CPU übernehmen die Auswahl eines Schreib- bzw. Lesezyklus. Am 48K-EPROM ( $6 \times 8$  Kbyte, MD2764) liegen die Adreßleitungen DKO-A0...12 und die Datenleitungen DKO-D0...7. Die Steuerung wird über den ROM-Adreßdecoder oder die Steuersignale der CPU vorgenommen. Auf den EPROM-Speicher ist kein DMA-Zugriff möglich. Für Systemtests kann der 48K-EPROM-Bereich mit RAM-Speicherbausteinen bestückt werden. In diesem Fall dient der Schalter S1 zur Freigabe von DKO-WR-L an die RAM-Bausteine.

### 3.1.2 DKO-Zeitgeber S42024-H188-C1

Der DKO-Zeitgeber besteht aus folgenden Baugruppen (siehe Bild 12):

- Taktzeugung T 256K
- Zeitgeber 0...2
- Überwachungstor- und Verzögerungslogik
- Adreßdecoder
- serielle Schnittstelle EPCI 2661

Der DKO-Zeitgeber erzeugt die für den Betrieb der FDS notwendigen Takte aus den zentralen Takten der Basisstation (EXE-6,4MHz, EXE-2,4S). Diese Signale werden im Phasenempfänger erzeugt und über den Frequenzverteiler dem DKO-Zeitgeber zugeführt. Das Rechtecksignal EXE-2,4S wird auf symmetrischen Leitungen, das sinusförmige Signal EXE-6,4 MHz auf einer Koaxialleitung übertragen. Ein Ausfall der Frequenzverteiler wird der Pegelüberwachung auf der Baugruppe Sicherheit FDS durch das Signal DKO-6,4M mitgeteilt. Bild 10 zeigt das Signalverhalten an der Takschnittstelle.

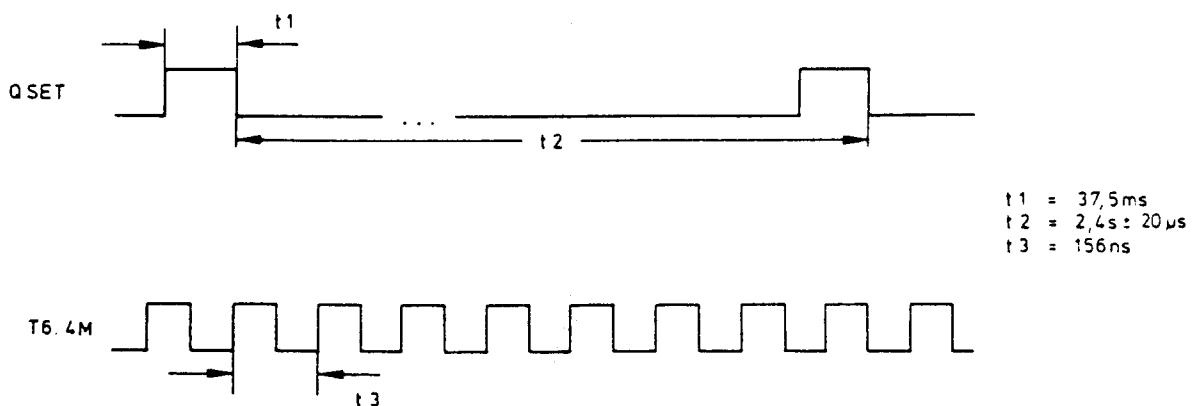


Bild 10 Signalverhalten an der Takschnittstelle

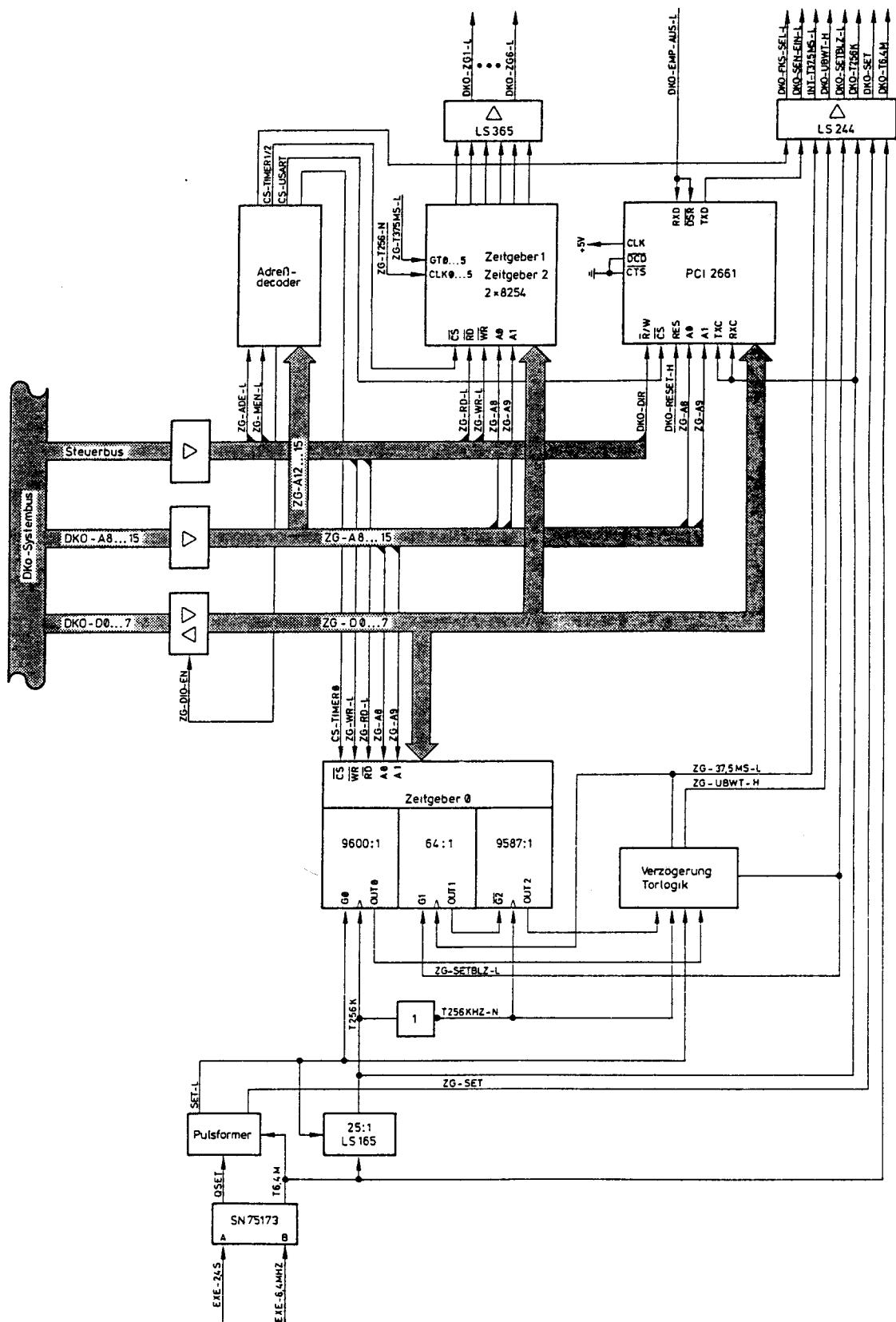


Bild 11 Übersichtsschaltplan DKo-Zeitgeber

Die programmierbaren Bausteine des DKo-Zeitgebers haben folgende Adressen:

Tabelle 7 I/O Adressen DKo-Zeitgeber

Adressebereich	Speicher	Funktionseinheit
00H – 0FH	USART 2661	Ein/Ausgabe DKo ↔ FKS
40H – 43H	SAB 8254	DKo – Zeitgeber 2
50H – 53H	SAB 8254	DKo – Zeitgeber 1
70H – 73H	SAB 8254	DKo – Zeitgeber 0

### 3.1.2.1 Takterzeugung T256K

Der Takt T256K wird mit drei Schieberegistern und einem D-Flipflop erzeugt. Durch die drei 8-bit Schieberegister läßt sich die gewünschte Voreinstellung erzielen (Tastverhältnis 10 : 15). Als Clock dient der Takt T6,4M. Die Synchronisation zum Zeitzeichen wird dadurch erreicht, daß SET mit T6,4M gesteuert wird.

Unmittelbar nach dem Einschalten sind die Ausgänge der Zeitgeber undefiniert. Nach dem Eintrag in das Steuerwort-Register des Zeitgebers gehen die Ausgänge auf HIGH. Wenn alle drei Zähler des Zeitgebers 0 vollständig geladen sind (positive und negative Flanke an Takteingang der Zähler), beginnt der Zeitgeber 0 zu zählen. Bedingung für den Zählstart ist das erste Zeitzeichen. Die Rückflanke von QSET erzeugt die Synchronisation von QSET zu den Ausgängen der Zähler.

Mit Hilfe des Signals DKO-UBWT kann der DKV-Rechner feststellen, wann das erste Zeitzeichen SET, nach der Programmierung des Zeitgebers, im DKo aufgetreten ist. Nach diesem Zeitpunkt liefert der Zeitgeber die richtigen Takte. Nach dem nächsten SET wird die Fehlermeldung "Überwachung Zeitzeichen" zurückgesetzt und der DKV-Prozessor geht davon aus, daß die Teilerkette richtig läuft (2,4 Sekunden später muß die Überwachung der Teilerkette melden: Teilerkette läuft richtig).

Danach kann eine Fehlermeldung auftreten, wenn das DKO-SET ausfällt (Hardware-Defekt), oder der PHE umgeschaltet wird. Bei ordnungsgemäß arbeitenden Phasenempfängern kann bei einer betriebsmäßigen Umschaltung der Phasenempfänger ein DKO-SET-Signal ausfallen. Die DKO-SET Überwachung spricht aber erst an, wenn das Setzsignal DKO-SET zweimal hintereinander fehlt.

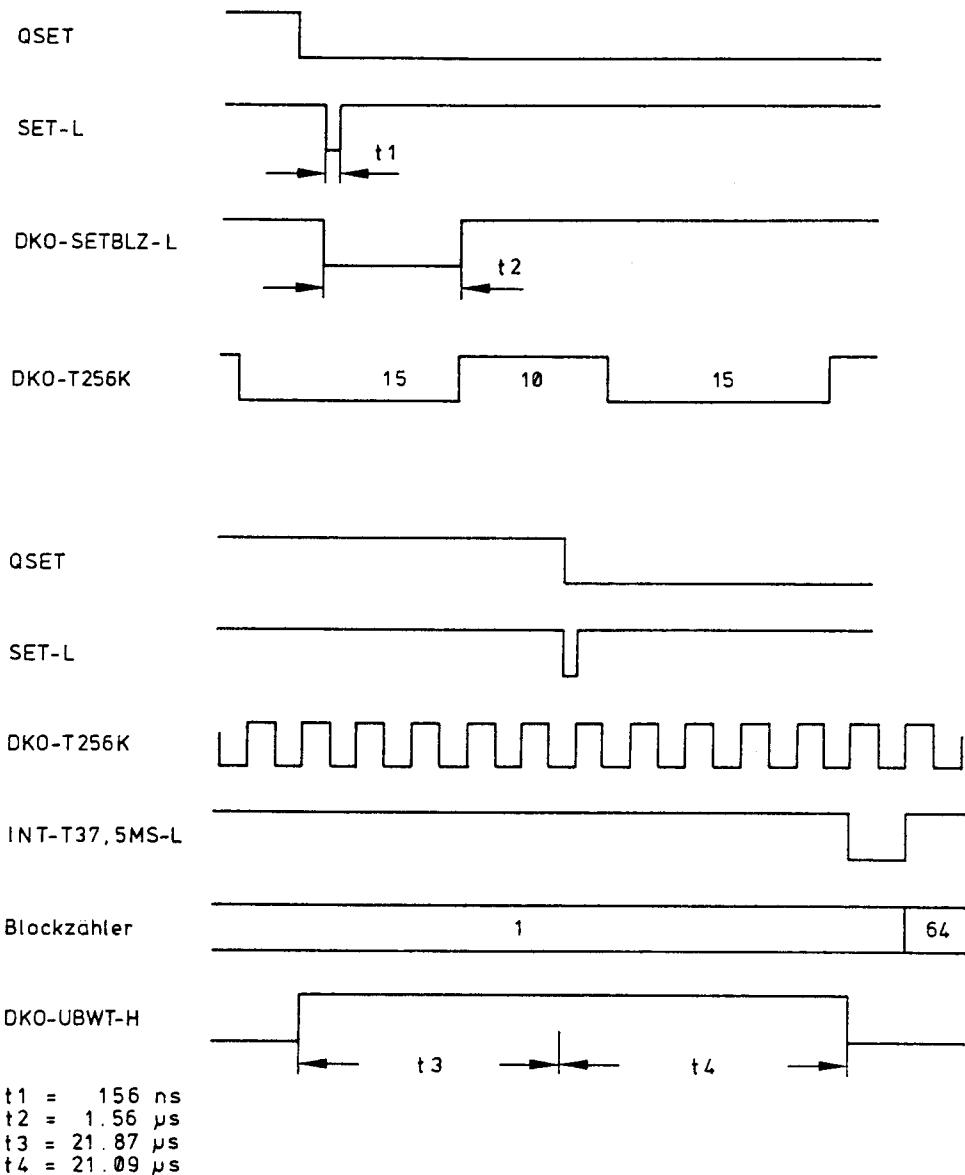


Bild 12 Zeitdiagramm des DKo-Zeitgebers

### **3.1.2.2 Zeitgeber 0**

Der Zeitgeber 0 (MD 8254) wird auf die Betriebsart 2 und duales Zählen eingestellt, in der die Zähler vom Anfangswert bis 1 abwärts zählen, bei Zählerstand 1 am Ausgang für eine Periode des Eingangstaktes auf LOW gehen, und dann, ohne neue geladen werden zu müssen, mit dem alten Anfangswert wieder zu zählen beginnen. Die Zähler sind mit folgenden Anfangswerten zu laden: Zähler 0 mit 9600, Zähler 1 mit 64, Zähler 2 mit 9587. Damit sind die Voraussetzungen gegeben, daß der Zeitgeber 0 die für den Betrieb der FDS richtigen Takte liefert.

Mit Hilfe des Zeitgebers 0 werden der Takt INT-T37,5MS-L, die Blockzählung und das Überwachungstor erzeugt.

#### **3.1.2.2.1 Takterzeugung INT-T37, 5MS-L**

Zähler 0 des Zeitgebers 0 teilt den Empfangstakt T256K durch 9587 auf einen 37,5-ms-Takt. Freigabe und Synchronisation des Taktes wird mit SET-L vorgenommen. INT-T37,5MS-L setzt die sechs Zähler der Zeitgeber 1 und 2 auf den vorher ins Zählerregister geladenen Wert.

Um einen Doppelimpuls bei positiver Korrektur des Signals SET-L um  $\pm 20 \mu\text{s}$  zu vermeiden, wird der Takt durch die Verzögerungsschaltung um  $21,09 \mu\text{s}$  verzögert.

#### **3.1.2.2.2 Blockzähler**

Der Blockzähler ist mit Zähler 1 des Zeitgebers 0 realisiert. Er wird mit den Anfangswert 64D geladen und durch INT-T37,5MS-L getaktet. Mit DKO-SETBLZ-L wird der Blockzähler im Zyklus von 2,4 s neu mit 64D geladen (siehe Bild 12).

Durch die Verzögerung von INT-T37,5MS-L um  $21,09 \mu\text{s}$  liegen Funkblocknummer und Blockzählerstand um  $25 \mu\text{s}$  auseinander.

#### **3.1.2.2.3 Überwachungstor**

Mit dem dritten Zähler des Zeitgebers 0 wird das Überwachungstor erzeugt. Zu Beginn des letzten Funkblockes (Blockzählerstand 1) geht der Blockzählerausgang auf LOW. Bei dieser Flanke beginnt Zähler 2 mit dem 256-kHz-Takt bis 9587 zu zählen. Mit dem Ausgangssignal wird ein JK-Flipflop (LS73) gesetzt, so daß das Signal DKO-UBWT-H auf den Zustand HIGH geht. Ohne Korrektur beträgt die Länge des Tors bis zum SET-L  $21,87 \mu\text{s}$ .

Die Rückflanke des Fensters wird von der Verzögerung des INT-T37,5MS-L-Taktes abgeleitet. Der Ausgang QE des Schieberegisters (LS164) geht auf den J-Eingang des JK-Flipflops. Die Zeitdauer von SET-L bis zur Rückflanke des Fensters beträgt  $(10*1/6,4 \text{ MHz} + 5*1/256 \text{ kHz}) = 21,09 \mu\text{s}$ .

Die Breite des Überwachungstores entspricht der maximalen Toleranz des Zeitzeichens QSET von  $\pm 20 \mu\text{s}$ . (siehe Bild 12).

Die FDS-Sicherheitstechnik vergleicht das Überwachungstor mit dem Zeitzeichen SET. Liegt das Zeitzeichen außerhalb des Überwachungstors ( $-21,87 \mu\text{s}$ ,  $+21,09 \mu\text{s}$ ), spricht der Fehlerdetektor an.

### 3.1.2.3 Zeitgeber 1, 2

Die Zeitgeber 1 und 2 stehen der Software für die Erzeugung eines Zeitrasters von 256 kHz zur Verfügung. Die von beiden Zeitgebern erzeugten Signale DKO-ZG1-L...6-L liegen im Takt INT-T37,5MS-L.

Tabelle 3 zeigt die Zuordnung der Zeitgeber-Interrupts zu den Eingängen des PIC.

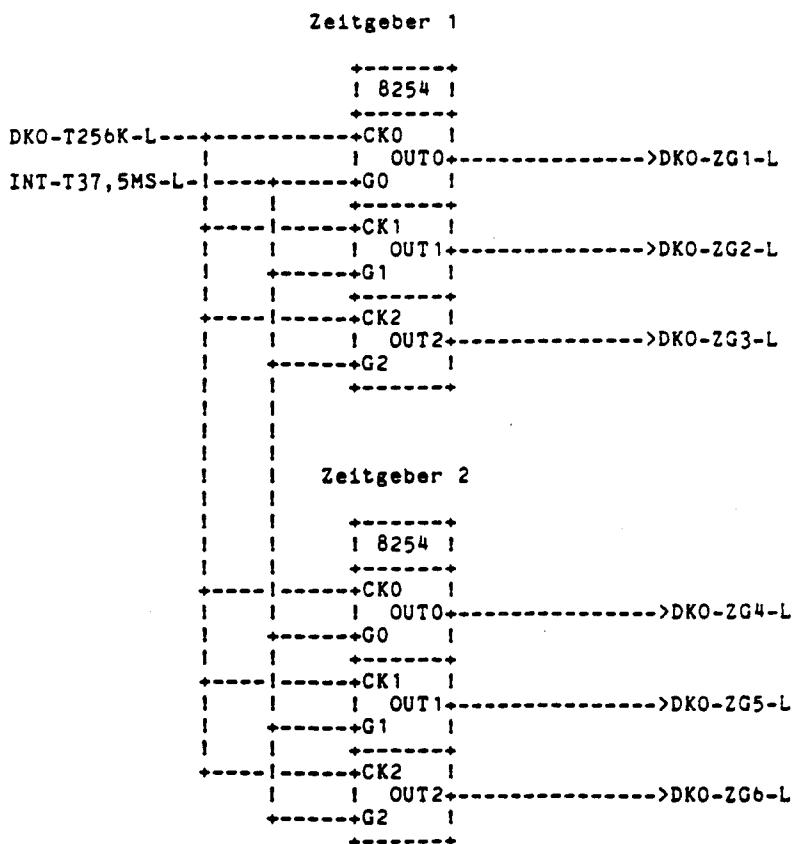


Bild 13 Beschaltung Zeitgeber 1,2

### **3.1.2.4 Überwachungstor und Verzögerungslogik**

Überwachungstor und Verzögerungslogik werden vom Zeitgeber 0 sowie den Signalen SET-L und T256 kHz gesteuert. Die Funktion ist unter Pkt. 3.1.2.2 beschrieben.

### **3.1.2.5 Adreßdecoder**

Der Adreßdecoder ist mit dem Decoder LS 138 realisiert. Vom Adreßbus sind die Adreßbits A12...15 angeschlossen. Die Freigabe wird durch ZG-ADE-L vorgenommen.

Decodiert werden die CS-Signale für die Zeitgeber 1 und 2 (CS-TIMER1, CS-TIMER2) sowie den seriellen Schnittstellenbaustein ST 2661 (CS-USART).

### **3.1.2.6 Serielle Schnittstelle USART 2661**

Die serielle Schnittstelle zur FKS1 oder FKS2 bildet der USART-Baustein ST 2661.

Er empfängt am Eingang RxD die über die Leitung DKO-EMP-AUS-L von der FKS gesendeten Daten. In gleicher Weise werden die Daten von TxD des USART über die Leitung DKO-SEN-EIN-L zur Funkperipherie gesendet. Sende- und Empfangstakt werden von Takt T256K des DKo-Zeitgebers gebildet.

Die seriell empfangenen Daten werden vom USART auf den DKo-Systembus gelegt. Der USART wird von CS-USART freigegeben und, entsprechend dem Zyklus, von ZG-RD-L und ZG-WR-L. Mit DIR-R/W wird am Eingang R/W die Datenrichtung bestimmt.

Die Programmierung der Mode1-, Mode2 und des Kommando-Registers ist aus dem Datenblatt zu ersehen. Über das Statusregister SR7 ist erkennbar, ob ein Break vorliegt, da SR7 den Pegel von -DSR invertiert anzeigt. Data Set Ready (-DRS) ist zu diesem Zweck mit RxD (Receive Data) verbunden. Ein Pull-Up-Widerstand verhindert, daß bei inaktiven Multiplexern ein Break im Statusregister SR7 angezeigt wird.

Der EPCI wird mit dem 256-kHz-Übertragungstakt (RxC, TxC) betrieben.  
(Takt T256K siehe Kapitel 3.1.2.1).

Tabelle 8 Adressierung PCI 2661

I/O-Adresse	Betriebszustand
00H R/W	EPCI Daten-, Empfangs- oder Senderegister
01H R	Statusregister
02H R/W	Moderegister I und II
03H R/W	Commandregister

### 3.1.3 Schnittstelle ZZK S42024-H187-D1

Die Schnittstelle ZZK besteht aus folgenden Funktionseinheiten (s. Bild 14):

- Steuerlogik
- Seriell/Parallel-Wandler
- Kontrolllogik
- Adreßdecoder
- Speicher
- I/O-Ports
- ZZK-Schleifentest.

Um einen ausfallsicheren Betrieb zu gewährleisten, wird die Schnittstelle ZZK der FDS in zwei gleiche Hälften aufgeteilt und bildet so, mit einer passiven FDS, eine Datenverbindung zu den beiden SAE's. Ein 100%iger Betrieb, d.h. volle Datenübertragung ist nur mit beiden Hälften der Schnittstelle-ZZK möglich – die 2: FDS ist passiv, d.h. die Treiber sind hochohmig. Fällt ein Teil der Schnittstelle ZZK, oder eine SAE aus, steht noch die halbe Signalisierungskapazität zur Verfügung. Jede Hälfte der Schnittstelle ist einer bestimmten SAE zugeordnet. Von einer SAE aus betrachtet gehen die Daten parallel an beide Funkdatensteuerungen. Um den höchst möglichen Datendurchsatz zu erhalten, muß die Übertragung über beide Signalanpaßeinheiten stattfinden.

Der Transfer der Daten wird mit Handshake-Signalen geregelt. Die Handshake-Signale von der FDS an die SAE sind:

- SAE-SEBER Sender bereit
- SAE-EMBER Empfänger bereit.

Von der SAE aus wird eine Quittung über die Steuersignale vorgenommen:

- SAE-RD SAE liest
- SAE-WR SAE schreibt.

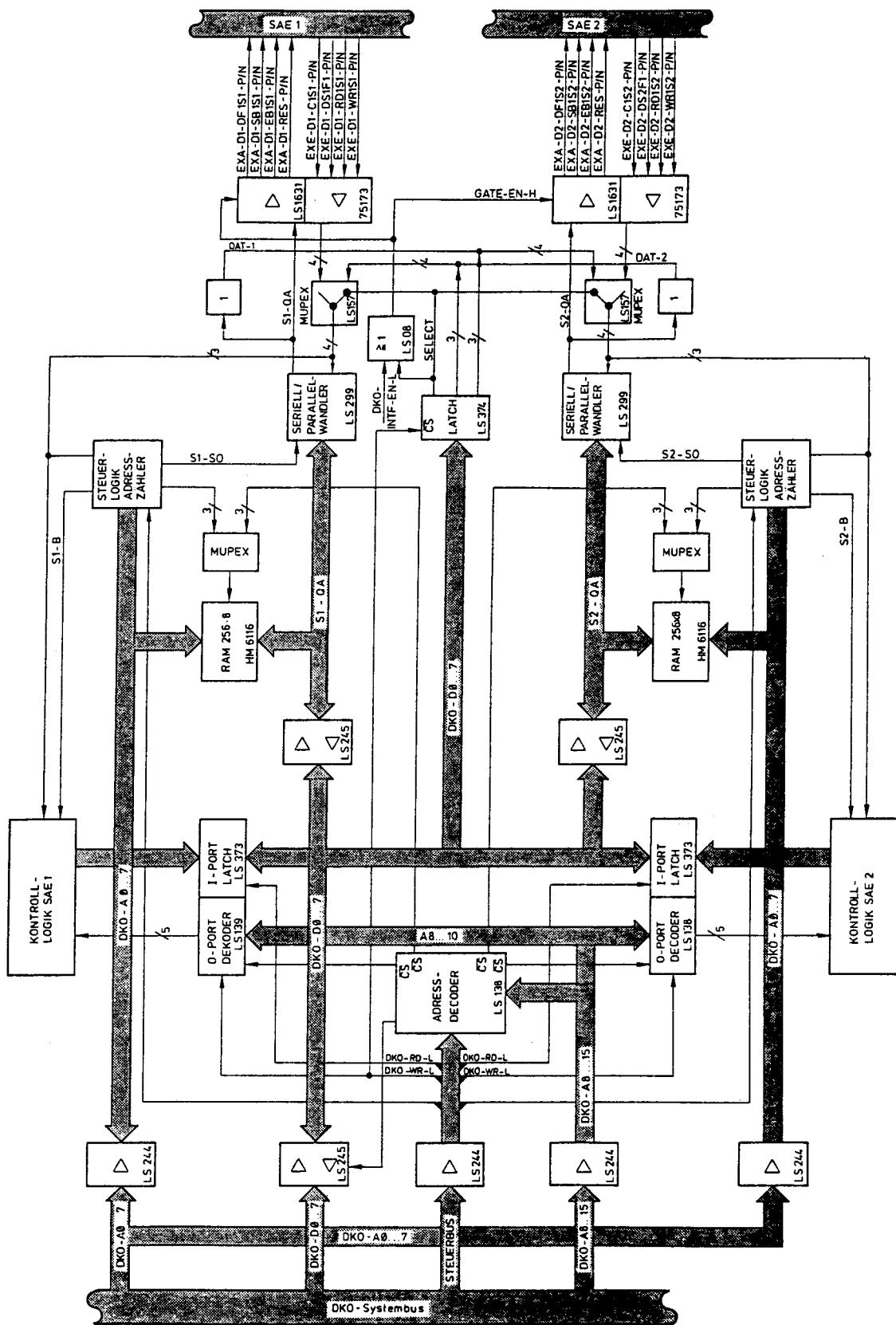


Bild 14 Übersichtsschaltplan Schnittstelle ZZK

Bei Spannungsausfall oder FDS-Einfachbestückung erkennt die jeweilige SAE die Signale EXA-DxSBxSx bzw. EXA-DxEIxSx und die Datenleitung EXA-DxDFxSx als HIGH (x = Nr. der jeweiligen SAE bzw. Schnittstelle ZZK).

### 3.1.3.1 Steuerlogik

Die Steuerlogik koordiniert die DKo- und SAE-Prozeduren. Sie steuert die Adressierung und stellt die sechs möglichen Betriebsweisen ein.

Folgende Betriebsweisen für jede der beiden Schnittstellenhälften sind möglich:

- DKo-Lesen
- DKo-Schreiben
- SAE (1 oder 2)-Lesen
- SAE (1 oder 2)-Schreiben
- Prüfung
- kein Datentransfer.

Bild 15 gibt einen Überblick über die Betriebsweise der Schnittstelle-ZZK.

Die Hälften der Schnittstelle ZZK können in folgender Weise parallel arbeiten:

- Parallel zur Betriebsweise DKo-Lesen bzw. DKo-Schreiben ist in der anderen Hälfte SAE-Lesen oder SAE-Schreiben möglich.
- Parallel zur Betriebsweise SAE-Lesen bzw. SAE-Schreiben ist in der anderen Hälfte jede Betriebsweise außer Prüfung möglich.
- Parallel zur Betriebsweise Prüfung ist keine andere Betriebsweise möglich.

Die I/O-Ports der Schnittstelle ZZK sind unabhängig von der Betriebsweise jederzeit ansprechbar.

Der DKo-Prozessor kann abhängig von den Betriebsweisen über den DKo-Systembus direkt auf die beiden Pufferspeicher (HM 6116) der Schnittstelle zugreifen. Die Vergabe der Speicherbereiche für RAM SAE1 und RAM SAE2 ist in Pkt. 3.1.3.6 beschrieben.

Zur Steuerung der Speicheradressierung bei der Übertragung SAE → FDS sind programmierbare Adreßzähler eingesetzt. Mit jedem übertragenen Byte wird der Zählerstand um 1 vermindert. Bei Zählerstand Null wird der Datentransfer abgebrochen und das Signal S1-B (S2-B) an die Kontrollogik geliefert. Mit S1-LD (S2-LD) wird nach jedem Übertragungsvorgang (SAE-WR und SAE-RD = LOW) der Adreßzähler wieder auf den Zählerstand 21D gesetzt. Die Steuerlogik übernimmt dann die Umstellung der Adreß- und Datenbustreiber, da beide Busse als interne und externe Busse arbeiten und multiplex betrieben werden.

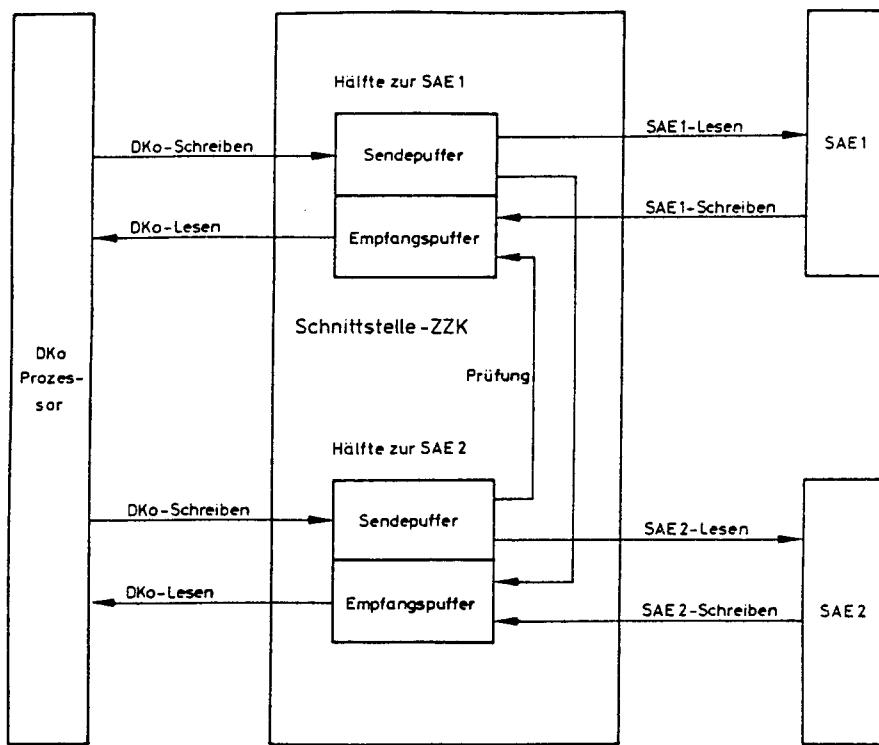


Bild 15 Betriebsweisen der Schnittstelle ZZK

### 3.1.3.2 Seriell-/Parallel-Wandler

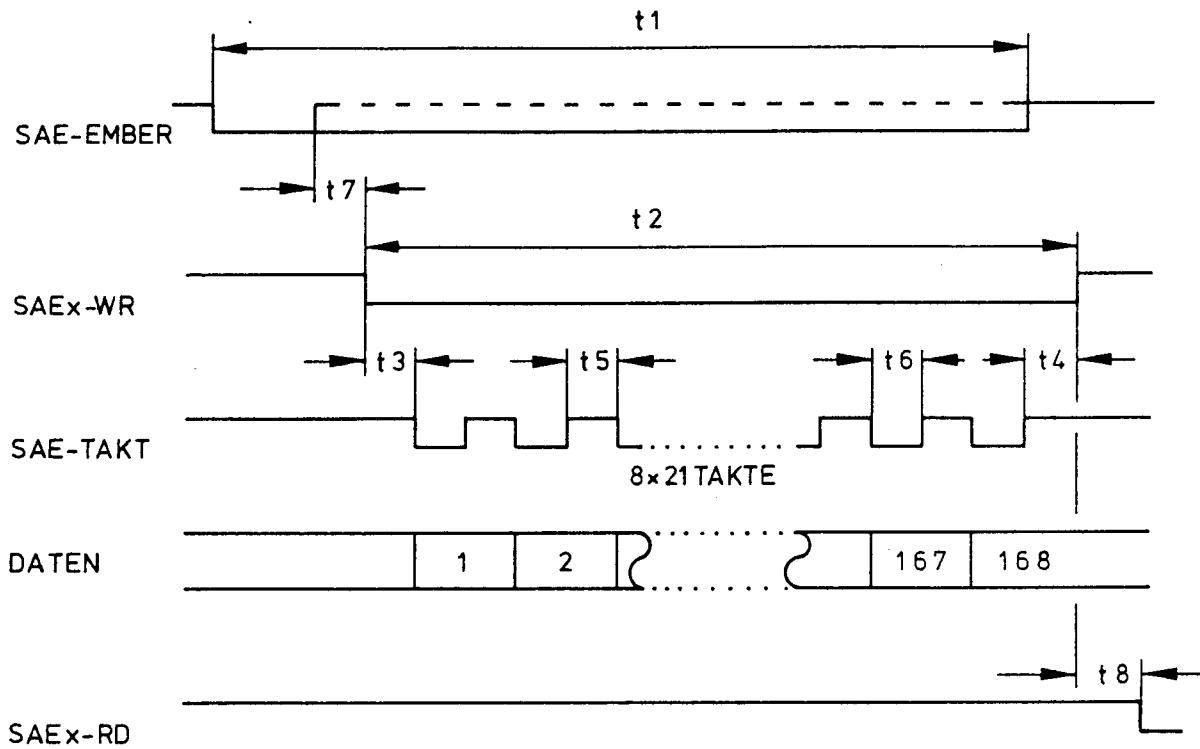
Die SAE beginnt den Datentransfer mit den Handshake-Signalen EXE-Dx-WRySx-L für das Schreiben bzw. EXE-Dx-RDySx-L für das Lesen. Schreibt die SAE über den Seriell-/Parallel-Wandler in den Pufferspeicher ein, so sendet sie 168 Takte ( $8 \times 21$ ) und gibt die Daten mit der negativen Taktflanke aus. Die Schnittstelle übernimmt die Daten mit der positiven Taktflanke. In Ruhestellung ist das Taktsignal HIGH. Liest nun die SAE über den Parallel-/Seriell-Wandler aus dem Pufferspeicher aus, so sendet sie ebenfalls 168 Takte.

Die Schnittstelle überlässt mit der negativen Taktflanke die Daten an die SAE. Mit der positiven Taktflanke übernimmt die SAE die Daten.

Damit Störimpulse auf der Takteleitung von der SAE zur Schnittstelle die Anfangsstellung der Adresszähler nicht verfälschen, wird die Anfangsstellung der Zähler geladen (S1-LD, S2-LD), wenn SAE-RD und SAE-WR nicht aktiv ist.

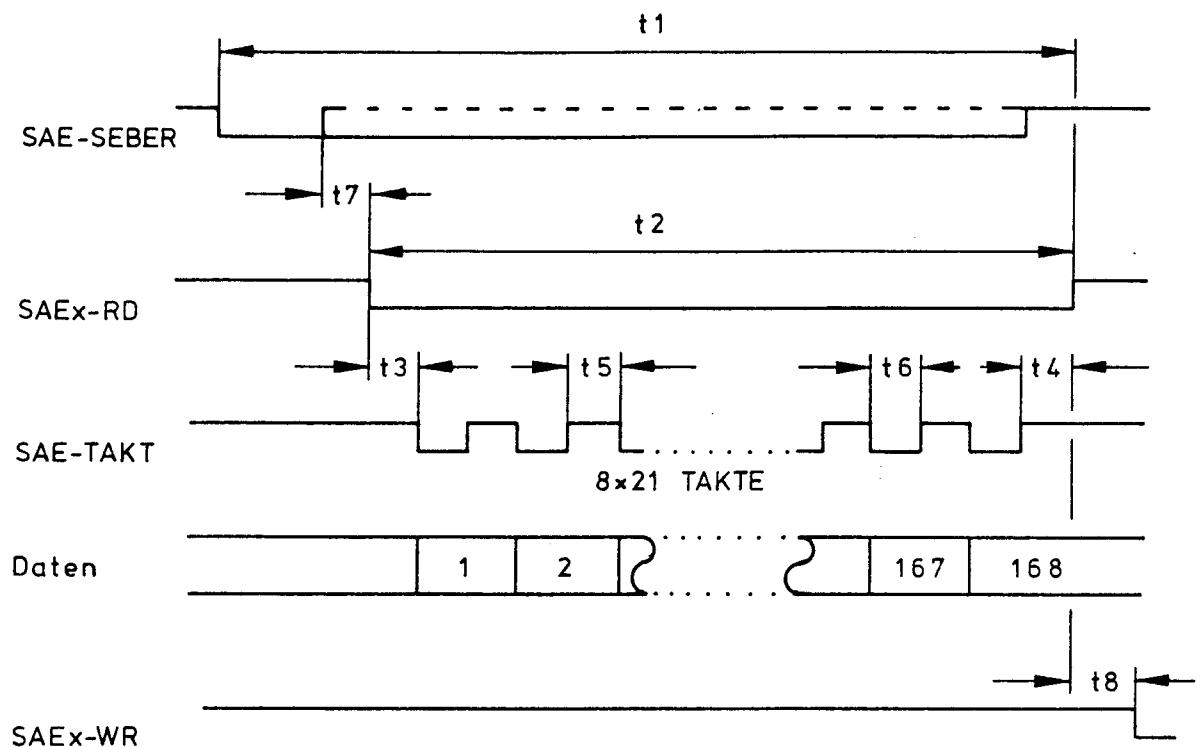
Liest oder beschreibt der DKo-Prozessor den Speicher, sind die Datenaus- bzw. Dateneingänge des Parallel-/Seriell-Wandlers im hohohmigen Zustand.

Die Signale S1-S0 bzw. S2-S0 bestimmen am Eingang S0 die Transferrichtung. Der Parallel-/Seriell-Wandler wird mit S1-CLOCK bzw. S2-CLOCK getaktet.



	MIN	MAX
t1		20 ms
t2		1,5 ms
t3	1 µs	
t4	1 µs	
t5	1 µs	
t6	1 µs	
t7	3 µs	100 µs

Bild 16 Übertragung SAE ↔ FDS



	MIN	MAX
$t_1$		20 ms
$t_2$		1,5 ms
$t_3$	1 $\mu$ s	
$t_4$	1 $\mu$ s	
$t_5$	1 $\mu$ s	
$t_6$	1 $\mu$ s	
$t_7$		100 $\mu$ s
$t_8$	3 $\mu$ s	

Bild 17 Übertragung FDS  $\leftrightarrow$  SAE

### 3.1.3.3 Kontrollogik

Mit der Kontrollogik überwacht der DKo-Prozessor die Betriebszustände der Schnittstelle ZZK. Über die I/O-Ports der Kontrollogik lassen sich unzulässige Betriebszustände, wie RAM überschreiben, RAM mehrfach lesen und Fehler in der Übertragung überwachen.

Der Zustand der Kontrollogik wird beeinflußt durch:

- die Signale der SAE
- Software-Eingriff über die Ports F0H bis F4H und E8H bis ECH (Betriebszustände)
- Signale des DKo-Prozessors (RESET)
- interne Abläufe (Signale der Steuerlogik).

Über die Output-Ports (OUTPUT S1, OUTPUT S2, 2 x LS138) ist mit Hilfe eines Befehls die Einstellung der unterschiedlichen Betriebszustände möglich.

Tabelle 9 Output-Port SAE1

Adresse	Signalname	Betriebszustand
F0	S1-RESET	Reset der Kontrollogik in den Anfangszustand
F1	S1-SET-TFULL	Sende-RAM ist auf Zustand "voll" gesetzt
F2	S1-SET-REMPI	Empfangs-RAM ist auf Zustand "leer" gesetzt
F3	S1-FREIGABE	Freigeben der Schnittstelle zur SAE1
F4	S1-SPERRE	Sperren der Schnittstelle zur SAE1

Tabelle 10 Output-Port SAE2

Adresse	Signalname	Betriebszustand
E8	S2-RESET	Reset der Kontrollogik in den Anfangszustand
E9	S2-SET-TFULL	Sende-RAM ist auf Zustand "voll" gesetzt
EA	S2-SET-REMPI	Empfangs-RAM ist auf Zustand "leer" gesetzt
EB	S2-FREIGABE	Freigeben der Schnittstelle SAE2
EC	S2-SPERRE	Sperren der Schnittstelle zur SAE2

Auskunft über die Betriebszustände und Betriebsweisen der Schnittstelle ZZK wird über die Input-Ports (INPUT S1, INPUT S2, 2 x LS373) erteilt.

Input-Port S1 (Adresse FAH) liefert das Statuswort ZZK-RDI1 von der Kontrolllogik SAE1.

Input-Port S2 (Adresse F8H) liefert das Statuswort ZZK-RDI2 von der Kontrolllogik SAE2.

Tabelle 11 Statuswort ZZK-RD/1

Bit	Betriebszustand	Funktion
0	SAE1-LESEVERSUCH	Lesevorgang gestartet
1	SAE1-TEMPTY	Sende-RAM SAE1 leer
2	SAE1-RD	SAE1 Lesen
3	SAE1-SCHREIBVERSUCH	Schreibvorgang gestartet
4	SAE1-RFULL	Empfangs-RAM SAE1 voll
5	SAE1-WR	SAE1 Schreiben
6	SAE1-SEBER	Schnittstelle sendebereit
7	SAE1-EMBER	Schnittstelle empfangsbereit

Tabelle 12 Statuswort ZZK-RD/2

Bit	Betriebszustand	Funktion
0	SAE2-LESEVERSUCH	Lesevorgang gestartet
1	SAE2-TEMPTY	Sende-RAM SAE2 leer
2	SAE2-RD	SAE2 Lesen
3	SAE2-SCHREIBVERSUCH	Schreibvorgang gestartet
4	SAE2-RFULL	Empfangs-RAM SAE2 voll
5	SAE2-WR	SAE2 Schreiben
6	SAE2-SEBER	Schnittstelle sendebereit
7	SAE2-EMBER	Schnittstelle empfangsbereit

In der folgenden Beschreibung werden die Statusworte der Ports FAH und F8H ausführlich erläutert.

Alle Statussignale sind LOW aktiv. Das Symbol "Sx" steht für SAE1 oder SAE2, die Funktionsgruppen Pufferspeicher und Kontrolllogik sind immer bezogen auf die entsprechende Hälfte der Schnittstelle ZZK.

Tabelle 13 Statuswort der Input-Ports FAH und F8H

Bit	Signalname	Wert	Funktion
0	Sx-LESE-VERSUCH	0	Die SAE hat das Lesen von Daten aus der Schnittstelle ZZK gestartet. Der Zustand wird rückgesetzt, wenn der DKo neue Daten in den Puffer eingeschrieben hat.
		1	Initialwert
1	Sx-TEMPTY	0	Initialwert Der Sendepuffer ist logisch leer, d.h. die SAE hat den Datenblock vollständig gelesen.
		1	Der Sendepuffer ist nur teilweise oder gar nicht gelesen worden.
2	Sx-RD	0	Initialwert Die SAE hat einen Lesezyklus eröffnet, um einen Datenblock aus dem Sendepuffer zu lesen. Die Schnittstelle ZZK hat die Betriebsweise SAE-LESEN eingestellt. Einen Zugriff des DKo-Prozessors auf den Sende- und Empfangspuffer der aktiven Hälfte ist in dieser Zeit nicht möglich.
		1	Die SAE greift nicht auf den Sendepuffer zu (sie hat keinen Lesezyklus eröffnet).
3	Sx-SCHREIB-VERSUCH	0	Die SAE hat das Schreiben von Daten in die Schnittstelle ZZK begonnen. Der Zustand wird durch die SW rückgesetzt, wenn nach Beenden des Schreibens (Sx-RFULL) die Daten in den DKo übertragen worden sind.
		1	Initialwert Der Empfangspuffer ist leer und die SAE hat noch keinen Schreibzyklus für den nächsten Datenblock begonnen.
4	Sx-RFULL	0	Die SAE hat einen Datenblock vollständig in den Empfangspuffer geschrieben.
		1	Initialwert Der Empfangspuffer ist logisch leer, d.h. der DKo-Prozessor hat den eingeschriebenen Datenblock im Empfangspuffer gelesen, und es wurde noch kein neuer Datenblock vollständig übertragen.

Fortsetzung Tabelle 13

Bit	Signalname	Wert	Funktion
5	Sx-WR	0	Die SAE hat einen Schreibzyklus eröffnet, um einen Datenblock in den Empfangspuffer zu übertragen. Die Betriebsweise SAE-Schreiben wurde eingestellt. Ein Zugriff des DKo-Prozessors auf dieser Hälfte ist während dieser Zeit nicht möglich.
		1	Initialwert Die SAE greift nicht auf den Empfangspuffer zu (sie hat keinen Schreibzyklus eröffnet).
6	Sx-SEBER	0	Initialwert Die SAE darf einen Lesezyklus eröffnen, um einen Datenblock des Sendepuffers zu lesen, d.h. die Schnittstelle ZZK ist sendebereit (Datenrichtung vom DKo zur SAE)
		1	Die SAE darf keinen Lesezyklus eröffnen, um einen Datenblock des Sendepuffers zu lesen.
7	Sx-EMBER	0	Die SAE darf einen Schreibzyklus eröffnen, um einen Datenblock in den Empfangspuffer zu schreiben, d.h. die Schnittstelle ZZK ist empfangsbereit (Datenrichtung von SAE zum DKo).
		1	Initialwert Die SAE darf keinen Schreibzyklus eröffnen um einen Datenblock in den Empfangspuffer zu schreiben.

Die Software kann über die Output-Ports F0H bis F4H und E8H bis ECH die Kontrollogik der Schnittstelle ZZK bedienen.

Nachfolgend werden die über die Output-Ports (OUTPUT S1, OUTPUT S2) gesendeten Kommandos an die Kontrollogik ausführlich beschrieben. Die Freigabe der Ports wird mit DKO-WR-L vorgenommen.

Tabelle 14 Kommandos der Output-Ports S1, S2

Port	Signalname	Funktion
FO E8	Sx-RESET	Sx-RESET setzt die Kontrollogik in den Anfangszustand. Die Betriebszustände werden auf ihren jeweiligen Initialwert gesetzt (siehe Tabelle 11). Die SAE ist durch SAE-SEBER und SAE-EMBER gesperrt, damit hat die Schnittstelle ZZK die Betriebsweise KEIN-DATEN-TRANSFER eingestellt. Die Anwendung dieses Signals ist bei einer Systeminitialisierung (DKo-Anlauf) und danach im Erkennen von unzulässigen Betriebszustands-Kombinationen sinnvoll.
F1 E9	Sx-SET-TFULL	Vorbereitung für die Betriebsweise Sx-LESEN:  1. Sx-TEMPTY wird rückgesetzt 2. Sx-LESEVERSUCH wird rückgesetzt 3. Infolge 1. wird Sx-SEBER gesetzt falls Sx-FREIGABE gesetzt ist.  Sx-SET-TFULL beendet die Betriebsweise DKo-SCHREIBEN, wenn der DKo-Prozessor einen Datenblock in den Sendepuffer eingeschrieben hat. Die Schnittstelle ZZK ist in der Betriebsweise KEIN-DATENTRANSFER und kann einen Lesezyklus für den Sendepuffer eröffnen, woraufhin die Schnittstelle ZZK die Betriebsweise Sx-LESEN annimmt.
F2 EA	Sx-SET-REMPIY	Vorbereitung für die Betriebsweise SAEx-Schreiben.  1. Sx-RFULL wird rückgesetzt 2. Sx-SCHREIBVERSUCH wird rückgesetzt 3. Infolge 1. wird Sx-EMBER gesetzt, falls Sx-FREIGABE gesetzt ist.  Sx-SET-REMPIY beendet die Betriebsweise DKo-LESEN, wenn der DKo-Prozessor einen Datenblock im Empfangspuffer gelesen hat. Die Schnittstelle ZZK ist in der Betriebsweise KEIN DATENTRANSFER und die SAE kann einen Schreibzyklus für den Empfangspuffer eröffnen, woraufhin die Schnittstelle ZZK die Betriebsweise Sx-SCHREIBEN annimmt.
F3 EB	Sx-FREIGABE	Bedingte Freigabe des Pufferspeichers für SAE-Zugriff.  1. Sx-Freigabe wird gesetzt 2. Infolge 1. wird Sx-SEBER gesetzt, falls Sx-TEMPTY rückgesetzt ist. 3. Infolge 1. wird Sx-EMBER gesetzt, falls Sx-RFULL rückgesetzt ist.

## Fortsetzung Tabelle 14

Port	Signalname	Funktion
F4 EC	Sx-SPERRE	<p>Im Falle eines SAE-Zugriffs ändert sich die Betriebsweise von KEIN DATENTRANSFER in Sx-SCHREIBEN bzw. SAE-LESEN.</p> <p>Die Bustreiber für den Puffer der Schnittstelle ZZK sind dann für den DKo-Prozessor gesperrt. Der Pufferspeicher für SAE2 wird unabhängig von dem für SAE1 betrieben, (siehe Parallelbetrieb Pkt. 3.1.3.1).</p> <p>Unbedingte Sperre des Pufferspeichers für Sx-Zugriff.</p> <p>1. Sx-Freigabe wird rückgesetzt 2. Sx-SEBER wird rückgesetzt 3. Sx-EMBER wird rückgesetzt</p> <p>Durch die rückgesetzte Sx-FREIGABE ist ein DKo-Zugriff auf die Pufferspeicher ohne eventuelle Störung der SAE möglich. Da ein SAE-Zugriff die höhere Priorität gegen über einen DKo-Zugriff auf den gleichen Pufferspeicher hat, muß beim DKo-Zugriff Sx-FREIGABE rückgesetzt werden.</p>

Mit RESET-OUT (DKO-RESET-H) sperrt die Kontrolllogik die Handshakesignale Sx-EMBER und Sx-SEBER und damit die Datenübertragung von und zur SAE.

Beim folgenden Software-Reset mit Sx-RESET bleiben die Handshakesignale weiter gesperrt und die Statusworte ZZK-RD/1 bzw. ZZK-RD/2 werden neu gesetzt.

Tabelle 15 Statuswort bei RESET

Bit	Signal	Wert	Zustand
0	Sx-LESEVERSUCH	1	es gab keinen Leseversuch
1	Sx-TEMPTY	0	Sende-RAM ist leer
2	Sx-RD	1	SAE liest nicht
3	Sx-SCHREIBVERSUCH	1	es gab keinen Schreibversuch
4	Sx-RFULL	1	Empfangs-RAM nicht voll
5	Sx-WR	1	SAE schreibt nicht
6	Sx-SEBER	1	Schnittstelle nicht sendebereit
7	Sx-EMBER	1	Schnittstelle nicht empfangsbereit

### 3.1.3.4 Adreßdecoder

Der Adreßdecoder ist mit den Bausteinen LS 138 und LS 139 realisiert. Er ist mit DKO-A8...15 und Steuerleitungen vom DKo-Steuerbus beschaltet. Die Freigabe der Output-Ports, des Datentreibers und die Steuerung der Multiplexer wird decodiert.

### 3.1.3.5 I/O-Ports

Zur Steuerung der Schnittstelle ZZK dienen zwei Output-Ports (siehe Tabelle 9 und 10). Sie sind mit dem Decoder LS 138 realisiert und werden vom DKo-Adreßbus bzw. dem Adreßdecoder beschaltet. Die Ausgänge werden an die entsprechende Kontrolllogik geführt.

Die beiden Input-Ports (INPUT S1, INPUT S2, 2 x LS 373) geben Auskunft über die Betriebszustände und Betriebsweisen der Schnittstelle ZZK. Die Eingänge der Ports sind von der Kontrolllogik beschaltet. Die Ausgänge sind am Datenbus angeschlossen. Die Signale werden über den Treiber LS245 auf den DKo-Systembus gelegt.

Die detaillierte Beschreibung des I/O-Ports ist im Kapitel Kontrolllogik (Pkt. 3.1.3.3.) enthalten.

### 3.1.3.6 Speicher

Als Pufferspeicher dient ein CMOS-RAM (HM6116, 256 x 8 bit), das über die Adreßbereichszuordnung in DKO-Schreib-, und Lesebereich aufgeteilt ist. Ein Adreßraum von 2 Kbyte (E800H...FFFFH) wird decodiert. Die Pufferbereiche sind 21 bytes (15H) groß.

Tabelle 16 Adreßbereichsaufteilung Pufferspeicher

	RAM SAE1	RAM SAE2	Betriebsweise
Empfangspuffer	FC14H bis FC00H	F814H bis F800H	DKO-LESEN
Sendepuffer	FC95H bis FC81H	F895H bis F881H	DKO-SCHREIBEN

Mit dem Adreßbit A7 wird über die Steuerlogik die Umschaltung zwischen Schreib- und Lesebereich gesteuert. Speicher und Parallel-/Seriell-Wandler sind über den internen Datenbus direkt miteinander verbunden. Der Speicherzugriff vom DKo-Systembus wird über den Treiber LS 245 vorgenommen. Durch diese Trennung ist es möglich, daß ein I/O-Zugriff während einer Datenübertragung von oder zur SAE ablaufen kann.

Für einen Speicherzugriff vom DKo-Prozessor geschieht die Speicheradressierung über den DKo-Adreßbus. Bei einem Zugriff von der SAE wird vom Adreßzähler, der auf eine Blocklänge von 21 byte eingestellt ist, adressiert. Die Steuerung der Adreßtreiber wird von der Steuerlogik (Sx-G, Sx-RD1) vorgenommen.

### 3.1.3.7 ZZK-Schleifentest

Der Prüfung liegt die Überlegung zugrunde, daß eine Hälfte der Schnittstelle ZZK im SAE-Schreibmodus die Daten liest, die die andere gleichzeitig im SAE-Lesemodus schreibt. Die Steuer- und Datenleitungen der beiden Hälften sind an der Ausgangsseite zur SAE (über Multiplexer) verbunden.

Diese Schleife testet folgende Funktionsgruppen der Schnittstelle ZZK, die am Datentransfer beteiligt sind (außer den Treiberbausteinen zur SAE und den Prüfmultiplexern):

- Kontrolllogik
- Steuerlogik
- interne Verbindungen
- Puffer-RAM
- I/O-Ports
- Seriell-/Parallel-Wandler, Schleifenbausteine (MUPEX, LATCH).

Das Überprüfen der Schnittstelle ZZK wird über das Port FCH (LS 374) gesteuert. In dieses Port wird durch die Software ein 4-bit-Datenwort eingeschrieben, das die SAE-Steuersignale simuliert (SELECT, WRITE, READ, CLOCK). Die Signale sind nach außen nicht aktiv.

Die Umschaltung auf die interne Schleife wird durch die Signale DKO-INTF-EN-L von der FDS-Sicherheitstechnik und SELECT von der Software-Steuerung realisiert.

Belegung des Ports FCH:

Bit 0	-	SELECT
Bit 1	-	WRITE
Bit 2	-	READ
Bit 3	-	CLOCK
Bit 4	}	beliebig
.		
.		
Bit 7		

Das Port FCH wird bei DKO-WR-L freigegeben.

Tabelle 17 Test-Port FCH

Bit	Signalname	Wert	Funktion
0	SELECT	0	Das Signal SELECT sperrt die Schnittstelle ZZK zur SAE. Kurzschließen der Leitungen der beiden Schnittstellen-ZZK-Hälften: Datenleitung zur SAE mit Datenleitung von SAE, Datenleitung von SAE mit Datenleitung zur SAE, READ-Signalleitungen mit WRITE-Signalleitung, WRITE-Signalleitung mit READ-Signalleitung, CLOCK-Signalleitung mit CLOCK-Signalleitung.
		1	Die Schnittstelle ZZK zur SAE wird freigegeben und der Kurzschluß wird aufgehoben.
1	READ	0	Die Schnittstelle ZZK simuliert über Software das Signal SAE-READ in Hälfte 1 und das Signal SAE-WRITE in Hälfte 2. Die Steuerlogik der Hälfte 1 stellt die Betriebsweise SAE-LESEN ein. Die Steuerlogik der Hälfte 2 stellt die Betriebsweise SAE-SCHREIBEN ein.
2	WRITE	0	Die Schnittstelle ZZK simuliert über Software das Signal SAE-WRITE in Hälfte 1 und das Signal SAE-READ in Hälfte 2. Die Steuerlogik der Hälfte 1 stellt die Betriebsweise SAE-SCHREIBEN ein. Die Steuerlogik der Hälfte 2 stellt die Betriebsweise SAE-LESEN ein.
3	CLOCK	1, 0	Clock-Simulation Mit einem OUT-Befehl wird ein halber SAE-Clock, mit dem das transferierende Datenbit entweder gesendet oder empfangen wird, simuliert. Ein 21-byte-Datenblock erfordert $21 \times 8 \times 2 = 336$ Clock-Simulationen.

### 3.1.4 Schnittstelle FKS S42024-H186-C1

Die Schnittstelle zur Funkperipherie und zum Prüf-/Bedienrechner befindet sich auf zwei identischen Baugruppen.

Durch die Decodierung mit dem Signal FKS-Decodier 1/2 am Rückwandstecker wird eine der beiden Einheiten ausgewählt.

Die Schnittstelle FKS besteht aus folgenden Funktionsgruppen (siehe Bild 18)

- Empfänger
- Multiplexer
- Latch
- Speicher
- Sender

An die sieben Empfängergruppen (14xSN75173) einer Schnittstelle FKS sind über symmetrische Leitungen 56 Kanäle angeschlossen. Vom Kanalmultiplexer ist jeder einzeln anwählbar. Die von einen ausgewählten Kanal empfangenen Daten werden über die Leitung DKO-EMP-AUS-L an den USART 2661 des DKo-Zeitgebers übertragen.

Als Sender arbeiten die beiden Treiber ALS 1631, die die vom USART über DKO-SEN-EIN-L empfangenen Daten mit 256 kBaud zur Funkperipherie übertragen.

Für den ordnungsgemäßen Betrieb der FDS muß die Schnittstelle FKS1 installiert sein. Sie bedient die Funkperipherie-Einsätze FKM (OgK), PHE, PFG, FME und FKM (SpK). Die Schnittstelle FKS2 dient zum Anschluß des PBR und zur Erweiterung der Sprechkanäle von 39 auf 95.

Tabelle 18 Kanalverteilung

Kanal	Nummer		
OgK		00	
Sp	01	-	95
PHE1	112		
PHE2	113		
PFG	114		
PBR	115		
FME1-6	116	-	121
Reserve	122	-	127

Der Nachrichtenaustausch zwischen Schnittstelle FKS und DKo-Prozessor ist in Bild 19 dargestellt.

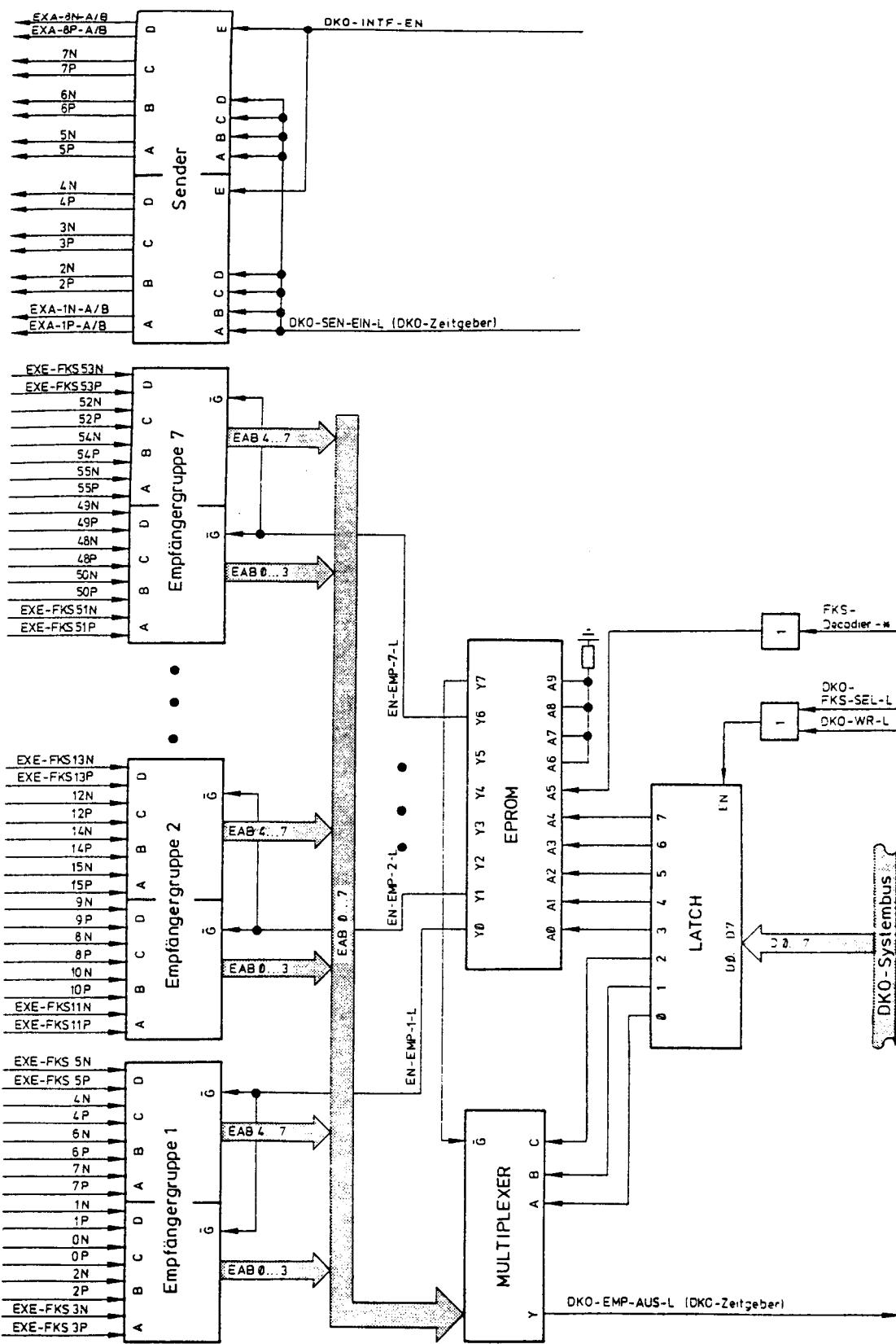


Bild 18 Übersichtsschaltplan Schnittstelle FKS

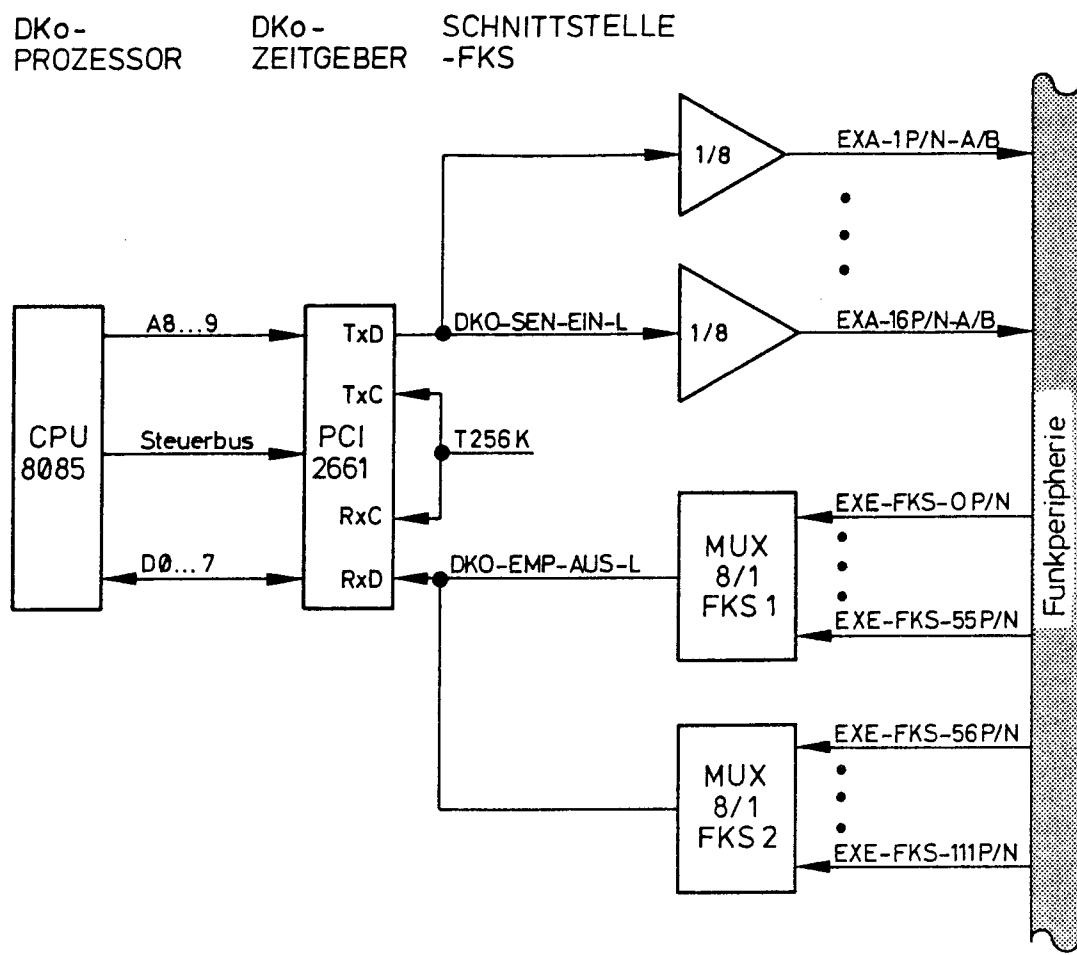


Bild 19 Nachrichtenaustausch FKS-DKo-Prozessor

### 3.1.4.1 Empfänger

Als symmetrische Empfänger sind 14 Bausteine SN75173 eingesetzt (siehe Bild 20), die in sieben Empfängergruppen eingeteilt sind. An jeder Empfängergruppe sind acht Kanäle angeschlossen.

Mit Hilfe der Signale EN-EMP-1-L ... 7-L wird jeweils eine Empfängergruppe vom Multiplexer geschaltet.

#### 14 Empfangsbausteine

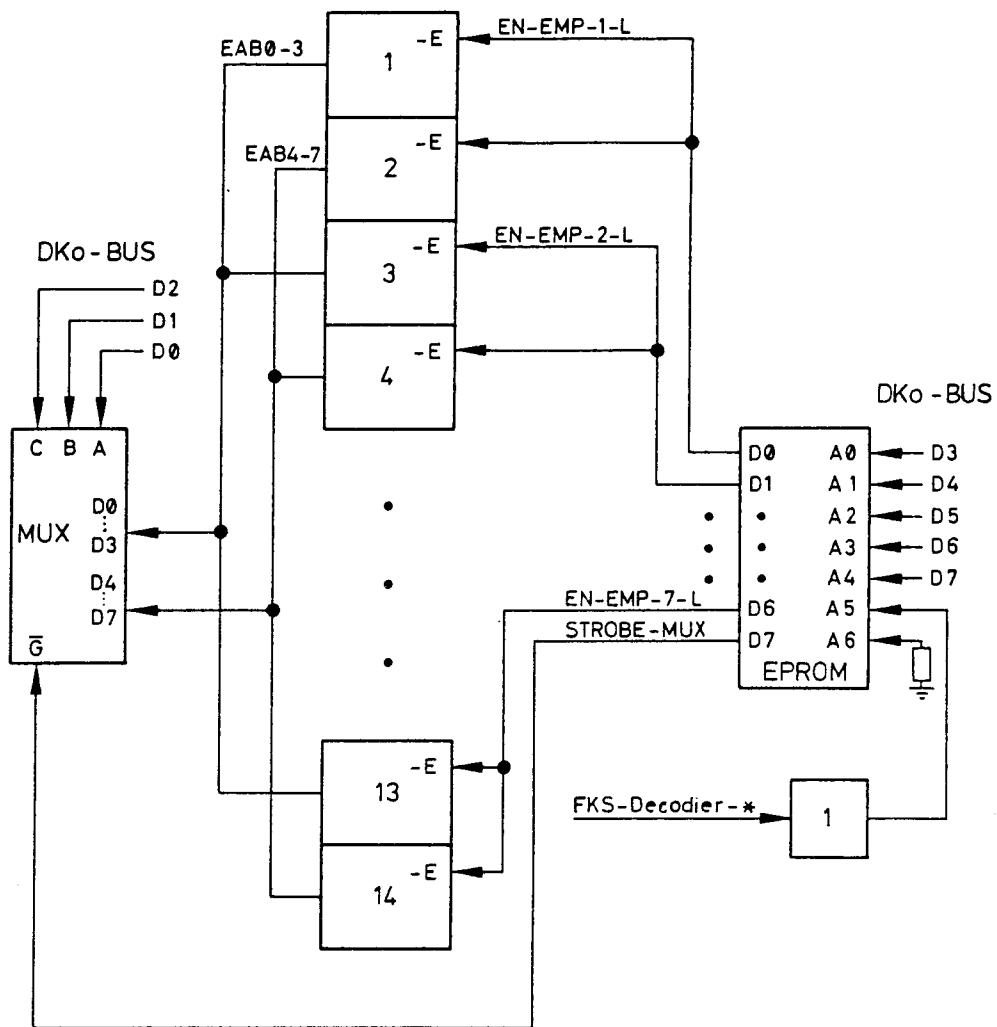
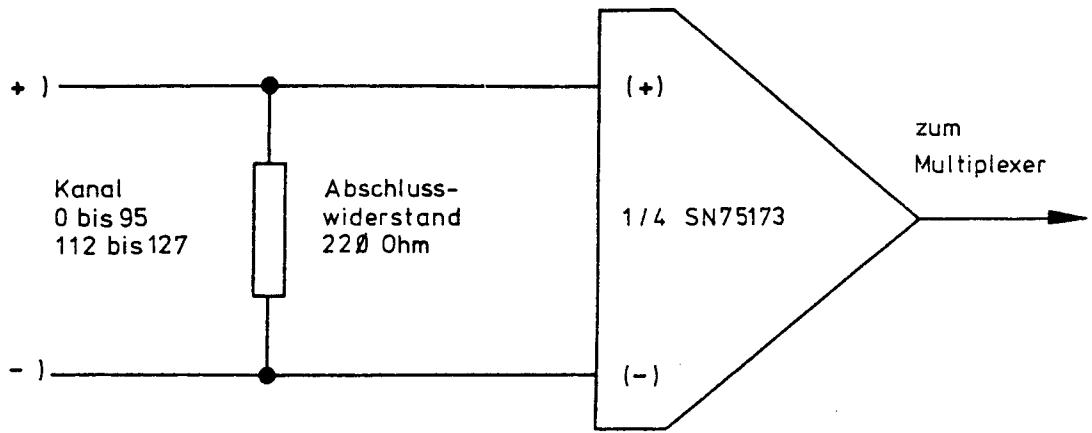


Bild 20 Empfänger Funkkanalsteuerung



## Bild 21 Prinzipschaltplan Empfänger

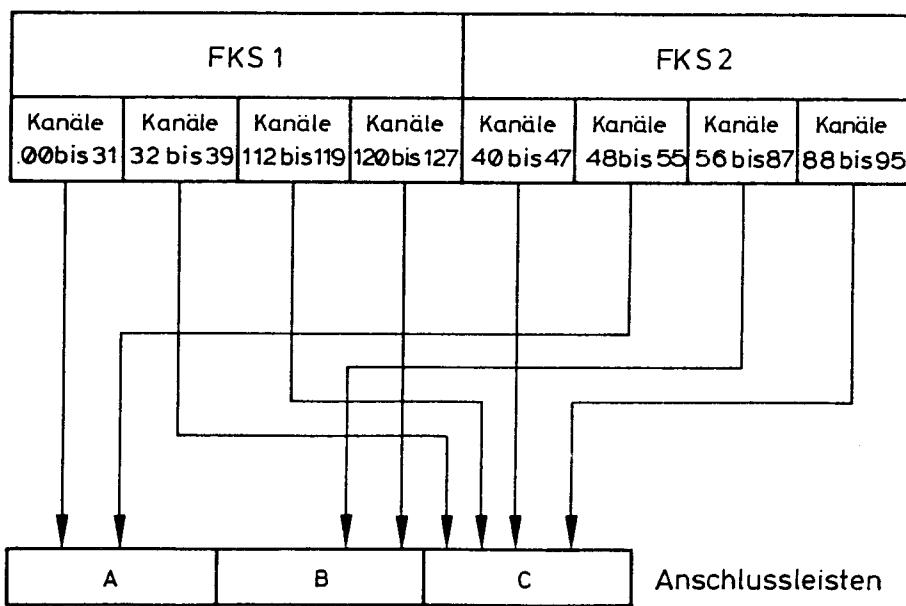


Bild 22 Zuordnung Anschlußleiste – Kanal

### **3.1.4.2 Multiplexer**

An den Multiplexer (LS251) sind die Ausgänge der Empfängerbausteine geführt. Die Ausgänge EAB0...7 der Empfänger bilden die Eingänge D0...7 des Multiplexers. Der Multiplexer wird vom STROBE-MUX-Signal des EPROM's aktiviert.

Die Datenbits D0...7 des DKo-Systembusses liegen, vom Latch LS373 kommend, an den Multiplexereingängen A, B, C und wählen einen der acht Eingänge zum Ausgang durch. Über die Leitung DKo-EMP-AUS-L gelangen die Daten zum PCI 2661 des DKo-Zeitgebers.

### **3.1.4.3 Latch**

Der Latch LS373 (Adresse 10H) empfängt die Daten D0...7 vom DKo-Systembus und führt die Bits D0...2 zum Multiplexer und D3...7 zum EPROM.

Die Eintragung der Daten in das Latch wird mit DKO-FKS-SEL-L (vom DKo-Zeitgeber) und DKO-WR-L (DKo-Steuerbus) vorgenommen. Die Daten bilden die Adresse für den Kanal, dessen Nachrichten vom Empfänger über den Multiplexer zur seriellen Schnittstelle im DKo-Zeitgeber übertragen werden.

### **3.1.4.4 Speicher**

Der EPROM 2716 bildet die Decodiereinheit für die Anwahl jeweils einer der 56 Kanäle von der Funkperipherie.

Die Daten D3...7 des Latches bilden die Adressen A0...4 des EPROM's. Eingang A5 wird durch die Rückwanddecodierung (FKS-Decodierer) gesetzt und die restlichen Adressen liegen über Pull-Down-Widerstände auf Masse.

Das EPROM dient als Bausteindecoder. Die Datenausgänge D0...6 werden als Chip-Select der einzelnen Empfängergruppen benutzt. Eine Empfängergruppe besteht aus zwei Empfängerbausteinen mit je vier Empfängern im durchgehenden Adressbereich 0...7, 8...13, usw.

Das Chip-Select wird durch die Datenleitungen D3...7 des DKo-Datenbusses und durch das Bitmuster im EPROM ausgewählt (siehe Tabelle 19).

Soll eine Empfängergruppe ausgewählt werden, muß auf dem adressierten Speicherplatz des EPROMs das entsprechende Bit LOW sein. Aus diesem LOW-Bit ergibt sich über die Datenausgänge Y0...7 des EPROMS das jeweilige CS-Signal (EN-EMP-1-L...7-L). Auf jedem Speicherplatz muß das für die Bildung des CS-Signals notwendige Bit LOW gesetzt sein. Das Bit D7 aktiviert mit LOW den Multiplexer.

Mit diesem Baustein wird einer der acht ausgewählten Empfänger zum EPCI 2661 durchgeschaltet.

Statt des EPROM's 2716 kann auch der Baustein 2732 (4Kx8) benutzt werden. Aufgrund der Beschaltung des EPROM-Einbauplatzes muß dann der benutzte Speicherbereich in den oberen 2K liegen.

Am EPROM der anderen FDS muß Eingang A6 auf HIGH gelegt werden.

Tabelle 19 Adreßbereiche EPROM 2716

	A6	A5	Adreßbereich	Kanal
aktive FDS	FKS1	L	00H	00... 39
		L	1FH	112...127
	FKS2	L	20H	40... 95
		H	3FH	
passive FDS	FKS1	H	40H	00... 55
		L	5FH	
	FKS2	H	60H	56... 95
		H	7FH	122...127

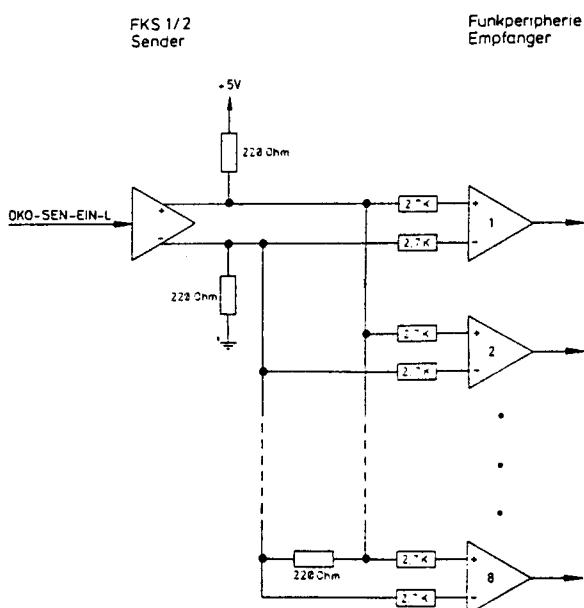


Bild 23 Schnittstelle Sender FKS-Empfänger Funkperipherie

### 3.1.4.5 Sender

Auf der Schnittstelle FKS1/2 befinden sich je zwei Sendebausteine. In jedem SN74ALS1631N sind vier Sender, insgesamt also 16 Sender; sie sind auf der Eingangsseite zusammengeschaltet.

An jedem Senderausgang sind maximal acht Empfänger SN75173 angeschlossen. Für diese acht Empfänger gibt es nur einen Abschlußwiderstand 220 Ohm jedoch hat jeder zwei Vorwiderstände zu  $2,7\text{ k}\Omega$  (siehe Bild 23). Hier haben diese Vorwiderstände eine Schutzfunktion für den Sender und die anderen Empfänger, falls bei einem Empfänger die Eingänge kurzgeschlossen werden, fallen die restlichen Abnehmer nicht aus.

Die Sender sind durch den gemeinsamen Enable-Eingang DKO-INTF-EN-L frei-zugeben oder lassen sich sperren.

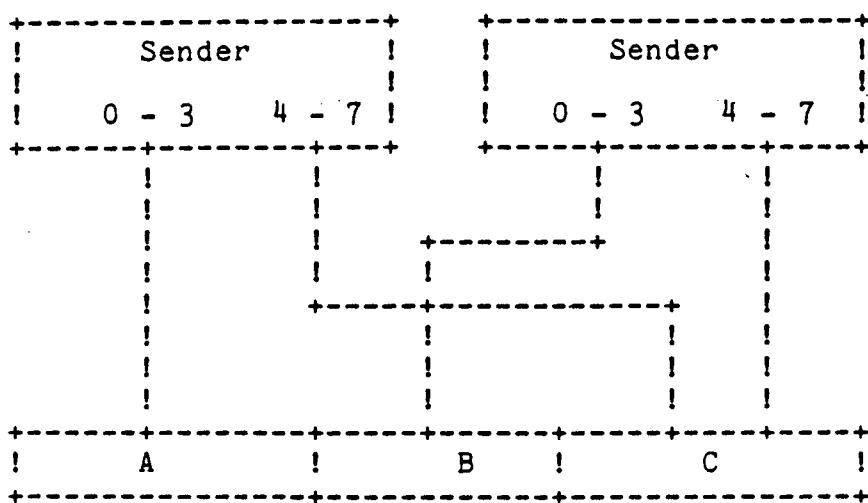


Bild 24 Zuordnung Anschlußleiste – Sender

### **3.2 Dateien- und Kanalverwaltung DKV**

Die DKV ist der zentrale Rechner der Funkdatensteuerung. Sie steuert den DKo-Bus bzw. den Bus zur Nachbar-FDS während des DMA-Transfers und den internen DKV-Bus.

Die DKV verarbeitet die Meldungen der angeschlossenen Geräte und gibt Meldungen zurück. Sie bedient auch die Hardware der Sicherheitstechnik.

Die DKV besteht aus folgenden Baugruppen:

- DKV-Prozessor
- DKV-Speicher 1
- DKV-Speicher 2
- Aktivdatei

Bild 25 zeigt die Einordnung der Baugruppen in der Basisstation.

In der FDS wird eine direkte I/O-Adressierung verwendet. Es stehen 256 I/O-Adressen zur Verfügung. Diese Adressen werden durch acht Adreßleitungen unterschieden. Bei I/O-Zugriff ist das Signal MEN-L inaktiv und die acht Adreßbits erscheinen sowohl auf dem niederwertigen (A0...7) als auch auf den höherwertigen (A8...15) Adreßbus.

Die 256 Adressen sind in 16 Adreßblöcke zu je 16 Adressen unterteilt. Jeder Adreßblock ist einer Einheit (Baugruppe oder Baustein) zugeordnet. Innerhalb dieses Adreßblocks können die Adressen frei vergeben werden und müssen nicht voll decodiert werden.

Die Adreßblöcke werden durch die Adreßbits A4 bis A7 oder A12 bis A15 unterschieden. Die Decodierung geschieht dezentral auf den Baugruppen.

Tabelle 20 I/O-Adressierung

Adresseblock	Adressen	Einheit
0	00H...0FH	DMA-Steuerung
1	10H...1FH	PIO
2	20H...2FH	Interrupt-Maske
3	30H...3FH	ROM-Bank-Switch
4	40H...4FH	Ports Sicherheitstechnik
5	50H...5FH	Unterbrechungseinheit
6	60H...6FH	DKV-Zeitgeber 1
7	70H...7FH	DKV-Zeitgeber 2
8	80H...8FH	reserviert für Zusatzeinrichtung
9...12	90H...CFH	frei
13	D0H...DFH	FDS-Uhr
14	E0H...EFH	FDS-Uhr
15	F0H...FFH	Aktivdatei, RAM-Bank-Switch

### 3.2.1 DKV-Prozessor S42024-H180-D1

Das Kernstück der DKV ist die Baugruppe DKV-Prozessor, die die Realisierung der an die DKV gestellten Aufgaben (Pkt. 1.2) steuert. Der DKV-Prozessor enthält folgende Funktionsblöcke:

- CPU
- DMA-Steuerung
- Interrupt-Steuerung
- Zeitgeber
- I/O-Baustein PIO
- Steuerlogik.

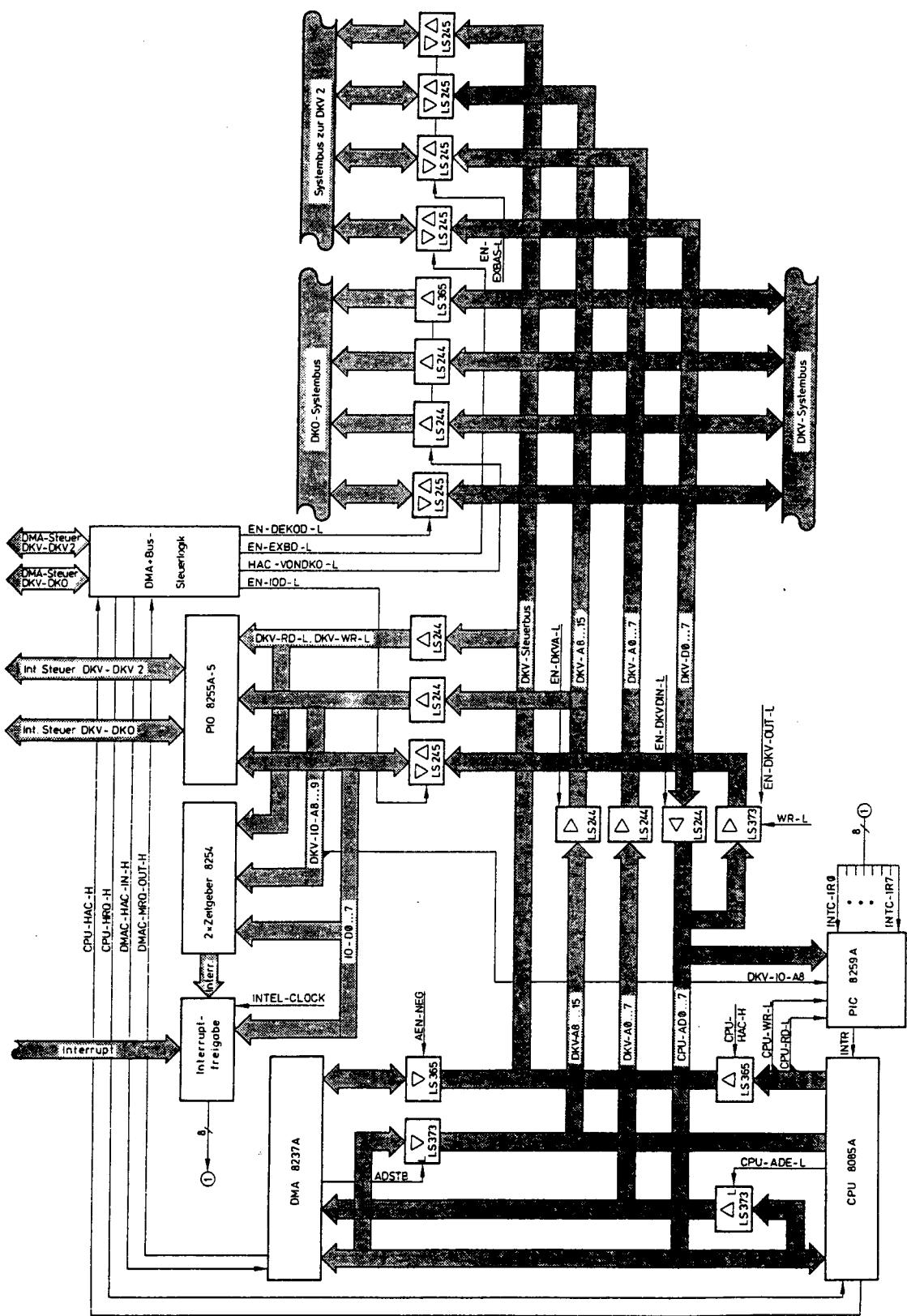
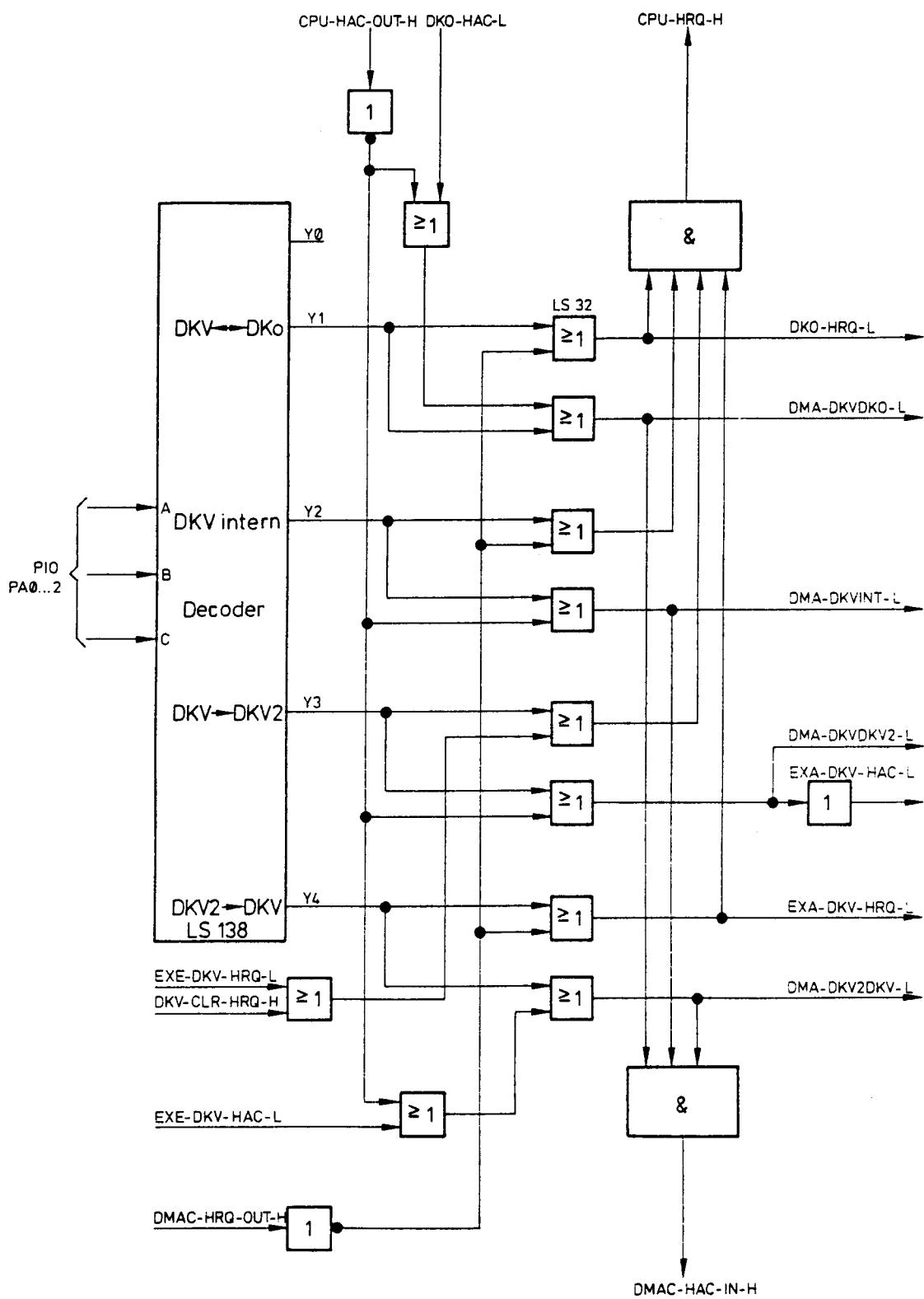


Bild 25 Übersichtsschaltplan DKV-Prozessor



### **3.2.1.1 CPU mit Taktgenerator**

Als CPU des DVK-Prozessors wird ein Mikroprozessor 8085A verwendet. Die CPU steuert die Daten-, Adreß- und Steuerleitungen des internen (CPU-) Busses. Beim DMA-Betrieb (CPU im HOLD-Zustand) werden diese Leitungen hochohmig geschaltet.

Über den CPU-Bus ist die CPU mit dem DMA-Steuerbaustein (DMAC) und der Interrupt-Steuerung verbunden.

Die CPU wird von einem 6,144-MHz-Quarzgenerator über die Eingänge X1 und X2 mit einem Takt versorgt.

Das Interrupt-Signal DVK-FINT-L ist auf den Interrupt-Eingang RST 7,5 der CPU geführt.

Die Interrupt-Eingänge RST 6,5 und RST 5,5 werden nicht verwendet.

Der nicht maskierbare Interrupt-Eingang TRAP der CPU ist für Zusatzeinrichtungen reserviert und auf den Diagnosestecker herausgeführt (DVK-TRAP-L).

### **3.2.1.2 DMA-Steuerung**

Der Datenaustausch zwischen den einzelnen Baugruppen wird mit Hilfe der DMA (direkter Speicherzugriff), durch den programmierbaren DMA-Steuerbaustein 8237A (DMAC) gesteuert.

Bei einer DMA-Übertragung ist nur ein Speicher → Speicher-Transfer (und nicht innerhalb eines Speichers oder I/O → Speicher bzw. Speicher → I/O) möglich.

Für den Transfer sind die Kanäle 0 und 1 ausgewählt, wobei der Kanal 0 den Quell-RAM-Adressbereich und der Kanal 1 den Ziel-RAM-Adressbereich enthält. Der Transfer wird durch Setzen einer Software-DMA-Anforderung gestartet.

Die DMA-Steuerung gibt die erste Quell-Adresse (Kanal 0) auf den Adressbus, liest die Daten aus dem RAM aus und speichert sie in seinem Zwischenregister (Temporary-Register). Danach wird die Ziel-Adresse (Kanal 1) auf den Adressbus gelegt und die Daten aus dem Zwischenregister in den Ziel-RAM-Bereich übertragen.

Die Adressregister werden entsprechend der Programmierung geändert, ebenso die Wort-Zähl-Register.

Das Transfer ist beendet, wenn das Wort-Zähl-Register des Kanals 1 den Wert 0 erreicht hat.

Die Registeradressen werden wie folgt vergeben:

Tabelle 21 Registeradressen der DMA-Steuerung

Adresse Bit A0...A3	Bedeutung
00H, 01H	Kanal 0
02H, 03H	Kanal 1
04H, 05H	Kanal 2
06H, 07H	Kanal 3
08H	Command/Status
09H	Request
0AH	Single-Mask
0BH	Mode
0CH	Pointer
0DH	Temporary
0EH	Clear Mask
0FH	Write Mask

Der DMA-Steuerbaustein 8237A wird für den Speicher → Speicher-Transfer wie folgt programmiert:

Tabelle 22 Programmieren der DMAC

Adresse Bit A0...A3	Bedeutung	Daten DB0...7
0BH	Kommandoregister	21H
0BH	Betriebsartenregister Kanal 0	88H
0BH	Betriebsartenregister Kanal 1	85H
0FH	Maskenregister	0FH
00H	Quellblock Anfangsadresse	LOW-Byte
00H	Quellblock Anfangsadresse	HIGH-Byte
01H	Blocklänge	LOW-Byte
01H	Blocklänge	HIGH-Byte
02H	Zielblock Anfangsadresse	LOW-Byte
02H	Zielblock Anfangsadresse	HIGH-Byte
03H	Blocklänge	LOW-Byte
03H	Blocklänge	HIGH-Byte
09H	Anforderungsregister (Start)	04H

Die in der DMAC erzeugten Steuerbussignale sind:

- DIR Datenrichtungssignal, es wird durch ein T-Flipflop erzeugt, das bei DKV-HAC-L = 1 auf 0 gesetzt wird.
- ADE-L Freigabesignal der Datenbustreiber, erzeugt auf dem ADSTB-Ausgang durch die DMAC.
- MEN-L Speicherfreigabesignal, aktiv während des gesamten DMA-Transfers (AEN = 1)
- RD-L Lesesignal, gebildet in der DMAC als MEMR
- WR-L Schreibsignal, gebildet in der DMAC als MEMW

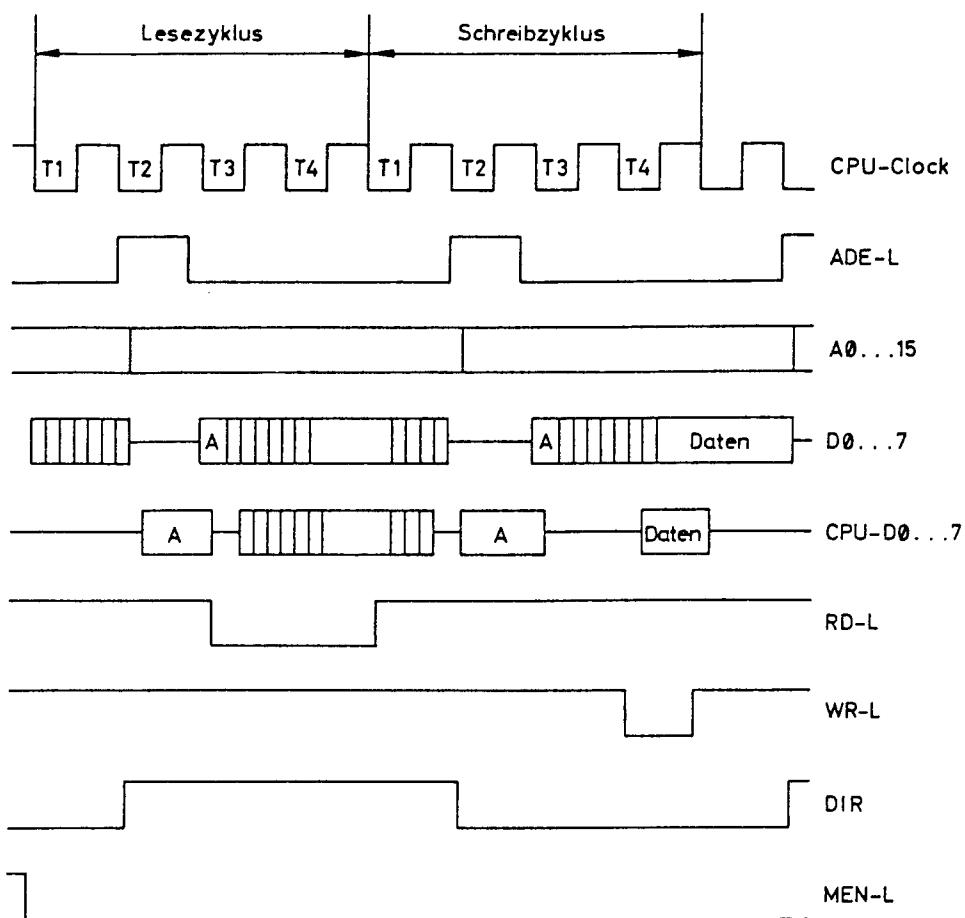
Das Zeitdiagramm (Bild 27) gibt den zeitlichen Ablauf eines DMA-Transfers wieder.

Beim Lesen ergibt sich auf dem Datenbus folgender Ablauf:

- ADE-L = 1 alle Datenbustreiber sind gesperrt, Datenrichtung schaltet auf Lesen; höherwertige Adressen auf CPU-Bus.
- ADE-L = 0 externe Datenbustreiber freigegeben. CPU-Bustreiber noch hochohmig.
- RD-L = 0 CPU-Bustreiber wird freigegeben, Daten werden aus RAM auf den Bus gelegt.
- RD-L = 1 Datenübernahme
- ADE-L = 1 alle Datenbustreiber werden gesperrt, Datenrichtung auf Schreiben geschaltet.

Beim Schreiben ergibt sich auf dem Datenbus folgender Ablauf:

- ADE-L = 1 alle Datenbustreiber sind gesperrt, Datenrichtung auf Schreiben, höherwertige Adresse auf CPU-Bus.
- ADE-L = 0 alle angesprochenen Datenbustreiber werden freigegeben.
- WR-L = 0 Latch zum externen Bus wird freigegeben.
- WR-L = 1 Einschreiben beendet, Daten werden im Latch gespeichert.
- ADE-L = 1 Alle Datenbustreiber werden gesperrt, Datenrichtung wird auf Lesen umgeschaltet.



A              **Adresse**

—|—      Übergang zum inaktiven Buszustand

—|—      Bussignalwechsel

|||||||      Bus aktiv, Signal undefiniert

Bild 27 Zeitdiagramm für den DMA-Betrieb

Die DMA-Steuerung der DKV führt folgende Datentransfers durch:

- DMA-Transfer zwischen DKV und DKo.

Die DMAC wird für diesen Transfer programmiert. Durch Setzen einer Software-DMA wird der DMA-Transfer gestartet.

Die DMA-Steuerlogik legt, bedingt durch die eingestellte DMA-Art, die HOLD-Anforderung des DMA-Steuerbausteins an die DKV- und DKO-CPU.

Sind beide Prozessoren im HOLD-Zustand, bekommt die DMAC von der DMA-Steuerlogik das HOLDA Signal.

Danach führt die DMAC den Datentransfer DKV < -> DKO durch. Die Richtung wird dabei nur durch die Adressbereiche und die Steuersignale festgelegt. Durch das Signal HAC der jeweiligen CPU wird in der DKV und im DKO der PROM- Bereich gesperrt.

Am Ende des Transfers nimmt die DMAC mit dem Signal HRQ die HOLD-Anforderung weg.

- DKV-interner DMA im RAM.

Die DMAC wird über eine entsprechende Ausgabe an P0...2 des PIO für diesen Transfer programmiert. Durch Setzen einer Software-DMA-Anforderung wird der DMA-Transfer gestartet.

Die DMA-Steuerlogik hält den Betrieb der DKV-CPU durch das Legen der HOLD- Anforderung an.

Nach dem Empfang der HOLD-Bestätigung (HOLDA) von der CPU führt die DMAC den Datentransfer durch.

Die DMAC schaltet das Signal HOLDA aus, wenn der Transfer abgeschlossen ist.

Die DKV-CPU kehrt in ihren normalen Betriebszustand zurück.

- DMA-Transfer zwischen den beiden DKV.

Die DMA-durchführende DKV wird nur beschrieben, die DMA-nichtdurchführende DKV wird nur gelesen. Für die Übertragung zwischen den beiden DKV sind vier Übertragungsarten möglich:

- die DMA-Übertragung von der passiven DKV2 in die aktive DKV1, wobei die DKV2 DMA-durchführend ist
- die DMA-Übertragung von der DKV2 in die DKV1, wobei die DKV1 DMA-durchführend ist
- die DMA-Übertragung von der DKV1 in die DKV2, wobei die DKV2 DMA-durchführend ist
- die DMA-Übertragung von der DKV1 in die DKV2, wobei die DKV1 DMA-nichtdurchführend ist.

Die Auswahl einer der vier Übertragungsarten geschieht durch die Ausgänge PC4...7 des PIO.

Der Ablauf der vier DMA-Transfers verläuft ähnlich. Im folgenden wird als Beispiel ein DMA-Transfer von der aktiven DVK1 in die passive DVK2 dargestellt. Die DVK2 steuert die Übertragung.

- Die DVK1 stellt die DMA-Art (DVK1 → DVK2) ein.
- Die DVK1 liefert das Signal EXA-INT-AN-DVK2 an die DVK2.
- Die DVK2 verzweigt in die Interrupt-Service-Routine und liest über (PCO...3) des PIO den Interrupt-Typ ein.
- Die DVK2 stellt aufgrund des gelesenen Typs die DMA-Art (DVK2 → DVK1) ein.
- Die DVK2 gibt das Signal EXA-QUIDKV2 aus. Damit stellt die DVK1 fest, daß ein DMA stattfinden wird und wartet auf DMA-Ende (EXA-QUIDKV2 rückgesetzt).
- Die DVK2 startet mit einer Software-DMA-Anforderung die DMA-Übertragung, und führt anschließend drei NOP-Zyklen aus um die Zeit zu überbrücken, die die DMA-Steuerlogik und die Prozessoren brauchen, um das Signal HOLDA an die DMAC zu liefern.
- Bedingt durch die eingestellte DMA-Art werden von der DMA-Steuerlogik die beiden DVK-CPU in den HOLD-Zustand gebracht.
- Die DMAC in der DVK1 erhält das Signal HOLDA von ihrer DMA-Steuerlogik. HOLDA setzt sich in diesem Fall aus den Signalen HAC-DVK2-L und HAC-DVK1-L zusammen.
- Der DMA-Transfer wird von der DMAC der DVK2 durchgeführt.
- Die DMAC nimmt nach Beenden des Transfers die DMA-Anforderung weg und die beiden CPU gehen in die Interrupt-Service-Routine zurück.
- Die DVK2 nimmt die Quittung EXA-QUIDKV2 weg. Dadurch erkennt die DVK1, daß der DMA-Transfer beendet ist.
- Die DVK1 nimmt das Signal EXA-INT-AN-DVK2 weg und stellt die DMA Art 0 ein.

- Die DKV2 liest in einer Schleife den PIO Port 84 ein, ob der Interrupt der DKV1 noch ansteht, stellt nach dessen Verschwinden die DMA-Art 0 ein und kehrt in den normalen Betrieb zurück.  
Eine DMA-Übertragung wird auf richtige Übertragungsdauer überwacht. Ein Fehler (Überschreiten der Zeit, die für die Übertragung vorgesehen ist), der durch die Überwachungseinheit der Sicherheitstechnik festgestellt wird, führt zum Abbruch der Übertragung, wobei zwei Fälle möglich sind:
  - Abbruch der übertragenden DKV.  
Stellt die Sicherheitstechnik durch ein zu langes Anstehen des Signals HOLD-Anforderung (DKV-HRQ-L) der eigenen DMAC fest, daß der DMA abgebrochen werden muß, veranlaßt sie einen RESET in der FDS.  
Nach dem RESET werden alle Bausteine neu initialisiert und die Übertragung durch das Rücksetzen der DMAC beendet
  - Abbruch in der nicht übertragenden DKV.  
Stellt die Sicherheitstechnik durch ein zu langes Anstehen des von der übertragenden DKV kommenden Signals DKV2-HRQ-L fest, daß die DMA-Übertragung abgebrochen werden muß, gibt sie das Signal DKV-CLR-HLD-L an die DMA-Steuerlogik. Dieses Signal bewirkt das Sperren der Leitung EXE-DKV-HRQ-L. Damit ist die Übertragung in gleicher Weise abgeschlossen, wie bei einer normal verlaufenden Übertragung.  
Gleichzeitig sendet die Sicherheitstechnik einen Fehler-Interrupt an den DKV-Prozessor als Mitteilung, daß die übertragende DKV einen zu langen DMA-Zyklus durchgeführt hat.  
Die Sperre bleibt erhalten, solange die HOLD-Anforderung der DKV2 aktiv ist.

### **3.2.1.3 Interrupt-Steuerung PIC**

Die Interrupt-Steuerung in der DKV ist ein programmierbarer Baustein PIC vom Typ 8259A.

Die Register der Interrupt-Steuerung sind unter den Adressen 50H und 51H erreichbar.

Tabelle 23 Interrupt-Signale der PIC

Signal	Eingang	Bedeutung
INT-T37.5MS-L	IR0	Funkblock-Interrupt (37,5 ms)
EXE-INTDKV2-H	IR1	Interrupt von DKV2
DKV-ZG1-L	IR2	Zeitgeber-Interrupt 1
DKV-ZG2-L	IR3	Zeitgeber-Interrupt 2
DKV-ZG3-L	IR4	Zeitgeber-Interrupt 3
DKV-ZG4-L	IR5	Zeitgeber-Interrupt 4
KKV-ZG5-L	IR6	Zeitgeber-Interrupt 5
DKV-UHRINT-L	IR7	Uhren-Interrupt

Die PIC wird auf den flankengetriggerten Betrieb eingestellt. Sie reagiert auf die Anstiegsflanke (Rückflanke) dieser Eingangssignale. INT 37,5 MS-L und DKV-ZG1...5-L. Die Signale EXE-INTDKV2-L und DKV-UHRINT-L sind negiert und werden mit der Vorderflanke wirksam.

Mit Hilfe einer Interrupt-Freigabelogik können die Interrupt-Signale einzeln maskiert werden.

### 3.2.1.4 Zeitgeber

Als Zeitgeber wurden in der DKV zwei Bausteine vom Typ 8254-5 mit je drei eigenen Zählern eingesetzt. Die Zähler sind als duale Zähler in Betriebsart 2 programmiert.

Die Zeitgeber sind unter folgenden Adressen erreichbar:

- Zeitgeber 1 60H ... 63H
- Zeitgeber 2 70H ... 73H.

Das Bild 28 stellt die Beschaltung der Zähler dar. Die Signalbezeichnung Gx-IRy>PP entspricht dem Ausgang des Zählers x, geführt an den Interrupt-Eingang y der DKV-Interrupt-Steuerung und zusätzlich als Prüfpunkt an die Stifteleiste.

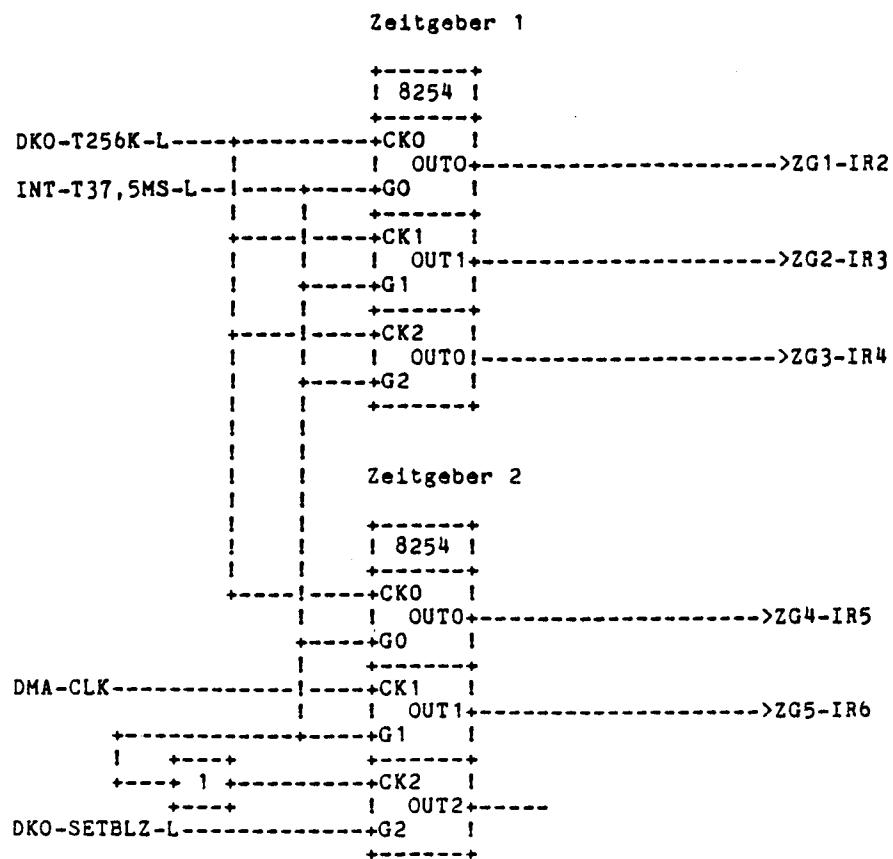


Bild 28 Beschaltung der Zeitgeber 1, 2

Die drei Zähler im Zeitgeber 1 und Zähler 0 an Zeitgeber 2 erzeugen ein Interrupt-Zeitraster mit dem 256-kHz-Takt als kleinste Schrittweite.

Der Zähler 1 im Zeitgeber 2 erzeugt ein Interrupt-Zeitraster mit dem CPU-Takt 3,0707 MHz als kleinste Schrittweite.

Der Zähler 2 im Zeitgeber 2 dient als Blockzähler und erzeugt keinen Interrupt.

Das Zähler-Register 2 im Zeitgeber 2 wird mit 64 geladen und durch das Signal SETBLZ-L freigegeben. Ist der Eingang G2 wieder auf 1, wird mit der nächsten steigenden Flanke am CLK-Eingang der Inhalt des Zähler-Registers in den Zähler übernommen und mit der fallenden Flanke wird der Zählvorgang gestartet. Um aus dem Zählerstand die aktuelle Funkblocknummer zu erhalten, muß der ausgelesene Wert um 1 decrementiert und anschließend invertiert werden.

Der Blockzähler ist erst gültig, wenn über die Sicherheitstechnik-Baugruppe das Eintreffen des ersten QSET-Signals eingelesen, sowie Betriebsart 2 und der Zähleranfangswert des Zeitgebers vor Eintreffen des Setzsignals eingestellt wurden.

Dieser Transfer wird durch die Ausgabe der DMA-Art (DMA-Art: DKV  $\leftrightarrow$  DKo) über die Ausgänge PA0...2 des PIO veranlaßt.

### 3.2.1.5 Parallel-I/O-Baustein PIO

Der Parallel-I/O-Baustein (PIO) vom Typ 8255A-5 enthält drei getrennte Ports, die als Port A, B und C bezeichnet sind. Die Ports werden einzeln adressiert:

- Port A Adresse 10H, PIO-Anschluß PA0...7
- Port B Adresse 11H, PIO-Anschluß PB0...7
- Port C Adresse 12H, PIO-Anschluß PC0...7

Die Ein- und Ausgänge des PIO sind HIGH-aktiv.

#### 3.2.1.5.1 Port A

Das Port A des PIO wird bei der DMA-Steuerung eingesetzt.

Tabelle 24 Signale des PIO, Port A

Bit	Signalname	Wert	Funktion
0-2			Ausgabe der DMA-Art an die Steuerlogik. Die Steuerlogik verteilt die vom DMAC erhaltenen HOLD-Anforderungen an die jeweils anzuhaltene CPU. Nach Erhalt aller notwendigen HOLD-Quittungssignale generiert die DMA-Steuerlogik in Abhängigkeit der eingestellten DMA-Art die Steuersignale für die Bustreiber.
		000	kein DMA-Betrieb, Typ 0
		001	DMA zwischen DKV und DKo, Typ A
		010	DKV interner DMA, Typ B
		011	DMA-Übertragung zur DKV2, Typ C
		100	DMA-Übertragung von DKV2, Typ D

Fortsetzung Tabelle 24

Bit	Signalname	Wert	Funktion
3	EXA-INTDKV2-H		Interrupt an Partner-DKV. Es wird ein Interrupt an die Partner-DKV (Interrupt Eingang 1 des PIC) abgesetzt und die Partner CPU über Port 11, Bit 4 über das Anlegen oder das Ende des Interrupt-Signals und -Anzeige informiert.
		1	Interrupt an Partner-PIO, Port 11, Bit 4 setzen.
		0	Interrupt-Anzeige in Partner PIO, Port 11, Bit 4 löschen; Interrupt zurücknehmen.
4	EXA-QUIDKV2-H	1	Quittung des DMA-Wunsches der DKV2. In PIO der DKV2, Port B, Bit 3 wird die Quittung angezeigt.
		0	Quittung zurücknehmen.
5	INT-AN-DKO-H		Interrupt an DKo. Es wird ein Interrupt an den DKo abgesetzt und die DKo-CPU über Port 64, Bit 0 durch das Anlegen oder das Ende des Interrupts informiert.
		1	Interrupt absetzen und Interrupt-Anzeige in Port 64, Bit 0 setzen.
		0	Interrupt-Anzeige im Port 64, Bit 0 löschen.
6-7			frei

### 3.2.1.5.2 Port B

Über Port B werden die Signale zur DMA-Steuerung eingelesen.

Tabelle 25 Signale des PIO, Port B

Bit	Signalname	Funktion
0	DKO-BEREIT-H	Quittungssignal vom DKo über Output-Port 60H, Bit 0 an die DKV.
1, 2	INPUT 1, 2	Können durch die am Diagnosestecker angesteckte Hardware definiert werden. Bei freiem Diagnosestecker befinden sich die Anschlüsse 1 und 2 im Zustand 1.
3	EXE-QUIDKV2-H	Quittung einer DMA-Anforderung durch die Partner-DKV über deren Output-Port 10H, Bit 4.

## Fortsetzung Tabelle 25

Bit	Signalname	Funktion
4	EXE-INTDKV2-H	Interrupt-Anforderung der Partner-DKV über deren Output-Port 10, Bit 3.
5	DKO-DMUE-FR-H	Bestätigungssignal an die DKV vom DKo über Output-Port 60H, Bit 1, daß der DKo zur DMA-Übertragung freigegeben ist.
6, 7		frei

### 3.2.1.5.3 Port C

Port C des PIO dient zum Einlesen oder Ausgeben des Interrupt-Typs.

Über die Bits PC0...3 kann aus den in der DKV2 (Port 12H, Bit 4...7) gebildeten Signalen EXE-TYP0...3 der Interrupt-Typ ermittelt werden.

Die PC4...7 liefern die Information über den Interrupt-Typ (EXA-TYP0...3) für die DKV 2.

### 3.2.1.6 DMA- und Bussteuerlogik

Die DMA- und Bussteuerlogik enthält einen Multiplexer-Baustein LS 138 und einige einfache Logik-Bausteine (UND, OR und NOR).

Aus den Signalen PA0...2 (DMA-Art) des PIO werden mit Hilfe des Multiplexers die für jede DMA-Art benötigten Freigabe- und Steuersignale gebildet. Damit werden die jeweils zugehörigen Blöcke und Busse zum entsprechenden Zeitpunkt aktiviert, dies garantiert einen korrekten Ablauf der DMA-Übertragung.

### 3.2.2 DKV-Speicher 1 S42024-H181-C1

Die Baugruppe DKV-Speicher 1 (Bild 29) deckt zusammen mit der Baugruppe DKV-Speicher 2 den Bedarf des DKV-Prozessors an EPROM-Speicherplätzen und zusammen mit der Aktivdatei den RAM-Bedarf ab.

Durch ein entsprechendes Schalten des Signals DKV-HAC-L an den EPROM-Adressdecodern ist der Zugriff zum EPROM-Bereich während des DMA-Betriebes gesperrt.

### **3.2.2.1 8-Kbyte-EPROM**

Als EPROM-Grundbereich ist ein 8-Kbyte-Speicherbaustein MD2764 verwendet, der im Adreßbereich 0000H...1FFFH adressiert wird.

Das Chip-Select-Signal für diesen Bereich wird durch den Adreßdecoder LS 139 gebildet, wenn ein Speicherzugriff über das Signal DKV-MEN-L gefordert wird und gleichzeitig die Adreßbits A13...15 gleich Null sind.

### **3.2.2.2 Speicherbank 0/1**

Die DKV enthält zusätzlich 12 EPROM-Bereiche zu je 32 Kbyte, die als Speicherbänke bezeichnet werden. Deren Adressen liegen im Bereich 8000H...FFFFH. Zwei von den Speicherbänken (Speicherbank 0 und 1) befinden sich auf der Baugruppe Speicher 1, die restlichen auf Speicher 2.

Im Funktionsblock Adreßdecoder für BS-Register wird mit der Adresse 30H die Freigabe zum Einschreiben in das BS-Register erzeugt. Damit wird die gewünschte Speicherbank Nr. ins BS-Register übernommen.

Eine Speicherbank besteht aus zwei 16-Kbyte-EPROM-Bausteinen vom Typ 27128.

Die eingestellte Speicherbanknummer ist nur im Speicher 1 rücklesbar.

Die einzelnen Speicherbänke werden im Bank-Switch-Decoder mittels der vom BS-Register zur Verfügung gestellten Speicherbank-Nr. ausgewählt.

Im Adreßdecoder wird durch das Adreßbit A14 einer der Speicherbausteine der Speicherbank ausgewählt.

Sowohl die Speicherbank-, als auch die Bausteinwahl wird in den Adreßdecodern mit Hilfe der Multiplexer LS139 und LS365 realisiert, die entsprechend dem Adreßbit A14 und der Leitung SP1-BSA0 ein Chip-Select-Signal auf einer der vier Leitungen (SP1-BS0-CS1...SP1-BS1-CS2) setzen.

### **3.2.2.3 RAM-Bereich**

Die Baugruppe Speicher 1 enthält einen 20-Kbyte-RAM, der wegen der Kapazitätslast der Treiber in zwei 10-Kbyte- Bereiche (RAM 1 und RAM 2) geteilt wurde. Jeder der beiden Bereiche ist mit fünf 2-Kbyte-Speicherbausteinen HM 6116 aufgebaut. RAM 1 bzw. 2 sind unter den Adressen 3000H...57FFH bzw. 5800H...7FFFH erreichbar.

Der vorgeschaltete Adreßdecoder bildet aus den Adreßbits A11...A15 die erforderlichen Chip-Select-Signale für die Speicherbausteine der RAM 1 und RAM 2.

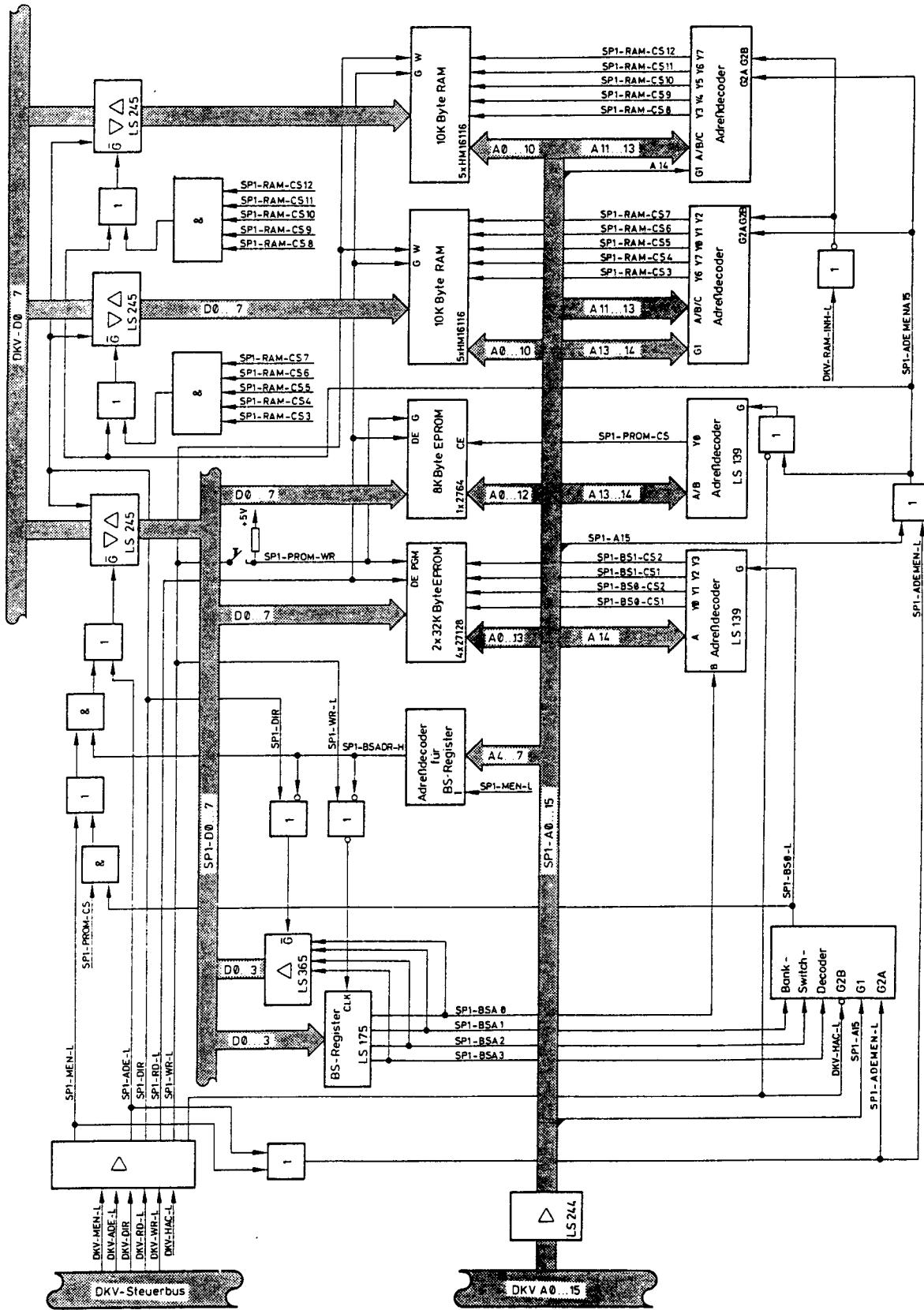


Bild 29 Übersichtsschaltplan des DKV-Speichers 1

### **3.2.3 DVK-Speicher 2 S42024-H182-C1**

#### **3.2.3.1 Speicherbänke**

Auf der Baugruppe DVK-Speicher 2 (Bild 30) befinden sich 10 der insgesamt 12 in der DVK vorhandenen Speicherbänke, BS2...B. Die Speicherbänke werden im Adreßbereich 8000H...FFFFH adressiert.

Jede Speicherbank hat eine Kapazität von 32Kx8 und ist mit zwei EPROM-Bausteinen vom Typ 27128 aufgebaut.

#### **3.2.3.2 Bank-Switch-Decoder**

Die Speicherbankumschaltung wird im Bank-Switch-Decoder durchgeführt. Durch Anlegen der Adresse 30H im Adreßdecoder für BS-Register werden die Datenbits DVK-D0...3 in das Bank-Switch-Register übernommen. Die daraus abgeleiteten Signale SP2-BSA0...3 werden im Bank-Switch-Decoder zur Bildung des entsprechenden Chip-Select-Signals verwendet.

Der Bank-Switch-Decoder besteht aus einem Multiplexer-Baustein LS138, der mit den Signalen SP2-BSA1...3 eines der fünf Signale SP2-BS0/1...A/B aktiviert und damit ein Speicherbankpaar auswählt.

#### **3.2.3.3 Adreßdecoder**

Die Feinauswahl einer der beiden in Frage kommenden Speicherbänke wird mit dem vom Datenbit DVK-D0 abgeleiteten Signal SP2-BSA0 im Adreßdecoder, bestehend aus den Multiplexern LS139 und LS365, durchgeführt. Dabei wird die untere bzw. obere Adreßbereichshälfte und damit eine gerade bzw. ungerade Speicherbank definiert.

Der erste Eingang des Adreßdecoders ist mit dem Adreßbit A14 beschaltet, der zum Aktivieren von einem der beiden in einer Speicherbank enthaltenen EPROM-Bausteine führt.

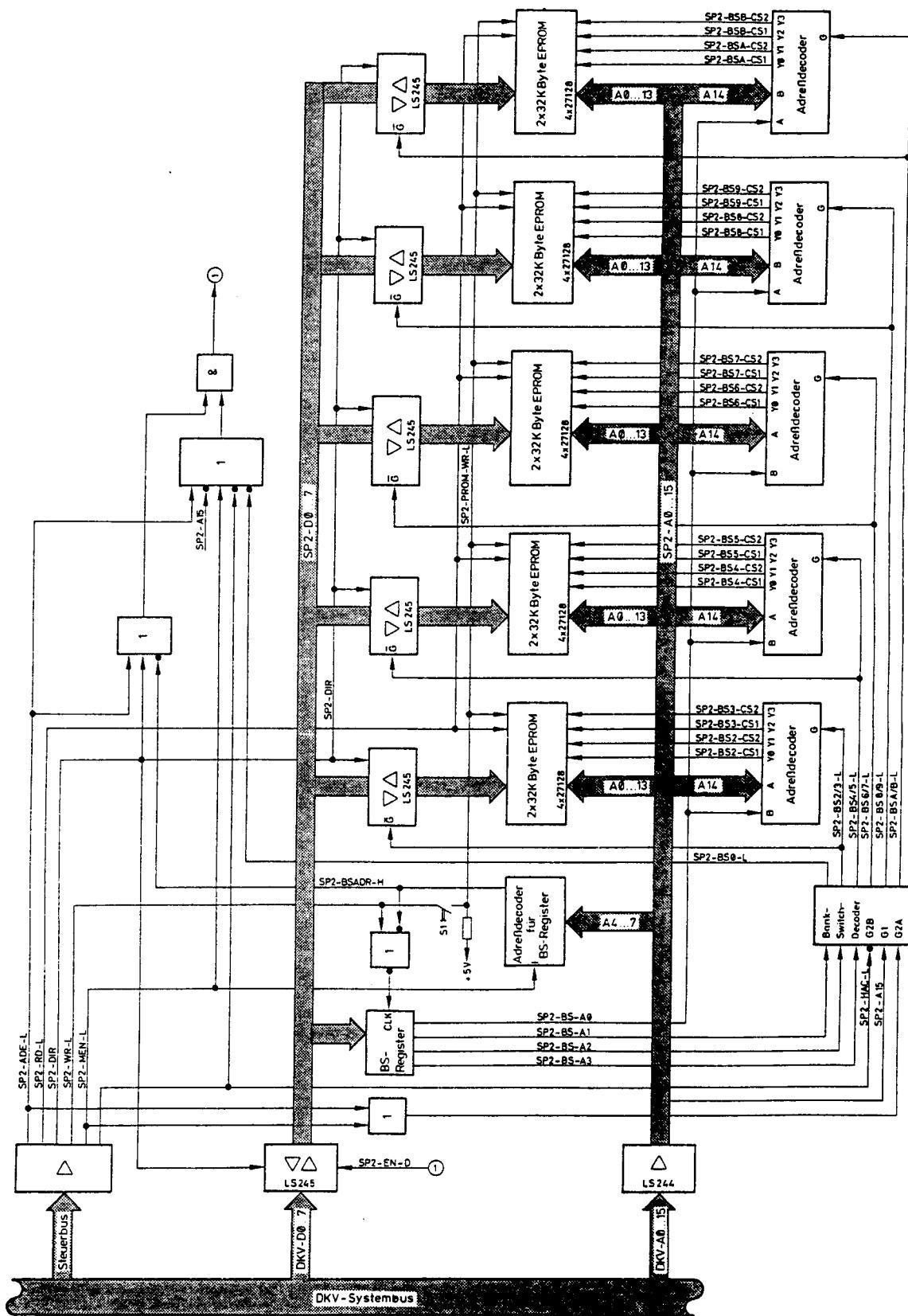


Bild 30 Übersichtsschaltplan des DKV-Speichers 2

### **3.2.4 Aktivdatei S42024-H183-E3, -E4**

Auf der Baugruppe Aktivdatei werden die Funkteilnehmernummern in einer Teilnehmerliste und die Betriebsparameter der Basisstation in einer Anlagenliste abgespeichert.

Die Suche einer Teilnehmernummer dauert max. 1,34 ms.

Die Baugruppe Aktivdatei besteht im wesentlichen aus folgenden Funktionsblöcken (siehe Bild 31):

- Speicher
- Vergleicher
- Bank-Switch-Decoder
- I/O-Adreßdecoder.

#### **3.2.4.1 Speicher**

Die 16x4KRAM (8xHM6264LP15) der Baugruppe Aktivdatei sind in mehrere Gruppen mit unterschiedlicher Funktion aufgeteilt. Der Adreßraum der Speicher ist von Adresse 2000H bis 2FFFH festgelegt.

Die 4K-Bereiche sind mit Bank 0H...FH bezeichnet.

Die Speicherbänke sind in vier Gruppen aufgeteilt:

- |             |           |
|-------------|-----------|
| Bank 0...3H | 1. Gruppe |
| Bank 4...7H | 2. Gruppe |
| Bank 8...BH | 3. Gruppe |
| Bank C...FH | 4. Gruppe |

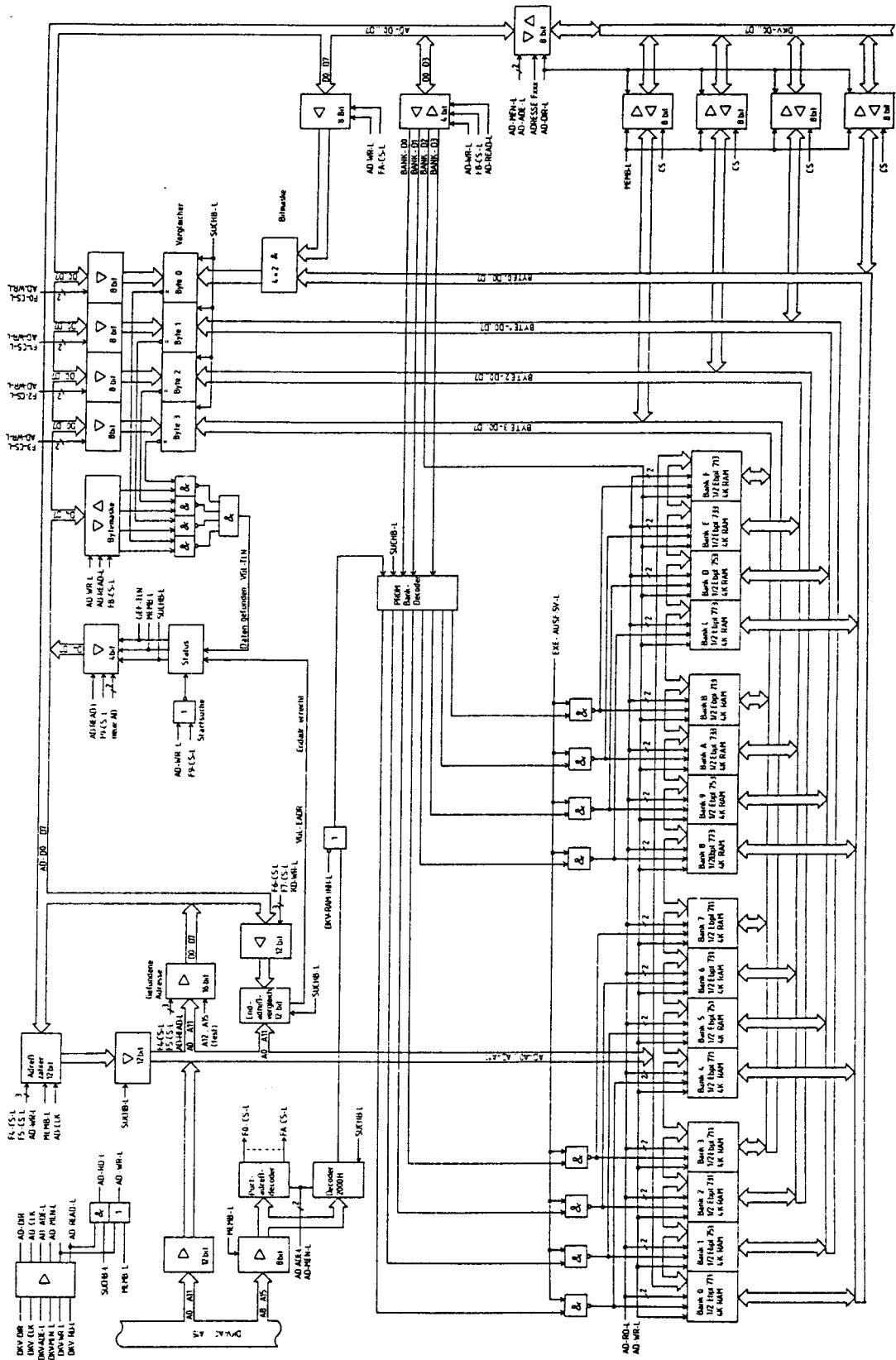


Bild 31 Übersichtsschaltplan der Aktivdatei

**Tabelle 26 Speicherzuordnung**

<b>Bank 0</b>	<b>4K</b>	<b>Signaldaten</b>
<b>Bank 1</b>	<b>4K</b>	<b>Teilnehmernummer Byte 0</b>
<b>Bank 2</b>	<b>4K</b>	<b>Teilnehmernummer Byte 1</b>
<b>Bank 3</b>	<b>4K</b>	<b>Teilnehmernummer Byte 2</b>
<b>Bank 4</b>	<b>4K</b>	<b>Verwaltungsbyte Aktivdatei</b>
<b>Bank 5</b>	<b>4K</b>	<b>Zusatzbyte Aktivdatei</b>
<b>Bank 6</b>	<b>4K</b>	<b>Anlagenliste (NV-RAM)</b>
<b>Bank 7</b>	<b>4K</b>	<b>Speicherbank (NV-RAM)</b>
<b>Bank 8</b>	<b>4K</b>	<b>Warteschlangenverwaltung</b>
<b>Bank A</b>	<b>4K</b>	<b>Sicherheitstechnische Daten (KOP, FEP)</b>
<b>Bank B</b>	<b>4K</b>	<b>frei verfügbar</b>
<b>Bank C</b>	<b>4K</b>	<b>frei verfügbar</b>
<b>Bank D</b>	<b>4K</b>	<b>frei verfügbar</b>
<b>Bank E</b>	<b>4K</b>	<b>frei verfügbar</b>
<b>Bank F</b>	<b>4K</b>	<b>frei verfügbar</b>

### **Speicherbank 0 1, 2, 3**

Eine Teilnehmernummer besteht aus drei Bytes. Vor dem Start ist die zu suchende Teilnehmernummer in die drei Vergleicherlatches 1, 2 und 3 (3xLS374) nacheinander über den Datenbus D0...7 einzuschreiben. Die Übernahme der Nummer in die Latches geschieht mit den Adressen F1H, F2H und F3H.

Die Speicherbänke 0, 1, 2 und 3 werden zu einem 32-bit-Datenbus parallelgeschaltet und die Treiber zum DKV-Systembus gehen in den hochohmigen Zustand. Die Adressleitungen A8...15 und der Bustreiber zum Steuerbus bleiben aktiv, um eine Abfrage des Statusbytes F9H (Suchbetrieb ja/nein) zu gewährleisten.

Bedeutung des Statusbytes F9H:

Bit 0	}	Teilnehmernummer-Adresse MSB
Bit 1		
Bit 2		
Bit 3		
Bit 4		frei
Bit 5		frei
Bit 6		1/0 Teilnehmernummer gefunden/nicht gefunden
Bit 7		1/0 Suche läuft/Suche beendet

Der Start des Suchbetriebs wird mit dem Befehl OUT <F9> (F9-CS-L → SUCHB-L) vorgenommen. Dabei wird das Bit 7 des Statusbytes auf 1 gesetzt und kann dort abgefragt werden.

SUCHB-H wird nach Beendigung des Suchbetriebs mit VGL-TLN und VGL-EADR wieder rückgesetzt. In Bit 6 des Statusbytes wird dann das Ergebnis der Suche eingetragen.

Die Suche beginnt bei der vom Zähler (3xLS161A) eingestellten Adresse 0 bis max. 4095. Das Lesen eines Speicherplatzes dauert 325,5 ns.

Bank 0...5 werden mit RAM-CS-0...7 freigegeben.

#### **Speicherbank 4**

Ein Verwaltungsbyte wird in Bank 4 abgelegt. Dieser Speicherbereich wird nicht vom Suchbetrieb erfaßt.

#### **Speicherbank 5**

In Bank 5, Zusatzbyte, wird die Teilnehmerinformation gespeichert. Jedes Bit dieser Gesamtinformation wird gesondert ausgewertet, im Gegensatz zu Bank 4, wo ein Byte eine codierte Information bildet. Bank 5 wird mit RAM-CS-50...51 angewählt.

#### **Speicherbank 0**

Bank 0 enthält Signaldaten, die mit RAM-CS-0...4 freigegeben werden.

#### **Speicherbank 6**

In die Anlagenliste (Bank 6, 4K-RAM) werden die Betriebsparameter der Basisstation eingeschrieben.

Freien Adreßplatz suchen:

- Die nicht vorkommende Teilnehmer(Tln)-Nr. (initialisierte Aktivdatei) in die Vergleicher-Latches Teilnehmer 0, 1 und 2 abspeichern.
- Den Suchbetrieb starten.
- Die gefundene Adresse entspricht der physikalischen Adresse des ersten freien Platzes. Die Suche nach freiem Platz entspricht der Suche nach vordefinierter Teilnehmernummer, die die Kennzeichnung für einen freien Platz darstellt.

Die gefundene Tln-Nr.-Adresse wird in die Latches Tln-Nr.-Adr1 (LSB) und Tln Nr.-Adr2 (MSB) abgelegt und ist mit dem Status-Byte F4H und F5H lesbar.

Tln-Nr.-Adr entspricht der physikalischen Adresse, unter der die einzelnen Bytes der Tln-Nr. nach Speicherbankumschaltung les- bzw. schreibbar sind.

Mit dem Einschreiben der Ports F6H (LS-Byte) und F7H (MS-Byte) ist es möglich die obere Grenze des Suchbereiches (max. bis 4096-Plätze) einzustellen. Dabei stellt die Obergrenze die letzte Stelle dar (0...4095), die noch durchsucht wird.

Bei einer Betriebs-Unterspannung  $U \leq 4,65$  V bis 4,8 V oder Überspannung  $U \geq 5,4$  V bis 5,6 V wird die Anlagenliste über Ansteuerschaltung gesperrt.

Nach Rückkehr der Spannung auf die Nennbetriebswerte ist der Speicher wieder betriebsfähig, wenn das Signal EXE-5V-AUSF-L wieder HIGH ist (Power-On-Reset).

Bei Zugriff auf die Anlagenliste bei Ausfall der Spannung kann der Inhalt der Liste ungültig sein.

Es muß daher softwaremäßig sichergestellt sein, daß entweder kein Zugriff auf die Anlagenliste bei Spannungsausfall auftritt (Sekundärkurzschluß der Versorgungsspannung nicht möglich), oder daß ein Algorithmus eingeführt wird, der in solchen Fällen den Inhalt der Anlagenliste als ungültig kennzeichnet.

Wird die Datenrettung bei Spannungsausfall oder Unterspannung nicht in der MSC vorgenommen, ist es notwendig, diesen Vorgang in der Aktivdatei der FDS zu realisieren.

Für diesen Fall wird die Aktivdatei-Anlagenliste mit 4K-NV-RAM-Bausteinen bestückt, die mit einer Lithium-Batterie betrieben werden.

Unterschreitet die Betriebsspannung 4,4 V, schaltet das NV-RAM auf Batterieversorgung um.

Die Ausführung der Baugruppe Aktivdatei mit NV-RAM wird mit -H183-E4 bezeichnet. Entsprechend erhält auch der Einsatz FDS die Ausführung B6.

### 3.2.4.2 Vergleicher

Mit den vier Vergleichern LS688 wird ein Vergleich der in Bank 0, 1, 2, 3 gespeicherten Teilnehmernummer mit dem in den Vergleicher-Latches 0...3 enthaltenen Wert durchgeführt. Bei positivem Vergleich werden die Zähler gelöscht und der letzte Zählerwert in den beiden TLN.ADR. Registern Latches LS374 und LS175 gehalten.

### 3.2.4.3 Bank-Switch-Decoder

Der Bank-Switch-Decoder realisiert die Aktivierung der einzelnen Speicherbänke mit den Signalen RAM-CS-00...61. Mit Hilfe des Festspeichers (635081) wird der Decoder ab Adresse 2000H, d.h. dem Adressbereich der DKV, der der Baugruppe Aktivdatei zugewiesen ist, freigegeben.

Über das Register LS175 (Port F8H) wird der Bank-Switch-Decoder auf die gewünschte Speicherbank eingestellt.

Die von diesem Register gelieferten Signale BANK 1, 2 und 4 liegen am Eingang des Bank-Switch-Decoders (Festspeicher LS138) und bilden die Chip-Select-Signale der Speicherbänke.

Tabelle 27 Speicherbankumschaltung Port F8H

Signal BANK 1,2,4 Bit 0,1,2	Eingang BS-Decoder C B A	CS-Signal Speicherbank	Funktion
0 0 0 1	0 0 0 1	RAM-CS-10 RAM-CS-11	Einstellung Speicherbank 1, Tln-Nr. Byte 0
0 0 1 0	0 0 1 0	RAM-CS-20 RAM-CS-21	Einstellung Speicherbank 2, Tln-Nr. Byte 1
0 0 1 1	0 0 1 1	RAM-CS-30 RAM-CS-31	Einstellung Speicherbank 3, Tln-Nr. Byte 2
0 1 0 0	0 1 0 0	RAM-CS-40 RAM-CS-41	Einstellung Speicherbank 4, Verwaltungsbyte
0 1 0 1	0 1 0 1	RAM-CS-50 RAM-CS-51	Einstellung Speicherbank 5, Zusatzbyte
0 0 0 0	0 0 0 0	RAM-CS-00 RAM-CS-01	Einstellung Speicherbank 0, 4K-RAM Signaldaten
0 1 1 0	0 1 1 0	RAM-CS-60 RAM-CS-61	Einstellung Speicherbank 6, Anlagenliste, Datenrettung

Fortsetzung Tabelle 27

Signal BANK 1,2,4 Bit 0,1,2	Eingang BS-Decoder C B A	CS-Signal Speicherbank	Funktion
0 1 1 1	0 1 1 1	RAM-CS-70 RAM-CS-71	Einstellung Speicherbank 7, NV-RAM
1 0 0 0	1 0 0 0	RAM-CS-80 RAM-CS-81	Einstellung Speicherbank 8, Warteschlangenverwaltung
1 0 0 1	1 0 0 1	RAM-CS-90 RAM-CS-91	Einstellung Speicherbank 9, Sicherheitstechnische Daten
1 0 1 0	1 0 1 0	RAM-CS-A0 RAM-CS-A1	Einstellung Speicherbank A, Fehlerbehandlungsdaten
1 0 1 1	1 0 1 1	RAM-CS-B0 RAM-CS-B1	Einstellung Speicherbank B, 4K-RAM frei verfügbar
1 1 0 0	1 1 0 1	RAM-CS-C0 RAM-CS-C1	Einstellung Speicherbank C, 4K-RAM frei verfügbar
1 1 0 1	1 1 0 1	RAM-CS-D0 RAM-CS-D1	Einstellung Speicherbank D, 4K-RAM frei verfügbar
1 1 1 0	1 1 1 0	RAM-CS-E0 RAM-CS-E1	Einstellung Speicherbank E, 4K-RAM frei verfügbar
1 1 1 1	1 1 1 1	RAM-CS-F0 RAM-CS-F1	Einstellung Speicherbank F, 4K-RAM frei verfügbar

### 3.2.4.4 I/O-Adreßdecoder

Der I/O-Adreßdecoder wird vom DKV-Adreßbus (DKV-A8...15) angesteuert. Die Port-Adressen liegen, von der Software gesteuert, auf dem Adreßbus und werden vom Festspeicher in Chip-Select-Signale (F0-CS-L...FA-CS-L) für die einzelnen Ports decodiert.

Tabelle 28 I/O-Adressen

I/O-Adr.	Port	RD/WR	Funktion
F0	Vergleicher Latch 0	WR	zu suchende Tln-Nr.
F1	Vergleicher Latch 1	WR	
F2	Vergleicher Latch 2	WR	
F3	Vergleicher Latch 3	WR	
F4	Tln-Nr.Adr.1 (LSB) Bit 0...3	RD	gefundenne Adresse der TLN-Nr.
F5	Tln-Nr.Adr.2 (MSB) Bit 0...7	WR	gefundenne Adresse, vorcodiert auf B0010xxx = 2xxxH = 2000H...2FFFH
F5	End Adr.1 (LSB) Bit 0...7	WR	variable Endadresse der Aktivdatei
F6	End Adr.2 (MSB) Bit 0...3 Bit 4...7 = nicht ausgewertet	WR	
F8	Decoder Bank-Switch Bit 0...2 Bit 3...7 = undefiniert	RD	ausgewählte Speicherbank-Nr. lesen
F8	Decoder Bank-Switch Bit 0...2 Bit 3...7 = nicht ausgewertet	WR	Speicherbank 0...6 auswählen

Nachfolgend werden die Funktionen der vom I/O-Adresse-decoder ausgewählten Ports beschrieben; sie werden jeweils mit READ bzw. WRITE aktiviert.

Tabelle 29 Beschreibung der Ports F0...7

Port	Bit	Funktion
F0	0...7	Signaldaten
F1	0...7	niederwertiges Byte der Teilnehmernummer
F2	0...7	mittleres Byte der Teilnehmernummer
F3	0...7	höherwertiges Byte der Teilnehmernummer  Vorbereiten der Teilnehmersuche: Der Vergleicher der Aktivdatei wird mit einer 3 byte umfassenden Teilnehmernummer geladen.

## Fortsetzung Tabelle 29

Port	Bit	Funktion
F4	0...7	Startadresse einstellbar
F4	0...7	Bits 0...7 der 12 bit umfassenden Teilnehmeradresse mit RD lesbar.
F5	0...3	Bits 0...3 Startadresse mit WR lesbar.
F5	0...3	Bits 8...11 der 12 bit umfassenden Teilnehmeradresse mit RD lesbar. Lesen der durch die Teilnehmersuche gefundenen Adresse (12 bit). Anmerkung 1: Eine Adresse ist in jedem Fall auslesbar, d.h. auch dann, wenn die Suche noch andauert oder wenn sie erfolglos war; allerdings ist die Adresse nur bei erfolgreicher Suche gültig.
F9	6	Abfrage des Sucherfolges  Bit 6 = 1 Die über F0 bis F2 angegebene Teilnehmernummer ist in der Aktivdatei gespeichert und konnte gefunden werden.  Bit 6 = 0 Die über F0 bis F2 angegebene Teilnehmernummer konnte in der Aktivdatei nicht gefunden werden.
F9	7	Abfrage der Beendigung der Teilnehmersuche.  Bit 7 = 1 Die über OUT F4 gestartete Teilnehmersuche ist noch nicht beendet.  Bit 7 = 0 Die über OUT F4 gestartete Teilnehmersuche ist beendet.
F9	-	Starten der Teilnehmersuche durch OUT F9 mit beliebigen Daten. Von Adresse 2000H, d.h. Beginn der Aktivdatei bis zur über die Ports F5 und F6 eingestellten (relativen) Obergrenze werden die gespeicherten Teilnehmernummern mit der über Port F0 bis F3 angegebenen, zu suchenden Teilnehmernummern verglichen. Wird die Teilnehmernummer gefunden, so wird die Suche beendet.  Anmerkung 1: Während der Teilnehmersuche ist ein Zugriff auf das RAM der Aktivdatei über den Datenbus nicht erlaubt.  Anmerkung 2: Eine nicht verwendete Teilnehmernummer kann als Kennzeichnung für freie Plätze verwendet werden. Die Suche nach dieser Nummer ist damit die Suche nach freien Plätzen.
F6	0...7	Bits 0...7 der 12 bit umfassenden Obergrenze.
F7	0...3	Bit 8...11 der 12 bit umfassenden Obergrenze. Einstellen der Obergrenze. Der Adressvergleicher wird mit der Adresse versorgt, bei der ein Suchvorgang zu beenden ist, sofern er nicht vorher wegen Erfolgs gestoppt wurde.

Fortsetzung Tabelle 29

Port	Bit	Funktion
F8	0...8	<p>RAM-Speicher-Bank-Switching:  Der Adreßdecoder wird auf die gewünschte Speicherbank eingestellt.</p> <p>0001 Einstellung auf Speicherbank 1  0010 Einstellung auf Speicherbank 2  0011 Einstellung auf Speicherbank 3  0100 Einstellung auf Speicherbank 4  0101 Einstellung auf Speicherbank 5  0000 Einstellung auf Speicherbank 0  0110 Einstellung auf Speicherbank 6  0111 Einstellung auf Speicherbank 7  1000 Einstellung auf Speicherbank 8  1001 Einstellung auf Speicherbank 9  1010 Einstellung auf Speicherbank A  1011 Einstellung auf Speicherbank B  1100 Einstellung auf Speicherbank C  1101 Einstellung auf Speicherbank D  1110 Einstellung auf Speicherbank E  1111 Einstellung auf Speicherbank F</p> <p>Anmerkung: Die Einstellung einer Speicherbank wird durch den Suchbetrieb nicht verändert.</p>
F8	0...8	Ermitteln der eingestellten Speicherbank. Datenformat siehe oben.
FA	0...7	Bit-Maskierung Byte 0

### **3.3 Sicherheit FDS S42024-H261-E1**

In der Sicherheit FDS (FDS-ST) werden folgende sicherheitstechnische Aufgaben der FDS realisiert:

- Wiederanlauf von FDS und Funkperipherie
- Aktiv/passiv-Umschaltung
- Verwalten der Betriebszustände: Fehlerbehandlung, defekt und verfügbar
- Fehlererkennung und -behandlung
- Überwachen der Systemtakte
- Überwachen der gesamten Stromversorgung in der Basisstation
- Prüfen der Funkperipherie durch Schnittstellenprüfung
- Fehlermeldung und Meldung des defekten Zustands der Parallel-FDS.

Die wichtigsten Elemente und deren Abhängigkeiten in der Hardware der Sicherheit FDS sind im Bild 32 dargestellt.

Die FDS-ST besteht aus:

- Watchdog
- Speicher für Betriebszustände
- RESET-Bildung (Rücksetzregister)
- Interrupt-Register
- Fehlerregister
- Fehlerdetektoren
- Adreßregister
- Basisstation-Uhr.

Das Bild 32 zeigt außerdem Signale, die für die Sicherheitstechnik wichtig sind.

Die in der Baugruppe enthaltenen Funktionsblöcke werden einzeln adressiert.

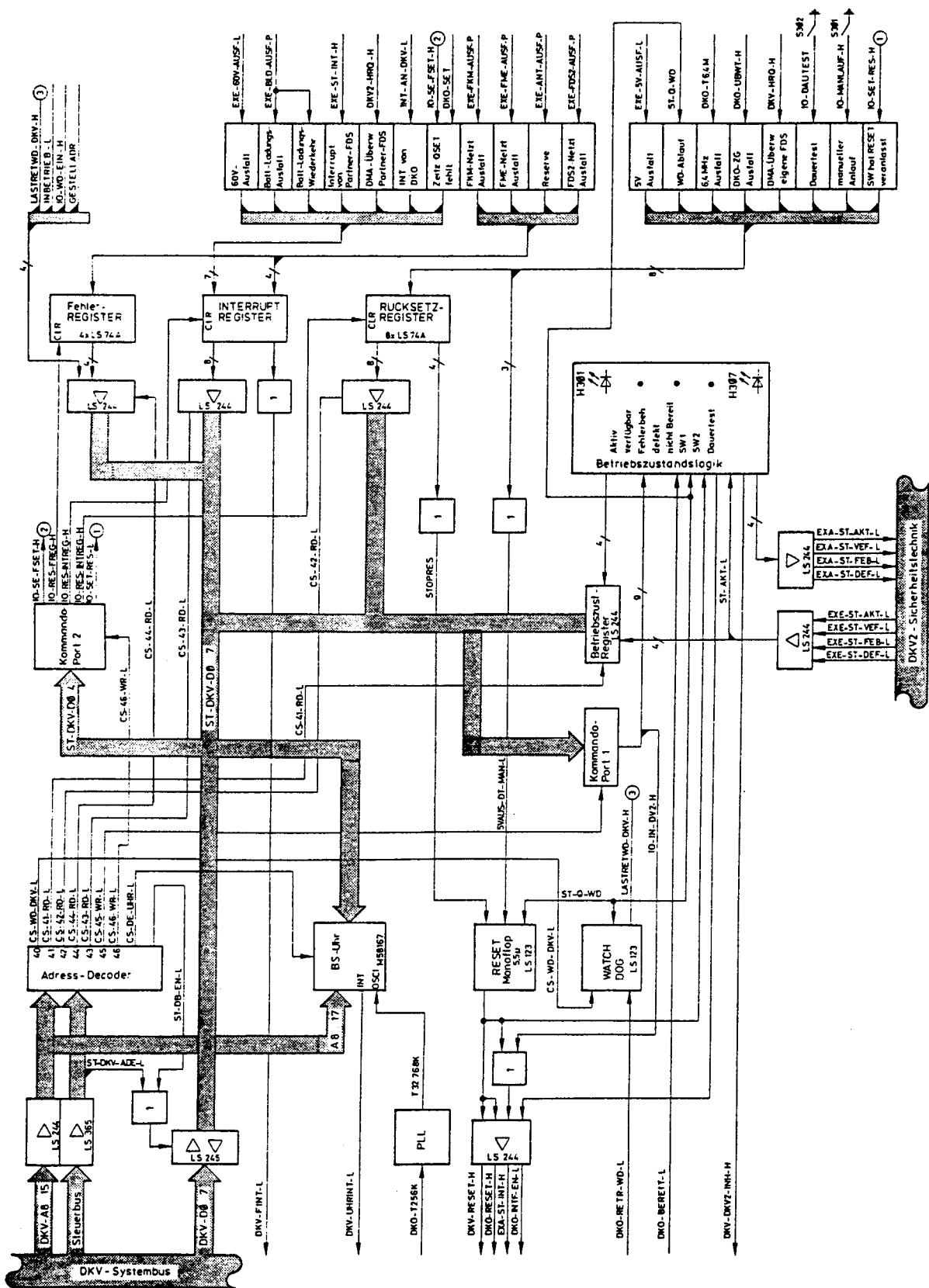


Bild 32 Übersichtsschaltplan FDS-Sicherheitstechnik

### **3.3.1 Betriebszustände der Funkdatensteuerung**

Alle Betriebszustände außer des Zustands AKTIV können über den DKV-Prozessor gesetzt und rückgesetzt werden.

#### **3.3.1.1 Zustand AKTIV**

Die FDS1 ist unter folgenden Voraussetzungen aktiv:

- sie befindet sich nicht in Fehlerbehandlung und ist nicht defekt
- sie setzt sich selbst passiv (IO-AKT-PAS-H)
- FDS2 ist passiv oder es ist keine FDS2 vorhanden.

Im aktiven Betriebszustand werden über DKO-INTF-EN-L die Treiber im DKo freigegeben und damit wird eine Kommunikation mit PBR bzw. ZZK und Funkperipherie ermöglicht.

Eine FDS kann sich selbst nur passiv setzen.

Die aktive FDS1 führt allein den Dialog mit den peripheren Geräten durch und bearbeitet alle vermittlungs-, betriebs- und sicherheitstechnischen Aufgaben, die an sie gestellt werden.

Werden von der FDS1 Soft- oder Hardware-Fehler festgestellt, veranlaßt sie folgendes:

- aktiv/passiv-Umschaltung
- Interrupt an die passive FDS2
- Rücksetzen/Wiederanlauf der eigenen DKo/DKV.

Die FDS2 nimmt dann (unter den oben genannten Voraussetzungen) den aktiven Betrieb auf.

Durch RESET geht die fehlerhafte FDS in die Anlaufprüfrountinen und danach entweder in den Zustand DEFECT oder nimmt den Betrieb als passive FDS auf.

#### **3.3.1.2 Zustand PASSIV**

Ein passiver Betriebszustand der FDS bedeutet:

- sie ist in Fehlerbehandlung und/oder defekt oder
- sie setzt sich selbst passiv (IO-AKT-PAS-H) oder
- die andere FDS ist aktiv.

Die passive FDS sperrt ihre Schnittstellen zur Peripherie.

### **3.3.1.3 Zustand VERFÜGBAR**

Der Zustand VERFÜGBAR wird von der Software mit dem Signal IO-SET-VEF-H gesetzt. Er kann von der Software mit dem Signal IO-CLR-VEF-H oder beim Auftreten des Zustandes FEHLERBEHANDLUNG oder DEFEKT von der Hardware rückgesetzt werden.

Die FDS ist unter folgenden Voraussetzungen VERFÜGBAR:

- die FDS ist nicht in Fehlerbehandlung und nicht defekt
- bestimmte von der Software zu definierende Bedingungen müssen erfüllt sein.

### **3.3.1.4 Zustand FEHLERBEHANDLUNG**

In folgenden Fällen befindet sich die FDS im Betriebszustand FEHLERBEHANDLUNG:

- nach jedem Rücksetzen durch Fehlerdetektoren oder durch Rücksetztaste
- nach der Spannungseinschaltung
- nach der Feststellung eines Fehlers wird von der Software der Zustand FEHLERBEHANDLUNG mit dem Signal IO-SET-FEB-H gesetzt.

Der Zustand FEHLERBEHANDLUNG kann durch Hard- oder Software gesetzt, und muß mit dem Signal IO-CLR-FEB-H rückgesetzt werden.

### **3.3.1.5 Zustand DEFEKT**

Die FDS ist in folgenden Fällen als DEFEKT definiert:

- wenn nach dem bereits gesetzten Zustand FEHLERBEHANDLUNG der Watchdog abgelaufen ist
- wenn die Software den Zustand DEFEKT mit dem Signal IO-SET-DEF-H setzt.

Das Rücksetzen wird durch Hardware über die Wiederanlauf-Taste bzw. durch Software mit dem Signal IO-CLR-DEF-H durchgeführt.

## **3.3.2 Realisieren der sicherheitstechnischen Funktionen**

Die einzelnen Funktionen der Baugruppe Sicherheit FDS sind durch Adressierung der entsprechenden Ports realisierbar.

### **3.3.2.1 Watchdog, Port 40H**

Über die Adresse 40H wird mindestens alle 2 s der Watchdog getriggert.

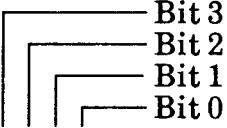
### 3.3.2.2 Lesen der Betriebszustände, Port 41H

Über dieses Port werden die Betriebszustände der beiden FDS gelesen.

Eine Bitkombination Bit 0 = 0 und gleichzeitig Bit 4 = 0 deutet auf einen Hardware-Fehler hin.

Über die Bits 0...3 wird der Betriebszustand der eigenen FDS, über Bits 4...7 der Betriebszustand der Partner-FDS gelesen.

Tabelle 30 Lesen der Betriebszustände

Bit	Signalname	Bedeutung
0	EXA-ST-AKT-L	<0 bzw. 1> aktiv bzw. passiv
1	EXA-ST-VEF-L	<0 bzw. 1> verfügbar bzw. nicht verfügbar
2	EXA-ST-FEF-H	<0 bzw. 1> keine Fehlerbehandlung bzw. Fehlerbehandlung
3	EXA-ST-DEF-H	<0 bzw. 1> nicht defekt bzw. defekt nachfolgend sind die zulässigen Kombinationen aufgeführt:  <0 0 0 0>: aktiv, verfügbar <0 0 0 1>: passiv, verfügbar <0 0 1 0>: aktiv, nicht verfügbar <0 0 1 1>: passiv, nicht verfügbar <0 1 0 0>: Hardware-Fehler <0 1 0 1>: Hardware-Fehler <0 1 1 0>: Hardware-Fehler <0 1 1 1>: passiv, Fehlerbehandlung <1 0 0 0>: Hardware-Fehler <1 0 0 1>: Hardware-Fehler <1 0 1 0>: Hardware-Fehler <1 0 1 1>: nicht sinnvoll, aber möglich (defekt, keine FEB) <1 1 0 0>: Hardware-Fehler <1 1 0 1>: Hardware-Fehler <1 1 1 0>: Hardware-Fehler <1 1 1 1>: defekt
4	EXE-ST-AKT-L	aktiv
5	EXE-ST-VEF-L	verfügbar
6	EXE-ST-FEB-H	Fehlerbehandlung

## Fortsetzung Tabelle 30

Bit	Signalname	Bedeutung																																
7	EXE-ST-DEF-H	<p>defekt</p> <p>nachfolgend sind die zulässigen Kombinationen aufgeführt:</p> <p>         Bit 7          Bit 6          Bit 5          Bit 4       </p> <table> <tr><td>&lt;0 0 0 0&gt;:</td><td>aktiv, verfügbar</td></tr> <tr><td>&lt;0 0 0 1&gt;:</td><td>passiv, verfügbar</td></tr> <tr><td>&lt;0 0 1 0&gt;:</td><td>aktiv, nicht verfügbar</td></tr> <tr><td>&lt;0 0 1 1&gt;:</td><td>passiv, nicht verfügbar</td></tr> <tr><td>&lt;0 1 0 0&gt;:</td><td>Hardware-Fehler</td></tr> <tr><td>&lt;0 1 0 1&gt;:</td><td>Hardware-Fehler</td></tr> <tr><td>&lt;0 1 1 0&gt;:</td><td>Hardware-Fehler</td></tr> <tr><td>&lt;0 1 1 1&gt;:</td><td>passiv, Fehlerbehandlung</td></tr> <tr><td>&lt;1 0 0 0&gt;:</td><td>Hardware-Fehler</td></tr> <tr><td>&lt;1 0 0 1&gt;:</td><td>Hardware-Fehler</td></tr> <tr><td>&lt;1 0 1 0&gt;:</td><td>Hardware-Fehler</td></tr> <tr><td>&lt;1 0 1 1&gt;:</td><td>nicht sinnvoll, aber möglich (defekt, keine Fehlerbehandlung)</td></tr> <tr><td>&lt;1 1 0 0&gt;:</td><td>Hardware-Fehler</td></tr> <tr><td>&lt;1 1 0 1&gt;:</td><td>Hardware-Fehler</td></tr> <tr><td>&lt;1 1 1 0&gt;:</td><td>Hardware-Fehler</td></tr> <tr><td>&lt;1 1 1 1&gt;:</td><td>defekt</td></tr> </table>	<0 0 0 0>:	aktiv, verfügbar	<0 0 0 1>:	passiv, verfügbar	<0 0 1 0>:	aktiv, nicht verfügbar	<0 0 1 1>:	passiv, nicht verfügbar	<0 1 0 0>:	Hardware-Fehler	<0 1 0 1>:	Hardware-Fehler	<0 1 1 0>:	Hardware-Fehler	<0 1 1 1>:	passiv, Fehlerbehandlung	<1 0 0 0>:	Hardware-Fehler	<1 0 0 1>:	Hardware-Fehler	<1 0 1 0>:	Hardware-Fehler	<1 0 1 1>:	nicht sinnvoll, aber möglich (defekt, keine Fehlerbehandlung)	<1 1 0 0>:	Hardware-Fehler	<1 1 0 1>:	Hardware-Fehler	<1 1 1 0>:	Hardware-Fehler	<1 1 1 1>:	defekt
<0 0 0 0>:	aktiv, verfügbar																																	
<0 0 0 1>:	passiv, verfügbar																																	
<0 0 1 0>:	aktiv, nicht verfügbar																																	
<0 0 1 1>:	passiv, nicht verfügbar																																	
<0 1 0 0>:	Hardware-Fehler																																	
<0 1 0 1>:	Hardware-Fehler																																	
<0 1 1 0>:	Hardware-Fehler																																	
<0 1 1 1>:	passiv, Fehlerbehandlung																																	
<1 0 0 0>:	Hardware-Fehler																																	
<1 0 0 1>:	Hardware-Fehler																																	
<1 0 1 0>:	Hardware-Fehler																																	
<1 0 1 1>:	nicht sinnvoll, aber möglich (defekt, keine Fehlerbehandlung)																																	
<1 1 0 0>:	Hardware-Fehler																																	
<1 1 0 1>:	Hardware-Fehler																																	
<1 1 1 0>:	Hardware-Fehler																																	
<1 1 1 1>:	defekt																																	

### 3.3.2.3 Rücksetzregister, Port 42H

Über Port 42H, Bit 0...6 wird das RESET-Register ausgelesen.

Mit Bit 7 wird erkannt, daß die FDS rückgesetzt ist.

Hat einer der sieben Fehlerdetektoren

- Sekundärspannung \*)
- Watchdog
- 6,4-MHz-Überwachung \*)
- Überwachung-Teilerkette \*)
- HOLD-Request-Überwachung \*)
- Taste-Dauertest
- Taste-Manueller Anlauf

angesprochen oder die Software einen RESET-Auftrag abgesetzt, so wird ein RESET in der eigenen FDS angestoßen und die Ursachen im RESET-Register vermerkt.

Mit dem RESET ist hardwaremäßig ein Interrupt zur Partner-FDS verknüpft. Dieser Interrupt wird im Fehler-Register und im Interrupt-Register der Partner-FDS markiert. Die eigene FDS geht aufgrund des Rücksetzens in den Zustand FEHLERBEHANDLUNG und wird PASSIV. Die Partner-FDS wird aktiv, wenn

- sie nicht im Zustand DEFEKT und nicht im Zustand FEHLERBEHANDLUNG ist
- die Software-Anforderung PASSIV-UMSCHALTUNG (siehe Port 45, Bit 0) nicht anliegt.

Im Zustand FEHLERBEHANDLUNG sind alle mit \*) versehenen Rücksetzsignale gesperrt.

Das Verlassen des Zustandes FEHLERBEHANDLUNG wird nach einer erfolgreichen Anlaufprüfung von der Software veranlaßt.

Das Löschen einer Fehlermarkierung im Rücksetzregister ist nur durch die Software möglich (Port 46, Bit 0).

Solange der Fehler ansteht, ist die Fehlermarkierung nicht lösbar.

Tabelle 31 Signale des Rücksetzregisters

Bit	Signalname	Bedeutung
0	IO-5V-AUSF-H	Der Fehlerdetektor "5-V-Ausfall" hat das Verletzen der 5-V-Toleranzgrenze erkannt. Beim Ansprechen dieses Fehlerdetektors wird grundsätzlich ein Neuanlauf durchgeführt.
1	IO-WATCHD-H	Der Fehlerdetektor "Watchdog-Ablauf" hat ein Ablaufen des Watchdogs aufgrund einer mindestens 3 s lang ausbleibender Retriggerung durch DKo bzw. DKV erkannt.
2	IO-T6,5M-AF-H	Der Fehlerdetektor "6,4-MHz-Ausfall" hat einen Ausfall des Systemtaktes 6,4 MHz erkannt. Damit sind alle FDS-Takte außer den CPU-Takten ausgefallen.
3	IO-FTEIKE-H	Der Fehlerdetektor DKO-ZG-Ausfall hat einen Fehler im DKO-Zeitgeber (Teilerkette) erkannt, d.h. ein auf dem Systemtakt 6,4 MHz basierender, in der Teilerkette erzeugter Takt, ist nicht synchron zum Zeitzeichen QSET, oder das Zeitzeichen selbst weist einen zu großen Versatz gegenüber der vorhergehenden Einstellung auf (Erstsynchronisation).

### Fortsetzung Tabelle 31

Bit	Signalname	Bedeutung
4	IO-FHQ-DKV-H	Der Fehlerdetektor "DMA-Überwachung, eigene FDS" hat eine zu lang andauernde (> 6 ms) HOLD-Anforderung erkannt. Das Signal HOLD wurde von der eigenen FDS für eine DMA-Übertragung angefordert. Durch RESET wurde die DMA-Steuerung rückgesetzt.
5	IO-DAUTEST-H	Das Signal wird durch Betätigen der Taste DAUERTEST gebildet. Diese Taste ist nur wirksam, wenn das Signal IO-MANLAUF-H inaktiv ist. Der Dauertest wird solange durchgeführt, bis das Signal IO-MANLAUF-H über die Taste MANUELLE ANLAUF erzeugt wird oder Power-On-Reset auftritt.
6	IO-MANLAUF-H	Das Signal wird durch Betätigung der Taste MANUELLE ANLAUF gebildet. Ein eventuell laufender Dauertest wird damit beendet.
7	IO-SW-RES-H	Ein Software-Rücksetzen der FDS.

Tabelle 32 Zuordnung der Signale des Rücksetzregisters

Eingangssignal	Fehlerdetektor	Rücksetzregister	interner Datenbus
EXE-5V-AUSF-L	5-V-Ausfall	IO-5V-AUSF-H	ST-DKV-DO
ST-Q-WD	WD-Ablauf	IO-WATCHD-H	ST-DKV-D1
DKO-T6,4M	6,4-MHz-Ausfall	IO-T6,4M-AF-H	ST-DKV-D2
DKO-UBWT-H	DKO-ZG-Ausfall	IO-FTEIKE-H	ST-DKV-D3
DKV-HRQ-H	DMA-Überwachung eigene FDS	IO-FHQ-DKV-H	ST-DKV-D4

Das Signal IO-DAUTEST-H wird über die Taste S2 (S302 im Stromlaufplan) erzeugt und als ST-DKV-D5 über Rücksetzregister auf den Datenbus gelegt.

Das Signal IO-MANLAUF-H wird über die Taste S1 (S301) erzeugt und als ST-DKV-D6 auf den Datenbus gelegt.

Das Bit ST-DKV-D7 übernimmt aus dem Rücksetzregister das durch die Software erzeugte Rücksetzsignal.

### 3.3.2.4 Interrupt-Register, Port 43H

Durch das Anlegen der Adresse 43H wird das Interruptregister ausgelesen.

Die Tabelle 33 stellt die im Interrupt-Register gespeicherten Signale dar. Das Bit 7 des Registers ist auf Masse geschaltet.

Tabelle 33 Signale des Interrupt-Registers

Bit	Signalname	Bedeutung
0	IO-60V-AF-H	Der Fehlerdetektor "60-V-Ausfall" signalisiert ein Absinken der 60-V-Spannung zur Versorgung des Netzteils (5 V) unter die Toleranzgrenze. Die Sekundärspannung bleibt daraufhin noch 20 ms erhalten. In dieser Zeit muß die Software alle Datenrettungsmaßnahmen beendet haben.
1	IO-BLD-AF-H	Der Fehlerdetektor "Batterieladungs-Ausfall" signalisiert, daß die Batterie nicht geladen wird.
2	ST-BLD-AF-L	Der Fehlerdetektor "Batterieladungs-Wiederkehr" signalisiert, daß die Batterie wieder geladen wird.
3	IO-IN-DKV2-H	Der Fehlerdetektor "Interrupt von DKV2" hat Interrupt der Partner-FDS erkannt. Dieser Interrupt wird in der Partner-FDS ausgelöst, wenn <ul style="list-style-type: none"> <li>- ein Reset in der Partner-FDS durchgeführt wird oder</li> <li>- ein Interrupt zur Sicherheitstechnik (Port 45H Bit 7) in der Partner-FDS durch Software veranlaßt wurde.</li> </ul>
4	DKV-CLR-HRQ-H	Der Fehlerdetektor "DMA-Überwachung der Partner-FDS" hat eine zu lang andauernde HOLD-Anforderung erkannt. Das Signal HOLD wurde von der Partner-FDS für eine DMA-Übertragung angefordert. Dieser Fehlerfall führt zu zwei Interrupts in der eigenen FDS. Neben dem beschriebenen Interrupt durch die DMA-Überwachung in der eigenen FDS, führt auch die DMA-Überwachung der Partner-FDS zu einem Interrupt (siehe Port 43H Bit 3), falls die Partner-FDS noch funktioniert (Überwachungszeit: > 6 ms).
5	IO-INT-DKO-H	Der Fehlerdetektor "Interrupt vom DKo" hat einen von der DKo-Software angeforderten Interrupt erkannt. Die Fehlerursache wird in einem DKo-Speicherfeld hinterlegt, das die DKV im Fehlerfall über DMA ausliest.

### Fortsetzung Tabelle 33

Bit	Signalname	Bedeutung
6	IO-FSET-H	<p>Der Fehlerdetektor "Zeitzeichen QSET fehlt" kann aus zwei Gründen ansprechen:</p> <ul style="list-style-type: none"> <li>- Der Fehlerdetektor hat den zweiten Ausfall des Setzsignals erkannt, d.h. entweder liegt ein PHE-Ausfall vor oder die Schnittstelle zwischen FDS und PHE ist gestört.</li> <li>- Der Fehlerdetektor wurde von der Software angereizt, um in der Initialisierungsphase des Zeitgebers den ersten auf den Zeitgeber wirksamen Setzimpuls erkennen zu können (siehe auch Port 46H Bit 3).</li> </ul>

Tabelle 34 Zuordnung der Signale des Interrupt-Registers

Eingangssignal	Fehlerdetektor	Rücksetzregister	interner Datenbus
EXE-60V-AUSF-L	60-V-Ausfall	IO-60V-AF-H	ST-DKV-D0
EXE-BLD-AUSF-P	Batterieladung-Ausfall	IO-BLD-AF-H	ST-DKV-D1
EXE-BLD-AUSF-P	Batterieladung-Wiederkehr	ST-BLD-AF-L	ST-DKV-D2
EXE-ST-INT-H	Interrupt von DKV2	IO-IN-DKV2-H	ST-DKV-D3
DKV2-HRQ-H	DMA-Überwachung, Partner-FDS	DKV-CRL-HRQ-H	ST-DKV-D4
INT-AN-DKV-L	Interrupt vom DKO	IO-INT-DKO-H	ST-DKV-D5
IO-SE-FSET-L DKO-SET	Zeitzeichen QSET fehlt	IO-FSET-H	ST-DKV-D6

Im Interrupt-Register wird zusätzlich aus den in der Tabelle 33 dargestellten Fehlermeldungen und den über den externen Systembus kommenden Signalen

- EXE-FKM-AUSF-P
- EXE-FME-AUSF-P
- EXE-ANT-AUSF-P
- EXE-FDS2-AUSF-P

das Signal DKV-FINT-L gebildet, das auf den Interrupt-Eingang RST 7,5 der DKV-CPU geführt wird.

Das Signal DKV-FINT-L wird erzeugt, wenn beim Ankommen einer dieser Fehlermeldungen im Interrupt-Register noch kein Interrupt-Signal ansteht.

### 3.3.2.5 Fehlerregister, Port 44H

Über die Adresse 44H wird der Inhalt des Treibers LS244 auf den internen ST-Datenbus gelegt. In dem Treiber sind die vier Ausfallsignale aus dem Fehlerregister und folgende Signale gespeichert:

- LASTRETWD-DKV-H
- INBETRIEB-L
- IO-WD-EIN-H
- GESTELLADR.

Tabelle 35 Signale des Ports 44H

Bit	Signalname	Bedeutung
0	IO-FKM-AF-H	Ausfallmeldung einer OgK- bzw. SpK-Stromversorgung. Über die Schnittstellenprüfung kann ermittelt werden, welche FKS vom Ausfall des Netzteils betroffen ist.
1	IO-FME-AF-H	Ausfallmeldung eines der beiden Netzteile, die bis zu je drei FME versorgen. Über die Schnittstellenprüfung kann ermittelt werden, welche FME-Baugruppen vom Ausfall des Netzteils betroffen sind.
2	IO-ANT-AF-H	nicht belegt, immer LOW (Reserve)
3	IO-FDS2-AF-H	Der Fehlerdetektor "FDS2-Netzteil-Ausfall" hat den Ausfall des Netzteils des Partner-Zentralgestells erkannt. Von diesem Netzteil wird auch der redundante PHE und FV versorgt. Ist an dem Netzteil der Partner FDS das nur einmal je Basisstation existierende PFG angeschlossen, ist auch dieses ausgefallen.
4	LASTRETWD-DKV-H	Mit diesem Signal wird angezeigt, daß der Watchdog zuletzt von der DKV retriggert wurde (HIGH-Pegel); LOW-Pegel zeigt an, daß der DKo zuletzt retriggert wurde.
5	INBETRIEB-L	Das Signal zeigt an, daß der Schalter auf der Zusatzplatine auf "Inbetriebnahme" gesetzt ist. Bei nicht gesteckter Zusatzplatine ist das Signal HIGH.
6	IO-WD-EIN-H	HIGH-Pegel: Watchdog auf der Zusatzplatine ist eingeschaltet oder die Zusatzplatine nicht gesteckt. LOW-Pegel: Watchdog auf der gesteckten Zusatzplatine ist ausgeschaltet.
7	GESTELLADR	Gestellnummer

### 3.3.2.6 Kommando-Port 1, Port 45H

Im Kommando-Port 1 werden die entsprechenden Betriebszustände der FDS gesetzt bzw. gelöscht.

Die hier erzeugten Steuersignale bewirken die Umschaltung der FDS in den erforderlichen Zustand. Gleichzeitig werden die Signale für die Betriebszustandslogik zur Anzeige des aktuellen Zustands gebildet.

Tabelle 36 Signale des Kommando-Ports 1

Bit	Signalname	Bedeutung
0	IO-AKT-PAS-H	<p>Betriebsmäßige FDS-Umschaltung auf "passiv"</p> <ul style="list-style-type: none"> <li>- Die eigene FDS geht in den passiven Zustand über, die Schnittstellen zur Peripherie werden gesperrt.</li> <li>- Die Partner-FDS geht in den aktiven Zustand über, die Schnittstellen zur Peripherie werden freigegeben.</li> </ul> <p>Die Voraussetzung für einen Übergang in den aktiven Zustand ist ein funktionsfähiger Zustand der FDS, d.h. sie befindet sich nicht im Zustand Fehlerbehandlung und ist nicht defekt.</p> <p>Die Anwendung dieses Signals ist nur in der aktiven FDS sinnvoll. Nach der durchgeführten Umschaltung wird das Signal wieder inaktiv geschaltet, damit die jetzt passive FDS im Bedarfsfall zur Umschaltung in den aktiven Zustand zur Verfügung steht.</p> <p>Der softwaremäßige Anteil am Ablauf der Aktiv-/Passiv-Umschaltung in der aktiv gewordenen FDS wird durch das Signal IO-IN-DKV2-H (Port 45H, Bit 7) aus der den Umschaltauflage abgegebenden FDS angestoßen.</p>
1	IO-SET-VEF-H Puls	<p>Die FDS geht in den Zustand "verfügbar" über. Die Anwendung dieses Signals setzt einen funktionsfähigen Hardware-Zustand voraus (FDS ist nicht defekt und nicht in Fehlerbehandlung).</p>
2	IO-SET-FEB-H Puls	<p>Das Signal bewirkt:</p> <ul style="list-style-type: none"> <li>- Die eigene FDS geht in den passiven Zustand über und als Folge davon werden die Schnittstellen zur Peripherie gesperrt.</li> <li>- Die eigene FDS geht in den Zustand "Fehlerbehandlung" und als Folge davon werden der Adreß-, Daten- und Steuerbus, die Tyleitungen EXE-TYP0...3, EXE-INTDKV-L, EXE-QUIDKV-L, EXE-DKvhac-L, EXE-DKvhRQ-L, EXA-TYP0...3, EXA-INTDKV-L, EXA-QUIDKV-L, EXA-DKvhac-L und EXA-DKvhRQ-L von bzw. zur Partner-FDS gesperrt.</li> </ul>

Fortsetzung Tabelle 36

Bit	Signalname	Bedeutung
		<ul style="list-style-type: none"> <li>- Die eigene FDS geht in den Zustand "nicht verfügbar".</li> <li>- Die Partner-FDS geht unter gewissen Voraussetzungen in den aktiven Zustand über, und als Folge davon wird ihre Schnittstelle zur Peripherie freigegeben.</li> </ul> <p>Die Voraussetzungen für einen Übergang in den aktiven Zustand sind:</p> <ul style="list-style-type: none"> <li>- Die FDS ist in einem funktionsfähigen Zustand, d.h. sie ist nicht im Zustand "Fehlerbehandlung" oder im Zustand "defekt".</li> <li>- Die FDS hat sich nicht selbst passiv geschaltet (Port 45H, Bit 1 = LOW).</li> </ul> <p>Die Anwendung dieses Signals ist nur bei Erkennung eines Fehlers durch die Software sinnvoll. Der softwaremäßige Anteil am Ablauf der Aktiv-/Passiv-Umschaltung der aktiven FDS wird durch das Signal IO-IN-DKV-H, (Port 45H, Bit 7) angestoßen.</p>
3	IO-SET-DEF-H Puls	Das Signal bewirkt den Übergang der FDS in den Zustand "defekt".
4	IO-CLR-VEF-H Puls	Mit diesem Signal wird der Zustand "verfügbar" gelöscht. Die FDS geht in den Zustand "nicht verfügbar" über. Die Software kann beim Erkennen eines Software-Fehlers den Zustand "verfügbar" mit diesem Signal zurücknehmen.
5	IO-CLR-FEB-H Puls	Damit wird der Zustand "Fehlerbehandlung" rückgesetzt, die FDS verlässt diesen Zustand.
		<p>Die Anwendung dieses Signals ist dann sinnvoll, wenn die im Zustand "Fehlerbehandlung" durchgeführte Anlaufprüfung positiv beendet wurde. Die FDS ist dann hardwaremäßig voll funktionsfähig und kann in den aktiven Zustand übergehen. Liegt der zum Reset und damit zum Zustand "Fehlerbehandlung" führende Fehler trotz positiver Anlaufprüfung immer noch an, so führt das Signal IO-CLR-FEB-H zu einem neuen Reset unter Beibehaltung des Zustands "Fehlerbehandlung".</p>
6	IO-CLR-DEF-H Puls	Dieses Signal bewirkt das Löschen des gesetzten Zustands DEFEKT. Dieses Bit darf von der Software nicht bedient werden. Eine defekte FDS kann nur durch Betätigen der Taste DAUERTEST oder MANUELLER ANLAUF aus dem defekten Zustand geholt werden.
7	IO-IN-DKV-H Puls	<p>Dieses Signal bewirkt ein Restart-Interrupt der Partner-CPU über den Eingang RST 7,5. Wenn noch kein Interrupt-Signal im Interrupt-Register der Partner-DKV markiert ist.</p> <p>Das Signal wird im Interrupt- und Fehlerregister der Partner-DKV markiert.</p>

Das Bit 0 wird in einem Flipflop gespeichert, die Bits 1...7 sind nicht gepuffert und stehen nur während der Impulsdauer zur Verfügung.

### 3.3.2.7 Kommando-Port 2, Port 46H

Im Kommando-Port 2 werden beim Anlegen der Adresse 46H die Signale zum Setzen bzw. Rücksetzen der Register und zum Steuern der Leuchtanzeigen erzeugt.

Tabelle 37 Signale des Kommando-Ports 2

Bit	Signalname	Bedeutung
0	IO-RES-RESREG-H Puls	Mit diesem Signal wird das Rücksetzregister gelöscht, falls der Fehler, der zum Rücksetzen geführt hat nicht mehr anliegt. Das Rücksetzregister wird zyklisch rückgesetzt und ausgelesen. Damit kann der Zeitpunkt ermittelt werden, zu dem der zum Rücksetzen in eigener DKV führende Fehler nicht mehr anliegt.
1	IO-RES-INTREG-H Puls	Mit diesem Signal wird das Interrupt-Register gelöscht, auch wenn der Fehler in der Partner-DKV, der zum Interrupt der eigenen DKV führte, noch anliegt.  Solange im Interrupt-Register ein Interrupt angezeigt ist, sind weitere Interrupt-Signale gesperrt. Mit der Löschung des Interrupt-Registers wird also der Interrupt-Eingang wieder freigegeben. Das Interrupt-Register sollte deswegen nach Erkennen des Interrupts gelöscht werden, damit weitere Interrupt-Signale wirksam werden können. Das Register wird im Gegensatz zum Fehlerregister gelöscht, wenn die Interrupt-Quelle noch aktiv ist.
2	IO-RES-FREG-H Puls	Dieses Signal bewirkt das Rücksetzen des Fehlerregisters, falls der zum Interrupt fühlende Fehler nicht mehr anliegt.  Durch zyklisches Rücksetzen und Auslesen des Fehlerregisters kann der Zeitpunkt ermittelt werden, an dem der Fehler, der zu einem Interrupt führte, nicht mehr anliegt.
3	IO-SET-FSET-H Puls	Mit diesem Signal wird die Fehleranzeige AUSFALL DES SETZSIGNALS im Fehlerregister gesetzt.  Diese Fehleranzeige wird von der Software zum Erkennen des ersten Setzsignals nach der Zeitgeberprogrammierung benutzt.  Nach der Zeitgeberprogrammierung wird diese Fehleranzeige gesetzt, danach wird zyklisch versucht sie zu löschen. Nach dem Eintreffen der ersten Setzsignale ist der Löschversuch erfolgreich und damit das Setzen erfaßt.

### Fortsetzung Tabelle 37

Bit	Signalname	Bedeutung
4	IO-SET-RES-H Puls	Das von der Software erzeugte Signal führt zum direkten DKV- und DKo-CPU Rücksetzen der eigenen FDS. Damit wird der Zustand FEHLERBEHANDLUNG gesetzt (sofern er noch nicht gesetzt ist) und dadurch die Bustreiber zur Partner-FDS und Peripherie gesperrt.
5	IO-RESERVE-H	Reserve
6	IO-LP1-EIN-H	Einschalten der Anzeige LED H306 durch die Software.
7	IO-LP2-EIN-H	Einschalten der Anzeige LED H307 durch die Software.

#### 3.3.2.8 Adreßdecoder

Der Adreßdecoder erzeugt aus den Adreßbits DKV-A8...15 des DKV-Adreßbusses alle in der Baugruppe Sicherheitstechnik benötigten Chip-Select-Signale für die Port-Freigabe.

Die zu decodierenden Adreßbereiche sind:

- 40H...46H für ST-Port-Freigabe
- D0H...D5H, E0...EF für BS-Uhr-Freigabe
- DFH für Testzwecke.

Der Adreßbereich D6H...DF wird nicht benutzt.

Parallel dazu wird bei jedem dieser Chip-Select-Signale das Signal ST-DB-EN-L gebildet, das in Verbindung mit dem Steuersignal ST-DKV-ADE-L den DKV-Datenbus für die Sicherheitstechnik freigibt.

#### 3.3.2.9 Uhr für Basisstation

Für verkehrsstatistische Zwecke, zum Ermitteln von Ausfallzeiten und zur zeitlichen Zuordnung der Basisstation im Synchronnetz (ringförmige Synchronisierung der PHE auf Bezugs-Basisstation) ist in der FDS ein CMOS-Uhrenbaustein MM58167A eingebaut. Diese Uhr wird von der Software eingestellt.

Um auch nach Spannungsausfällen möglichst schnell wieder mit einer aktuellen Uhrzeit operieren zu können, wird beim Anlauf die Uhrzeit ähnlich wie die Tarifdaten von der MSC angefordert.

Das Interrupt-Signal DKV-UHRINT-L wird vom DKV-Prozessor für seine ST-Software benötigt. Der Interrupt wird programmiert und kann von zehn Interrupts je Sekunde bis auf einen Interrupt je Monat eingestellt werden.

Bei Zugriff auf den Uhrenbaustein ist es erforderlich vier Wartezyklen zu erzeugen.

Dazu wird im Wartegenerator das Signal DKV-READY-H durch ein Verknüpfen des Freigabesignals der Uhr CS-DE-UHR-L mit DKV-CLK, ST-DKV-RD-L, ST-DKV-WR-L und DKV-ADE-L gebildet.

Das Einstellen und Auslesen der Uhr wird über die Adressen E0H...7H vorgenommen.

- E0H, Bit0...7 Zähler:  $10^{-4}$ s
- E1H, Bit0...7 Zähler:  $10^{-2}$ s und  $10^{-1}$ s
- E2H, Bit0...7 Zähler: Sekunden
- E3H, Bit0...7 Zähler: Minuten
- E4H, Bit0...7 Zähler: Stunden
- E5H, Bit0...7 Zähler: Wochentag
- E6H, Bit0...7 Zähler: Monatstag

Mit den Adressen E8H...EFH wird die Uhrzeit für den Interrupt angegeben oder der RAM adressiert:

- E8H, Bit0...7 RAM:  $10^{-4}$ s
- E9H, Bit0...7 RAM:  $10^{-2}$ s und  $10^{-1}$ s
- EAH, Bit0...7 RAM: Sekunden
- EBH, Bit0...7 RAM: Minuten
- ECH, Bit0...7 RAM: Stunden
- EDH, Bit0...7 RAM: Wochentag
- EEH, Bit0...7 RAM: Monatstag
- EFH, Bit0...7 RAM: Monat

Über die Adressen D0H...D6H werden die benötigten Interrupt- und Rücksetzsignale erzeugt:

- D0H, Bit0...7 Lesen der Bedingung, die zum Interrupt geführt hat
- D1H, Bit0...7 Freigabe der Interrupt-Signale
- D2H, Bit0...7 einzelnes Rücksetzen der Zähler
- D3H, Bit0...7 einzelnes Rücksetzen der RAM-Zellen E8H...EFH
- D4H, Bit0 Lesen des Zustandsbits der Basisstation-Uhr
- D5H, beliebig Rücksetzen der Zähler, die schneller sind als der Minutenzähler und Aufrunden des Minutenzählers nach dem alten Sekundenstand.

### 3.3.2.10 Bedienungselemente

Bild 33 zeigt die Elemente auf der Frontblende der Baugruppe Sicherheit FDS.

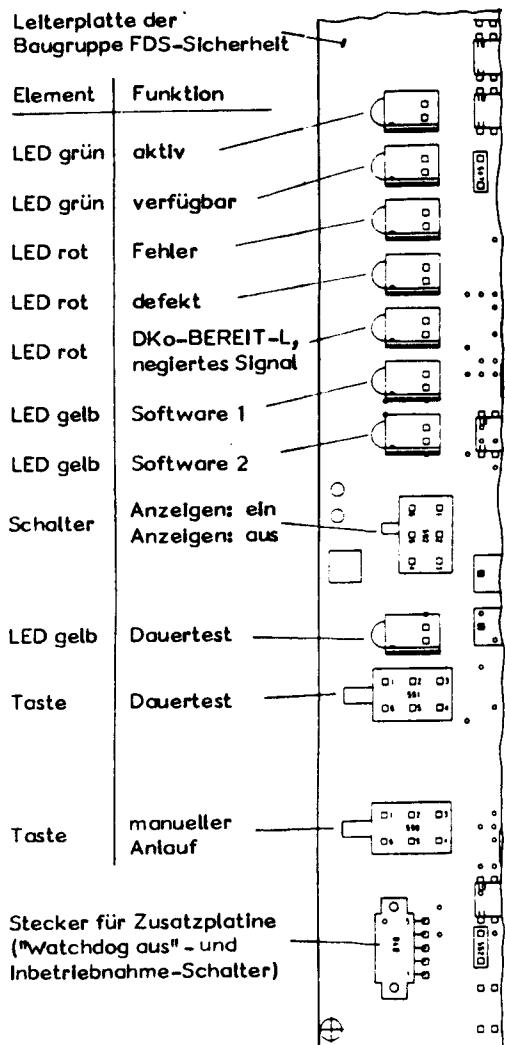


Bild 33 Bedienungselemente der Baugruppe Sicherheit FDS

Die beiden gelben Leuchtdioden (Software 1 und Software 2) sind direkt an einen Rechnerport angeschlossen und können von der Software bedient und definiert werden.

Die Leuchtdioden können gemeinsam mit Hilfe eines Schalters abgeschaltet werden.

**Beachten:** Die Bedienungselemente dürfen nicht bei Basisstation-Betrieb betätigt werden.

## 4 Aufbau

### 4.1 Bestückung

Bild 34 zeigt die Einbauplätze der Baugruppen in der Funkdatensteuerung. Die Rückwandstecker für die DKo- und DVK-Testplatten haben die gleiche Belegung wie die Prozessorplatten; sie können für Test- oder Erweiterungszwecke benutzt werden.

Die Unterscheidung der beiden Baugruppen Schnittstelle FKS geschieht durch einen Decodierstift in der Rückwand.

⑨	frei	①	Schnittstelle-FKS 024-H186	②	frei	③	DKo-Zeitgeber 024-H188	○	④	DKo-Prozessor 024-H179	⑤	frei	⑥	frei	⑦	Schnittstelle-ZZK 024-H187	⑧	Schnittstelle-FKS 024-H186
⑩	FDS-Sicherheitstechnik 024-H261	⑪	frei	⑫	DKV-Prozessor 024-H180	⑬	frei	○	⑭	DKV-Speicher 2 024-H182	⑮	DKV-Speicher 1 024-H181	⑯	Aktivdatei 024-H183	○			
⑯		○		○		○		○										

Bild 34 Einsatzbestückung der Funkdatensteuerung

## **4.2 Technologie und Bauelemente**

Für die Baugruppen der FDS werden Bauelemente in NMOS, CMOS und TTL-MSI-Technologie eingesetzt.

### **DKo-Prozessor**

Mikroprozessor .....	8085A NMOS
Interrupt-Steuerung .....	PIC 8259
statischer RAM .....	HM6116
EPROM .....	MD2764
3-State-Bustreiber .....	LS244, 365
Bidirekt. Bustreiber .....	LS245
3-State-Latch .....	LS373,374

### **DKo-Zeitgeber**

Serielle Ein-/Ausgabe .....	USART ST2661
Zeitgeber .....	MD8254
3-State-Bustreiber .....	LS244, 365
Bidirekt. Bustreiber .....	LS245

### **Schnittstelle ZZK**

Serielle Ein-/Ausgabe .....	LS299
statischer RAM 2Kx8 .....	HM6116
Multiplexer .....	LS193
3-State-Latch .....	LS373
3-State-Bustreiber .....	LS244
Bidirekt. Bustreiber .....	LS245
symm. Kabeltreiber .....	ALS1631
symm. Kabelempfänger .....	LS75173

### **Schnittstelle FKS**

3-State-Latch .....	LS373
EPROM 2Kx8 .....	MC2716
Multiplexer .....	LS251
symm. Kabelempfänger .....	LS75173
symm. Kabeltreiber .....	ALS1631

### **DKV-Prozessor**

Mikroprozessor .....	8085A NMOS
DMA-Steuerung .....	DMA8237

Interrupt-Steuerung .....	PIC8258
Zeitgeber .....	MD8254
I/O-Baustein .....	PIO8255
3-State-Bustreiber .....	LS244, 365
Bidirekt. Bustreiber .....	LS245
3-State-Latch .....	LS373

### **DKV-Speicher 1**

EPROM 16Kx8 .....	MD27128
EPROM 8Kx8 .....	MD2764
statischer RAM 2Kx8 .....	HM6116
3-State-Bustreiber .....	LS244
Bidirekt. Bustreiber .....	LS245
Speicherdecoder .....	LS139

### **DKV-Speicher 2**

EPROM 16Kx8 .....	MD27128
Speicherdecoder .....	LS139
3-State-Bustreiber .....	LS244
Bidirekt. Bustreiber .....	LS245

### **Aktivdatei**

statischer RAM 2Kx8 .....	HM6116
NV-RAM (Variante B 2) 8-bit-Vergleicher .....	LS688
3 zu 8-bit-Decoder .....	LS138
4-bit-Synchronzähler .....	LS161A
3-State-Bustreiber .....	LS244
Bidirekt. Bustreiber .....	LS245

### **Sicherheit FDS**

Speicher-Decoder .....	LS138
Uhr .....	MD58167
D-Flipflop .....	LS74A
3-State-Bustreiber .....	LS244
Bidirekt. Bustreiber .....	LS245

## 5 Technische Daten

Betriebsspannung ..... 5,0 V ±5%

	Stromaufnahme [A] typisch	Stromaufnahme [A] max.	Leistungsaufnahme [W] typisch	Leistungsaufnahme [W] max.
DKo-Prozessor .....	1,0	2,1	5,0	10,5
DKo-Zeitgeber .....	0,7	1,1	3,5	5,5
Schnittstelle ZZK .....	1,0	2,3	5,0	11,5
Schnittstelle FKS .....	0,9	1,7	4,5	8,5
DKV-Prozessor .....	1,3	2,6	6,5	13,0
DKV-Speicher 1 .....	0,4	1,1	2,0	5,5
DKV-Speicher 2 .....	0,9	1,7	4,5	8,5
Aktivdatei .....	0,9	1,3	4,5	6,5
Sicherheit FDS .....	0,7	2,0	3,5	10,0
Gesamtverlustleistung (FDS voll bestückt) .....	8,7	17,6	43,5	88

## 6 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm (B x H x T)	Gewicht in kg
Funkdatensteuerung FDS ..	S42023-H72-B5, -B6	243x500x235	7,5
zugehörige Baugruppen:			
DKo-Prozessor .....	S42024-H179-C1	210x160x15	
DKo-Zeitgeber .....	S42024-H188-C1	210x160x15	
Schnittstelle ZZK .....	S42024-H187-D1	210x160x15	
Schnittstelle FKS .....	S42024-H186-C1	210x160x15	
DKV-Prozessor .....	S42024-H180-D1	210x160x15	
DKV-Speicher 1 .....	S42024-H181-C1	210x160x15	
DKV-Speicher 2 .....	S42024-H182-C1	210x160x15	
Aktivdatei .....	S42024-H183-E3, -E4	210x160x15	
Sicherheit FDS .....	S42024-H261-E1	210x160x20	

## 7 Abkürzungen

BS	Basisstation
CPU	Central Processing Unit
CS	Chip-Select-Signal
DMA	Direct Memory Access
DKo	Datenkonzentrator
DKV	Datenkanalverwaltung
FDS	Funkdatensteuerung
FEB	Fehlerbehandlung
FKS	Funkkanalsteuerung
FME	Funkmeßempfänger
FV	Frequenzverteiler
FWZ	Fernwirkzentrum
HW	Hardware
INT	Interrupt
MSC	Mobile Switching Center
OgK	Organisationskanal
OSK	umschaltbarer Organisations-/Sprechkanal
PBR	Prüf-/Bedienrechner
PBT	Prüf-/Bedienterminal
PFG	Prüffunkgerät
PIC	Programmable Interrupt Controller
PIO	Physical Input/Output
QSET	Basisstation-internes Synchronisationssignal
RD	Read
RWZ	Regionales Wartungszentrum
SAE	Signalanpaßeinheit
SpK	Sprechkanal
ST	Sicherheitstechnik
SW	Software
Tln	Teilnehmer
WR	Write
ZG	Zentralgestell
ZZK	Zentraler Zeichengabekanal

**Signalanpaßeinheit (SAE)****S42023-H76-B1****Inhalt**

	Seite
1      Übersicht .....	3
1.1    Signalanpaßeinheit (SAE) im Gesamtsystem Netz C 450 .....	3
1.2    Eingliederung in die Basisstation .....	4
2      Schnittstellen .....	7
2.1    Externe Schnittstellen .....	7
2.1.1   Schnittstelle zu den Funkdatensteuerungen .....	7
2.1.2   Schnittstelle zum zentralen Zeichengabekanal .....	9
2.2    Interne Schnittstellen .....	10
2.2.1   DIRC ↔ SILT .....	10
2.2.2   SILT ↔ SIT .....	12
2.2.3   Schnittstelle zur Stromversorgung (DCCCR) .....	12
3      Hardware Signalanpaßeinheit (SAE) .....	13
3.1    DIRC S30810-Q777-X Schnittstelle für Funkdatensteuerung ...	13
3.1.1   CPU .....	14
3.1.2   Taktzeugung .....	14
3.1.3   PPI .....	17
3.1.4   Speicher .....	20
3.1.5   DUPO-Anforderungslogik .....	21

Herausgegeben von Bereich  
Öffentliche Vermittlungssysteme  
Hofmannstraße 51, D-8000 München 70

3.1.6	Serielle Schnittstellen .....	21
3.2	SILT S308010-Q767-X Endeinrichtung für den zentralen Zeichengabekanal .....	23
3.2.1	CPU .....	29
3.2.2	Bitorientierte Datenübertragungsprozedur HDLC .....	30
3.2.3	Interrupt-Steuerung .....	43
3.2.4	DMA-Steuerung (DMAC) .....	46
3.2.5	Programmierbarer Zeitgeber (PIT) .....	52
3.2.6	Watchdog .....	54
3.2.7	Speicher .....	54
3.3	SIT S22581-C52-A1 Signalisierungsumsetzer .....	57
3.3.1	Empfangen .....	58
3.3.2	Senden .....	64
3.3.3	Prüfeinrichtung .....	66
3.4	Stromversorgung (DCCCR) S30050-Q5619-R .....	67
4	Aufbau .....	68
4.1	Bestückung .....	68
4.2	Blende der Baugruppe DIRC .....	68
4.3	Blende der Baugruppe SILT .....	69
4.4	Blende der Baugruppe SIT .....	69
5	Technische Daten .....	70
6	Geräteübersicht .....	72
7	Abkürzungen .....	73

## 1 Übersicht

### 1.1 Signalanpaßeinheit (SAE) im Gesamtsystem Netz C 450

Die Signalanpaßeinheit (SAE) stellt die Verbindung zwischen der Basisstation (BS) und der Funkvermittlungsstelle (MSC) her.

Im Netz C 450 werden nur Signalisierungen zwischen Basisstation und CCNC der Funkvermittlungsstelle ausgetauscht.

Die Signalanpaßeinheit übernimmt Funktionen des CCITT-Zeichengabe-Systems-Nr. 7 (ZZK-Nr. 7).

Dieses Zeichengabesystem gliedert sich in:

Ebene 1 ..... Physikalische Ebene

Ebene 2 ..... Sichern der Übertragung zwischen zwei Enden eines Zeichengabekanals

Ebene 3 ..... Funktionen für Verkehrsleitung, Ersatzschaltung im Fehlerfall und Anlauf

Ebene 4 ..... Anwenderfunktionen, Testfunktionen

Ebene 1 bis Ebene 3 bilden den Meldungs-Übertragungs-Teil (Message-Transfer-Part, MTP).

Dieser Meldungs-Übertragungs-Teil wird im Netz C 450 für die Übertragung zwischen Basisstation und Funkvermittlungsstelle verwendet.

Die Signalanpaßeinheit im Basisstation vereint die Funktionen der Ebene 1 und Ebene 2 durch ihre Baugruppen SIT und SILT.

Die Ebene-3-Funktionen werden von der Baugruppe Datenkonzentrator (DKo) in der Funkdatensteuerung (FDS) ausgeführt. Im Basisstation wird nur ein Teil der CCITT-spezifischen Ebene-3-Funktionen benötigt.

Zwischen der Ebene 2 und der Ebene 3 muß im Basisstation eine Nachrichtenformat-Anpassung stattfinden. Diese Aufgabe übernimmt die Baugruppe DIRC der Signalanpaßeinheit.

Die Ebene-4-Funktion führt die Baugruppe DKV in der Funkdatensteuerung aus. Im Zeichengabesystems Nr. 7 wird die Ebene 4 als Mobile User Part (MUP) definiert und in den Meldungen gekennzeichnet.

## **1.2 Eingliederung in die Basisstation**

Die Signalanpaßeinheit (SAE) hat die Aufgabe, eine gesicherte Datenübertragung zwischen der Funkvermittlungsstelle und der Basisstation über einen zentralen Zeichengabekanal (ZZK) durchzuführen (siehe Bild 1).

Das Signalisierungsschema dieser Übertragung entspricht der CCITT-Empfehlung Nr. 7 für zentrale Zeichengabekanäle.

Die Signalanpaßeinheit ist ein Einsatz des Basisstations. Die SAE ist doppelt vorhanden und versorgt jeweils eine Hälfte der Schnittstelle ZZK in der Funkdatensteuerung (FDS).

Beide Signalanpaßeinheiten senden parallel an beide Funkdatensteuerungen. So kann bei Ausfall eines Kanals noch mit halber Übertragungskapazität weitergearbeitet werden.

Die Funkdatensteuerung ist in der Lage zur Nachrichtenübertragung eine der beiden Signalanpaßeinheiten zu adressieren.

Die Signalanpaßeinheit besteht aus vier Baugruppen (siehe Bild 2):

- **SIT (Signalling Link Transceiver)**  
Signalisierungsumsetzer

Die Baugruppe SIT ist ein 4,8-kbit/s-Modem. Es versorgt die analoge Schnittstelle zum zentralen Zeichengabekanal, in dem Nachrichten von der Funkdatensteuerung zur Funkvermittlungsstelle gesendet und Nachrichten von der Funkvermittlungsstelle zum Basisstation empfangen werden.

- **SILT (Signalling Link Terminal)**  
Endeinrichtung für den zentralen Zeichengabekanal

Die Baugruppe SILT übernimmt alle Ebene-2-Funktionen des Zeichengabesystems Nr. 7.

Die Baugruppe SILT empfängt und sendet über die Baugruppe DIRC Nachrichten von und zur Funkdatensteuerung und tauscht serielle Nachrichten mit dem SIT aus.

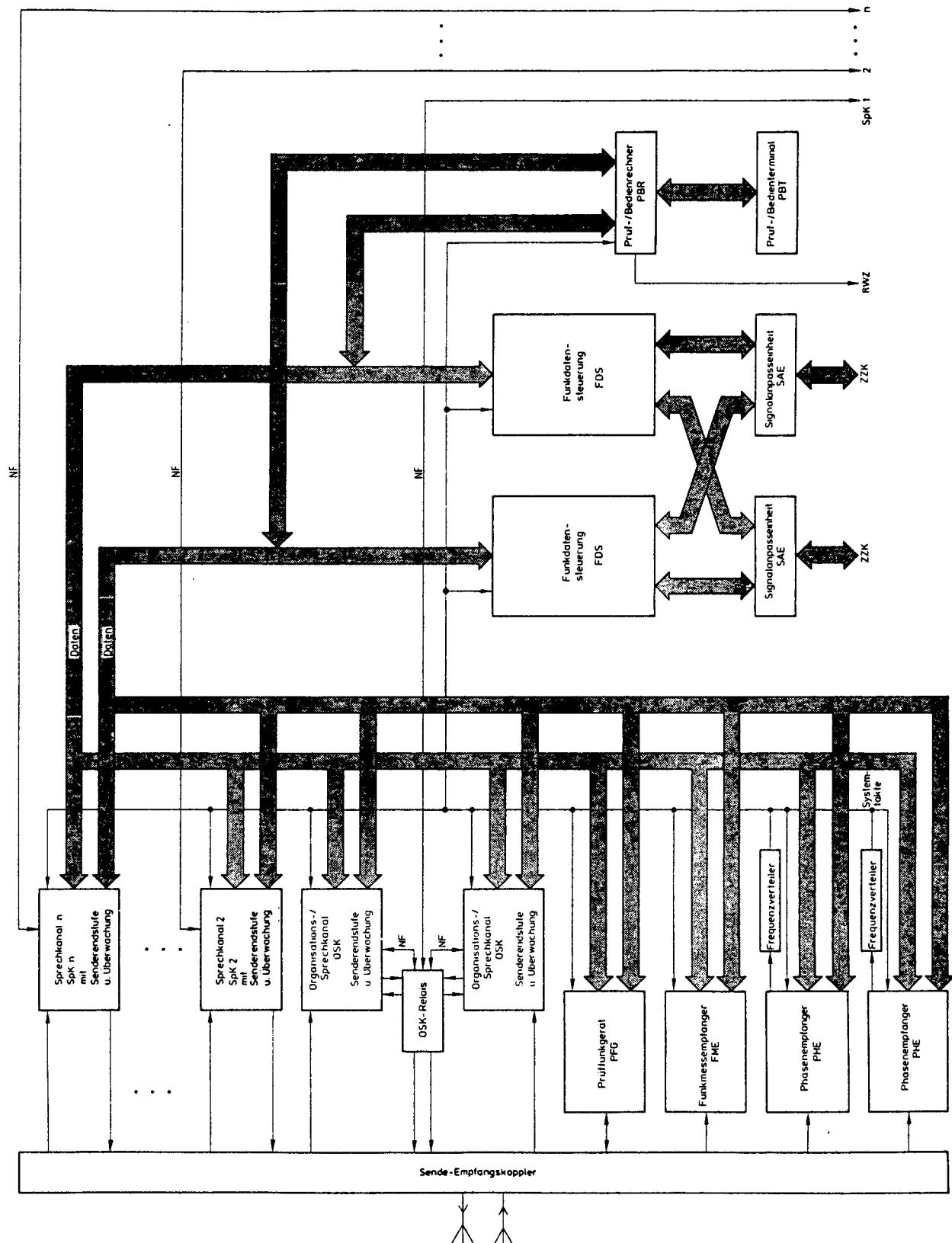


Bild 1 Übersichtsschaltplan einer Basisstation

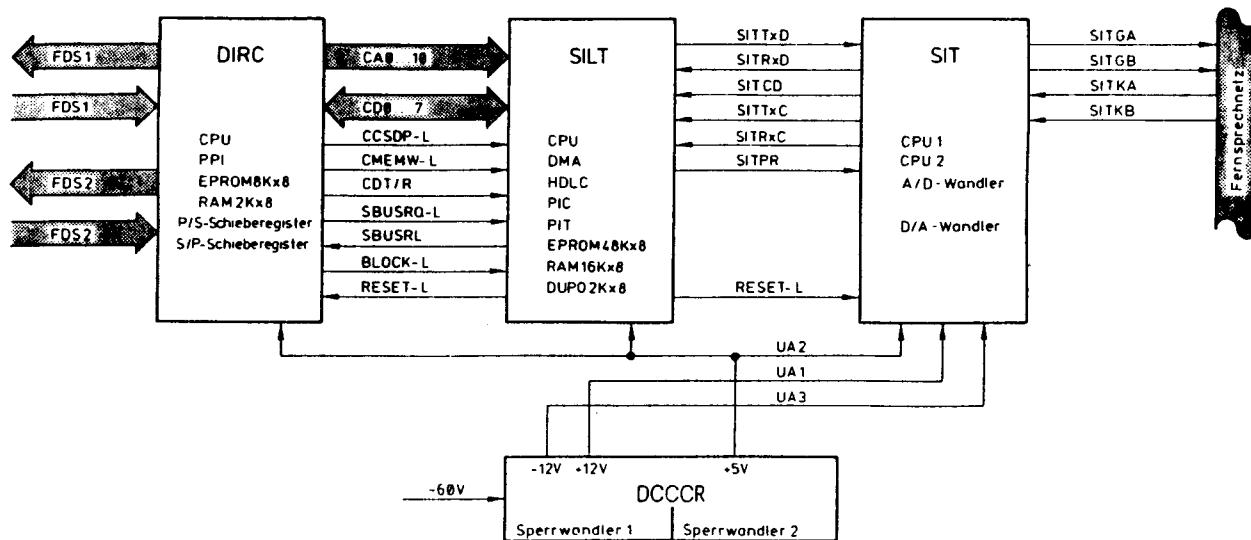


Bild 2 Übersichtsschaltplan Signalanpaßeinheit

- **DIRC (Digital Interface for Radio Control)**  
Schnittstelle für Funkdatensteuerung

Die DIRC ist die logische und physikalische Schnittstelle zwischen der Funkdatensteuerung und der Baugruppe SILT, d.h., zwischen der Ebene 2 und 3 des Zeichengabesystems.

Hier findet eine Anpassung der unterschiedlichen Hardware-Schnittstellen (SILT und FDS) sowie eine Anpassung der unterschiedlichen Nachrichtenformate von Funkdatensteuerung und SILT statt.

- **Stromversorgung (DCCCR)**

Die Stromversorgung (DCCCR) versorgt alle Baugruppen der Signalanpaßeinheit mit den Betriebsspannungen +12 V/-12 V und + 5 V. Sie besteht aus zwei Gleichspannungswandlern, die mit der 60-V-Spannung der Amtsbatteie arbeiten.

## 2 Schnittstellen

### 2.1 Externe Schnittstellen

#### 2.1.1 Schnittstelle zu den Funkdatensteuerungen

Der Datentransfer zwischen der Schnittstelle für Funkdatensteuerung (DIRC) und den Funkdatensteuerungen geschieht über serielle Schnittstellen.

Die Signalisierung zu den Funkdatensteuerungen wird grundsätzlich über beide Signalanpaßeinheiten vorgenommen, um bei Ausfall eines Kanals noch mit halber Übertragungskapazität weiterarbeiten zu können. Die Funkdatensteuerungen können die Signalanpaßeinheiten einzeln adressieren.

Die Leitungen von den Signalanpaßeinheiten sind an die Baugruppen Schnittstelle ZZK (S42024-H187-....) in den Funkdatensteuerungen geführt.

Jede Hälfte der Baugruppe Schnittstelle ZZK ist einer Signalanpaßeinheit fest zugeordnet (siehe Bild 3).

Für Daten- und Steuerleitungen sind symmetrische Leitungstreiber bzw. Empfänger eingesetzt (RS-422).

Bei Spannungsausfall, FDS-Einfachbestückung oder Unterbrechung der Adern werden die Signale am Empfänger der Signalanpaßeinheit als HIGH interpretiert.

Signale an der Schnittstelle:

x = SAE-Nummer      P = positive Ader  
y = FDS-Nummer      N = negative Ader

Signalname		Quelle	Ziel	Bedeutung
FDS	SAE			
EXE-Dx-DSxFyP/N	DSxFyP/N	SAE	FDS	Daten
EXE-Dx-CySxP/N	CxSXP/N	SAE	FDS	Takt zur seriellen Übertragung
EXE-Dx-RDySxP/N	RDxSXP/N	SAE	FDS	Lesesignal für Datenrichtung SAE → FDS
EXE-Dx-WRySxP/N	WRxSXP/N	SAE	FDS	Schreibsignal für Datenrichtung FDS → SAE
EXA-Dx-DFySxP/N	DFxSXP/N	FDS	SAE	Daten
EXA-Dx-SBySxP/N	SBxSXP/N	FDS	SAE	SEBER (sendebereit) aktiv: die SAE darf einen Block aus dem FDS-Pufferspeicher lesen EMBER: (empfangsbereit)
EXA-Dx-EBySxP/N	EBxSXP/N	FDS	SAE	aktiv: die SAE darf einen Block in den FDS-Pufferspeicher einschreiben

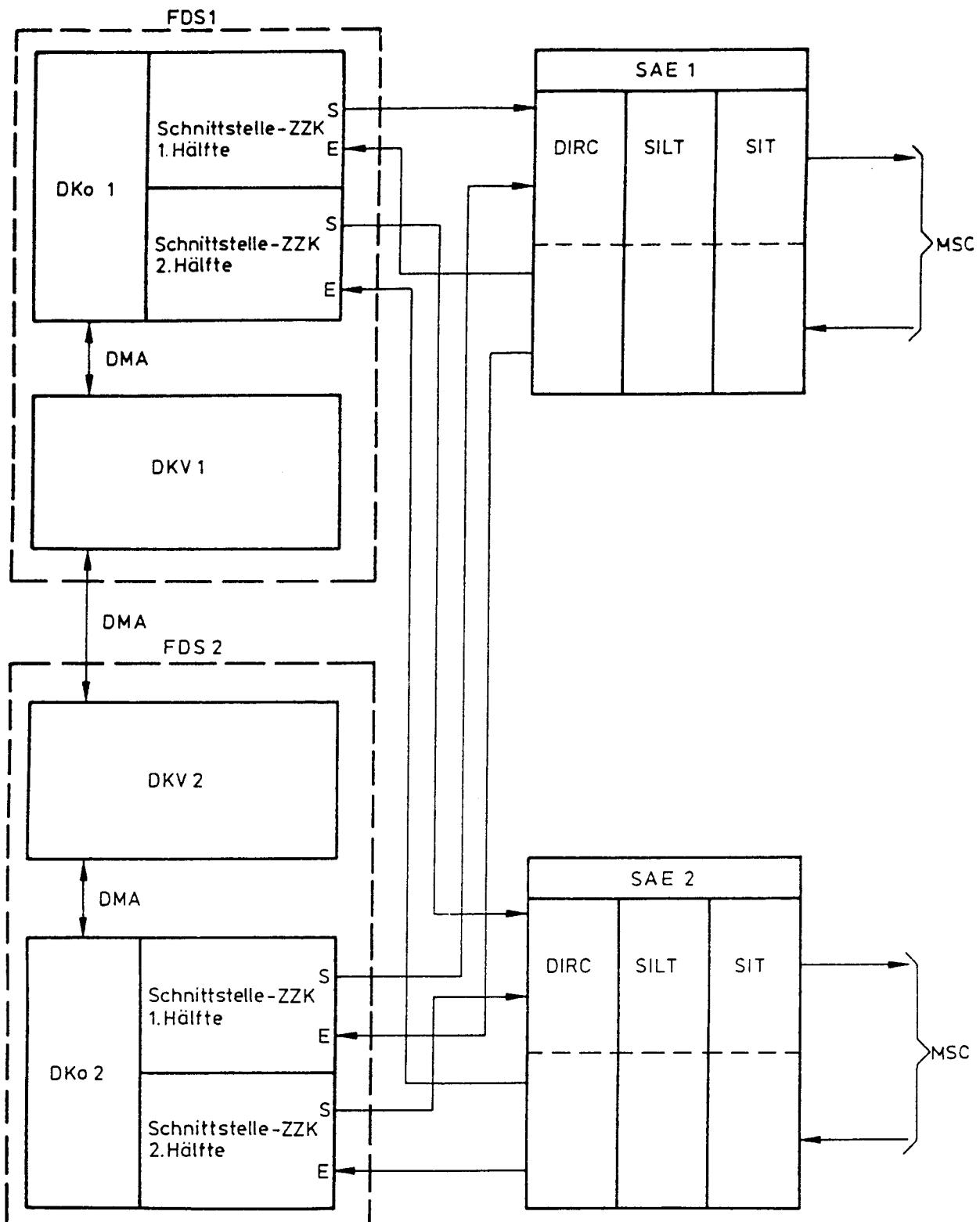


Bild 3 Schnittstelle zu den Funkdatensteuerungen

### **2.1.2 Schnittstelle zum zentralen Zeichengabekanal**

Diese Schnittstelle stellt über das Fernsprechnetz die Verbindung zur Funkvermittlungsstelle (MSC) her. Die Daten werden im Synchronbetrieb über festgeschaltete 4-Draht-Fernsprechleitungen mit einer Datenrate von 4,8 kbit/s übertragen.

Signalname	Quelle	Ziel	Bedeutung
SITGA	SIT	MSC	Sendesignal (abgehend)
SITGB			<ul style="list-style-type: none"><li>- Eingangswiderstand 600 Ω im Frequenzbereich 300 Hz bis 3400 Hz</li><li>- Rückflußdämpfung &gt; 14 dB (bei Stromversorgungsausfall &gt; 6 dB)</li><li>- Unsymmetriedämpfung &gt; 65 dB</li><li>- Pegel 0 dBm bis -31 dBm</li></ul>
SITKA	MSC	SIT	Empfangssignal (ankommend)
SITKB			<ul style="list-style-type: none"><li>- Elektrische Daten wie SITGA und SITGB</li><li>- Pegel 0 dBm bis -43 dBm</li></ul>

## 2.2 Interne Schnittstellen

### 2.2.1 DIRC ↔ SILT

Über diese Schnittstelle wird die Verbindung der DIRC mit dem Dual-Port-Speicher (DUPO) der SILT hergestellt. Im Dual-Port-Speicher (RAM 2Kx8) werden die Daten von bzw. zur Funkdatensteuerung übergeben.

Die DIRC stellt mit SBUSRQ eine Anforderung auf DUPO-Speicherzugriff an die SILT und erhält mit SBUSRL = HIGH die Zuteilung. Damit werden Adreß-, Steuer- und Datenbus für die Datenübertragung zwischen SILT und DIRC freigegeben. Mit BLOCK-L ist die DIRC in der Lage, die Rückgabe des Dual-Port-Speichers an die SILT zu verhindern.

Mit CCSDP (WR oder RD der CPU) erscheinen die Daten aus dem Dual-Port-Speicher auf dem DIRC-Datenbus.

Signalname	Quelle	Ziel	Bedeutung
CA0 bis 10	DIRC	SILT	Adreßbus
CD0 bis 7			bidirektonaler Datenbus
CCSDP-L	DIRC	SILT	Freigabe DUPO-Datenbus SILT → DIRC
CMEMW-L	DIRC	SILT	Schreiben Dual-Port-Speicher
CDT/R	DIRC	SILT	Signalrichtung auf Datenbus
SBUSRQ-L	DIRC	SILT	Anforderung auf DUPO-Speicherzugriff
SBUSRL	SILT	DIRC	Buszuteilung
BLOCK-L	DIRC	SILT	Sperren Busrückgabe
RESET-L	SILT	DIRC	Rücksetzen DIRC

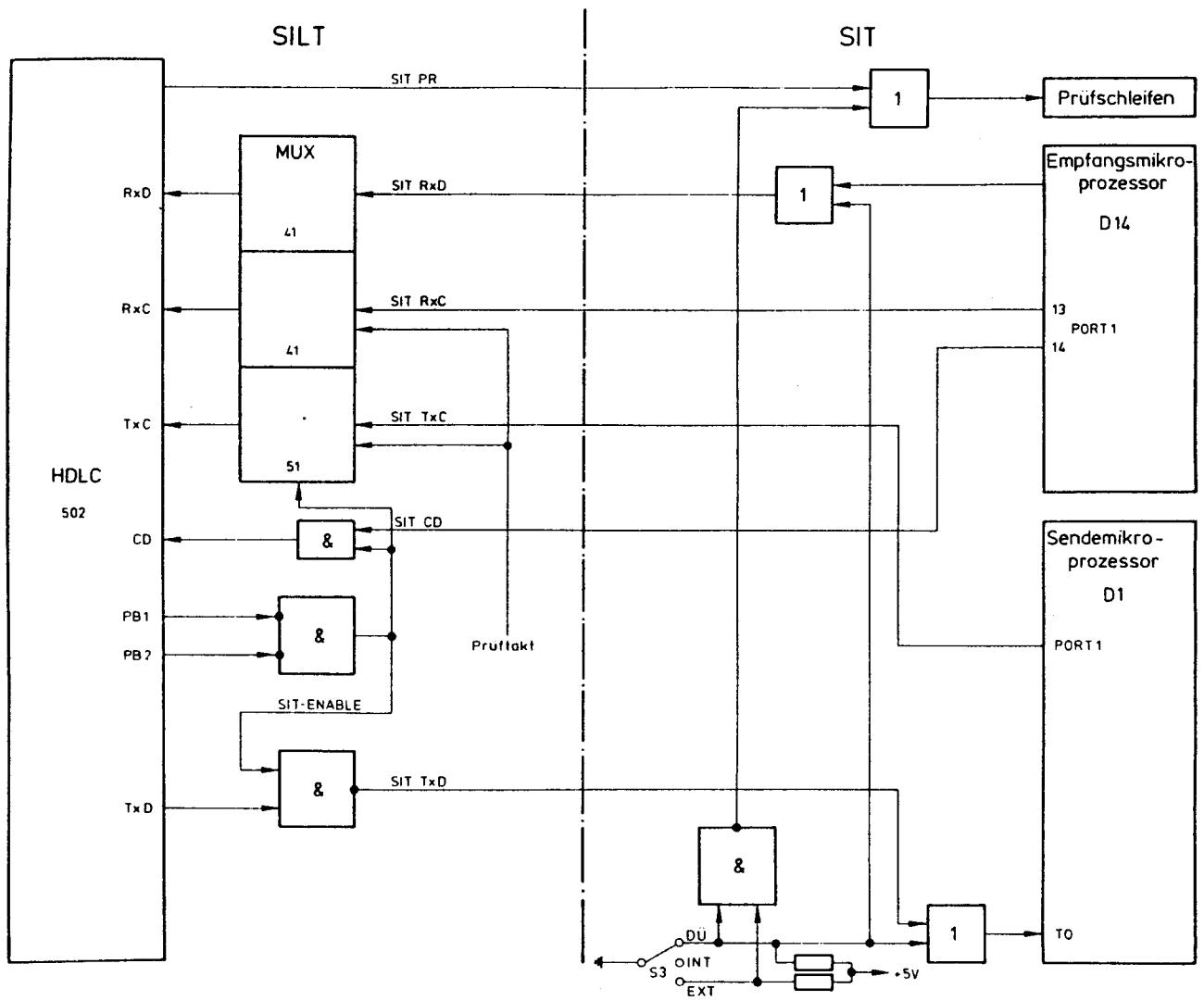


Bild 4 Schnittstelle SILT ↔ SIT

## 2.2.2 SILT ↔ SIT

Die Schnittstelle ist für eine synchron-serielle Datenübertragung mit 4,8 kbit/s ausgeführt.

Sie wird direkt vom HDLC-Controller der SILT angesteuert. Für die Zusammenarbeit der SILT mit dem SIT sind die Ausgänge PB1 und PB2 des HDLC-Controllers mit log. 0 programmiert.

Signalname		Quelle	Ziel	Bedeutung
SILT	SIT			
SITTXD	TXD	SILT	SIT	Sendedaten
SITRXD	RXD	SIT	SILT	Empfangsdaten, ist CD = HIGH (AUS-Zustand) wird RXD auf log. 1 gehalten
SITCD	CD	SIT	SILT	Empfangspegel, SILT erhält die Meldung, ob auf der Empfangsleitung ein Pegel vorhanden ist. Ansprechschwelle: ->43 dBm von AUS nach EIN <-48 dBm von EIN nach AUS
SITTXC	TXC	SIT	SILT	Sendetakt für HDLC-Controller 4,8 kHz
SITRXC	RXC	SIT	SILT	Empfangstakt für HDLC-Controller 4,8 kHz
SITPR	PR	SILT	SIT	Einschalten nahe Prüfschleife (Loop 3)
RESET-L	RES	SILT	SIT	Rücksetzen SIT

## 2.2.3 Schnittstelle zur Stromversorgung (DCCCR)

Die Stromversorgung liefert die Betriebsspannungen +12 V/-12 V und +5 V/-5 V. Die Spannung -5 V ist nicht an die Baugruppen der Signalanpaßeinheit geführt.

### **3 Hardware Signalanpaßeinheit (SAE)**

#### **3.1 DIRC S30810-Q777-X Schnittstelle für Funkdatensteuerung**

Die Baugruppe DIRC (Data Interface for Radio Control, siehe Bild 6) bildet die Schnittstelle zu den Funkdatensteuerungen FDS 1 und FDS 2. Über eine serielle Schnittstelle (siehe auch 2.1.1) werden Nachrichten mit fester Länge ausgetauscht; Füllbytes enthalten Nullen. Ein Sendevorgang von der DIRC zu den Funkdatensteuerungen beginnt mit der Abfrage der Empfangsbereitschaft der aktiven Funkdatensteuerung.

Ist die aktive Funkdatensteuerung empfangsbereit, d.h. EMBER = LOW, sendet die DIRC mit WR 21 Taktfolgen zu je acht Takten. Mit der ansteigenden Flanke des Taktes erscheint die Information auf der Leitung DSXFxP/N und wird mit der abfallenden Flanke in die Funkdatensteuerung übernommen. Mit dem Ausschalten von WR ist die Übertragung beendet. Für die gesamte Nachricht wird ein Byte Prüfsumme gebildet. Die DIRC überträgt stets parallel in beide Funkdatensteuerungen.

Die Sendebereitschaft der aktiven Funkdatensteuerung muß laufend abgefragt werden. Sie wird von der Leitung SEBER signalisiert und veranlaßt die DIRC das Signal RD einzuschalten. Daraufhin werden an die aktive Funkdatensteuerung 21 Taktfolgen zu je acht Takten gesendet.

Mit der positiven Flanke des Taktes CxSXP/N legt die Funkdatensteuerung die Daten auf die Leitung DFxSXP/N, mit der negativen Flanke werden sie in das Seriell/Parallel-Schieberegister (Baustein 65) übernommen. RD wird am Ende der Übertragung ausgeschaltet.

Die DIRC wird über RESET-L von der SILT zurückgesetzt. Sie hat kein eigenes Power-up-Reset. Bei Spannungseinschaltung kann sie nur über ein RESET von der Baugruppe SILT in den Grundzustand gebracht werden.

Die Baugruppe DIRC enthält folgende wichtige Funktionseinheiten:

- CPU,
- Takterzeugung,
- PPI,
- Speicher,
- DUPO-Anforderungslogik,
- Serielle Schnittstellen.

### **3.1.1 CPU**

Als CPU wird der Mikroprozessor 8085 verwendet; dieser arbeitet mit einem Quarz von 6,144 MHz.

Die HOLD- und Unterbrechungssteuerung wird für den Einsatz im DIRC nicht genutzt. Die CPU arbeitet im Memory-Mapped-I/O, d.h. ohne I/O-Befehle. Der Eingang READY dient bei Zugriffen zum Dual-Port-Speicher der SILT im Belegtfall dem Einfügen von Warte-Zyklen.

Mit dem Signal RESET-L (von der Baugruppe SILT) ist am Eingang RESIN ein Rücksetzen der CPU möglich. Über den Adreß- und Datenbus ist die CPU mit den Peripheriebausteinen der DIRC und dem Dual-Port-Speicher der SILT verbunden.

Adreß- und Datenbus sind durch das Register 510 getrennt. Mit dem Signal ALE wird das niederwertige Adreßbyte in das Register eingetragen und auf den Adreßbus gelegt.

Die CPU übernimmt folgende Aufgaben:

- Durchführen der Speicherprüfung (RAM, EPROM) im Anlauf,
- Steuern des Datentransfers zwischen Dual-Port-Speicher und DIRC,
- Steuerung des Datentransfers zu den beiden Funkdatensteuerungen über Seriell/Parallel- und Parallel/Seriell-Wandler,
- Umformen des Nachrichtenformats von und zur Funkdatensteuerung mit Prüfbytebildung und -vergleich.

### **3.1.2 Takterzeugung**

Die Schnittstellen zu den Funkdatensteuerungen benötigen Sende- bzw. Empfangstakte für die serielle Datenübertragung.

**Bild 5 Takterzeugung**

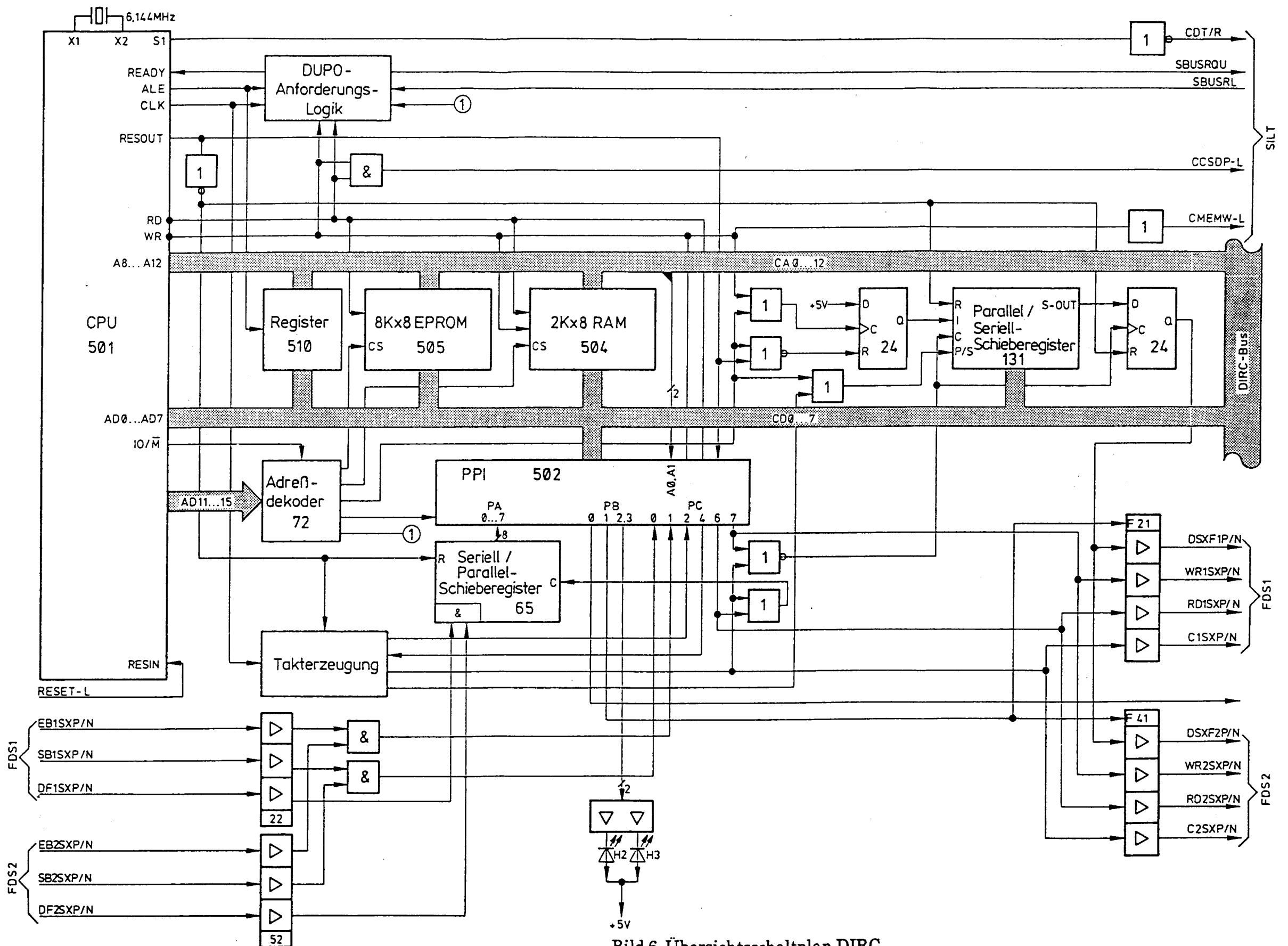
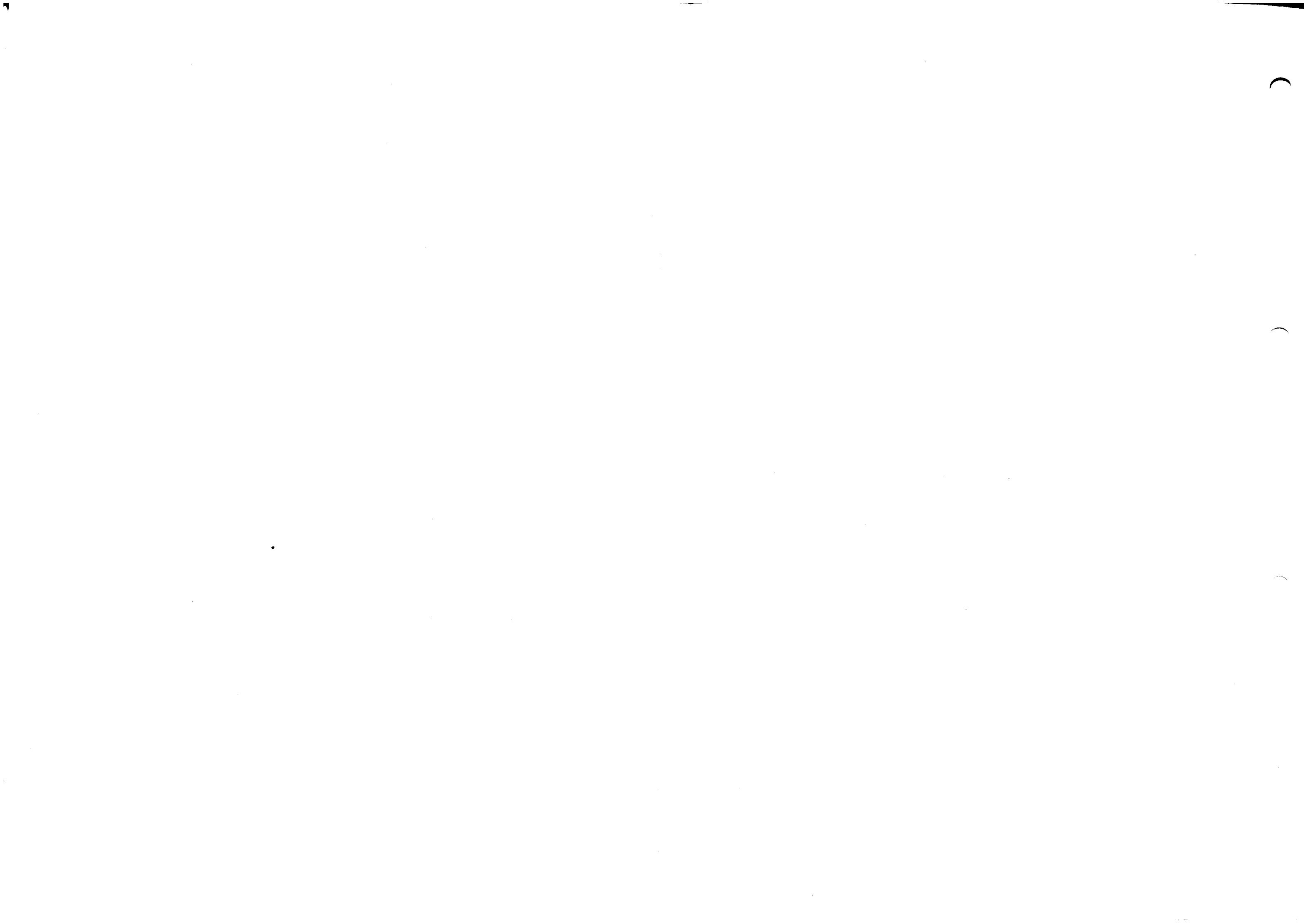


Bild 6 Übersichtsschaltplan DIRC



Für die Übertragung werden jeweils 21 Taktfolgen zu je acht Takten benötigt. Die Taktfolge wird softwaregesteuert von der CPU über PORTC4 des PPI (Baustein 502) gestartet. Damit wird die Taksperre eines 4-bit-Binärzählers (Baustein 14) unterbrochen. Nach Ablauf von acht Takten sperrt sich der Zähler über Baustein 33 selbst.

Der Zähler (Baustein 14, Stufe 1) teilt den Takt der CPU durch vier. Dieser Takt ist an die zweite Zählstufe geführt und liefert an Ausgang 11 den 1,3- $\mu$ s-Taktimpuls für die serielle Schnittstelle (Baustein 21, 41, Signal CxSXP/N).

Über PORTC2 des PPI kann die CPU den Zustand der Taksperre ermitteln.

### 3.1.3 PPI

Der programmierbare Ein-/Ausgabebaustein (PPI) dient der Steuerung der FDS-Schnittstelle. Mit einem Steuerwort wird die Betriebsart MODE0 (einfache Ein-/Ausgabe) eingestellt.

Der Baustein hat zwei 8-bit-Ports (Port A und B) und zwei 4-bit-Ports (Port C0 bis 3, Port 04 bis 7).

Die Ports übernehmen folgende Funktionen.

Port A: Übernehmen der Daten aus dem Seriell/Parallel-Wandler

Port B: Freigeben der Leitungstreiber zu den Funkdatensteuerungen.

Steuern der Leitung BLOCK zur Verlängerung des Buszugriffs bei Zusammenarbeit mit dem Dual-Port-Speicher der SILT.

Ansteuern von zwei Leuchtdioden während der Anlaufprüfung.

Port C: Abfragen der Leitungen SEBER und EMBER der aktiven Funkdatensteuerung.

Abfragen des Sperr-Flipflop der Takterzeugung.

Steuern der Leitungen RD und WR zu den Funkdatensteuerungen.

Starten der Takerzeugung.

#### 3.1.3.1 Initialisieren des PPI

Nach dem Anfangsrücksetzen sind alle Ports auf EINGABE geschaltet. Der Adressbereich des PPI beginnt mit Adresse C000H. Die Aktivierung geschieht mit den Adressleitungen A13, A14 und A15 über den Decoder 72 an den CS-Eingang des PPI.

Die Adressierung der Ports A, B, C wird mit A0 und A1 vorgenommen (Eingänge A0 und A1 des PPI).

#### Ablauf bei Initialisierung des PPI:

- Leitungstreiber sperren  
Ausgabe von 99H an Adresse C003H.
- Betriebsart einstellen  
Es wird die Betriebsart MODE0 durch Ausgabe von 91H an Adresse C003H (Steuerlogik des PPI) eingestellt.

Die Datenrichtung der Ports ist damit festgelegt:

PORt A = Eingabe

PORt B = Ausgabe

PORt C0 bis 3 = Eingabe

PORt C4 bis 7 = Ausgabe

- BLOCK AUS, Treiber sperren, Leuchtdioden EIN  
Ausgabe von F1H nach Adresse C001H (Port B)
- Ausgänge von Port C auf HIGH  
Ausgabe von F0H nach Adresse C002H (Port C)
- NOP-Befehle, bis Takterzeugung nach Ablauf von acht Tagen gesperrt ist oder Abfrageschleife, bis Bit 2 unter Adresse C002H log. 1 ist (Schiebetakte abgelaufen.)
- Treiber freigeben, BLOCK AUS, Leuchtdioden EIN  
Ausgabe von F3H nach C001H (Port B).

#### 3.1.3.2 Funktionen der Ports

##### - PORT A

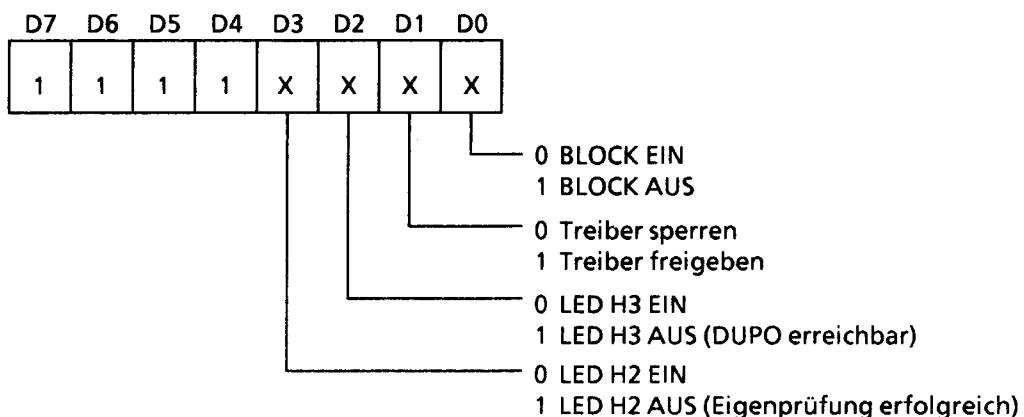
In Port A des PPI werden die Daten von den Funkdatensteuerungen übernommen. Die Information durchläuft vorher den Seriell/Parallel-Wandler (Baustein 65).

Port A wird mit Adresse C000H adressiert.

##### - PORT B

Port B veranlaßt die Steuerung der Datenübertragung und die Anzeigen während der Anlaufprüfung.

Port B wird mit Adresse C001H adressiert.



Ausgang 0 schaltet das Signal BLOCK, mit dem der Buszugriff zur SILT beliebig verlängert werden kann.

Ausgang 1 führt an den ENABLE-Eingang der Treiber 21 und 41 und gibt die Übertragung zu den Funkdatensteuerungen frei.

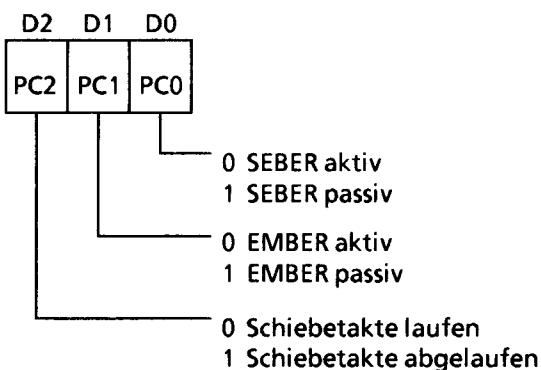
Ausgang 2 und 3 steuern die Leuchtdioden H3 und H2, die auf der Frontblende angebracht sind. Sie zeigen an, ob die Anlaufprüfung ordnungsgemäß durchlaufen wurde und der Dual-Port-Speicher der SILT erreichbar war. Während des Anlauf-RESET sind die Leuchtdioden AUS.

Zu Beginn der Anlaufprüfung werden sie softwaregesteuert eingeschaltet. Nach fehlerfreiem Ablauf der DIRC-Eingenprüfung schaltet H2 aus. H3 schaltet aus, wenn der Zugriff der DIRC zum Dual-Port-Speicher der SILT erfolgreich verlief.

#### - PORT C

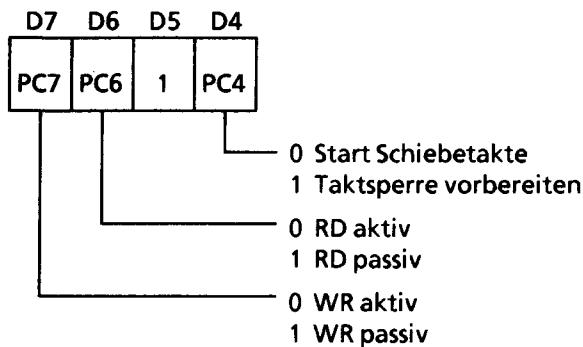
Port C wird mit Adresse C002H adressiert.

PC0 bis 2 überwachen die Datenübertragung von und zur Funkdatensteuerung.



PC0 fragt die Sendebereitschaft der Funkdatensteuerung ab, PC1 zeigt an, ob die Signalanpaßeinheit einen Datenblock an die Funkdatensteuerung senden kann.

Mit PC2 kann die CPU den Betriebszustand der Takterzeugung ermitteln, indem die Stellung des Sperr-Flipflop (Baustein 33) gelesen wird.



PC4 startet die Freigabe der Schiebetakte für die Daten von und zu den Funkdatensteuerungen oder bereitet das Sperren des Zählereingangs vor. Die Sperre wird mit Setzen von Baustein 33 auf log.1 wirksam.

PC6 und 7 schalten die Lese- oder Schreibleitung zu den Funkdatensteuerungen. PC7 gibt gleichzeitig die Takte des Parallel/Seriell-Wandlers (Baustein 65) frei.

### 3.1.4 Speicher

Adressbereichsaufteilung DIRC:

EPROM 8K x 8	0000H – 1FFFH
RAM 2K x 8	8000H – 87FFH
Dual-Port-Speicher	A000H – A7FFH
PPI	C000H – C003H
Parallel/Seriell-Schieberegister	E000H

#### - RAM

Der Datenspeicher der DIRC besteht aus einem Baustein mit einer Kapazität von 2K x 8.

Der Baustein ist am Datenbus D0 bis 7 und Adressbus A0 bis 10 angeschlossen. Der Adressbereich reicht von 8000H bis 87FFH. Freigegeben wird der Speicher vom Ausgang 11 des Decoders 72.

#### - EPROM

Der Programmspeicher der DIRC besteht aus einem EPROM (8K x 8).

Es ist im Adressbereich 0000H bis 1FFFH adressierbar und wird vom Ausgang 15 des Decoders freigegeben.

### **3.1.5 DUPO-Anforderungslogik**

Die DUPO-Anforderungslogik steuert die Buszuteilung für den Zugriff der DIRC zum Dual-Port-Speicher der SILT. Sie ist mit den Bausteinen 23, 33 und 43 aufgebaut.

Wird vom DIRC-Prozessor eine DUPO-Adresse ausgegeben, fordert SBUSRQ-L (bei Schreiben und Lesen) die Zuteilung des Dual-Port-Speichers. Bis zur Freigabe kennzeichnet SBUSRL den Belegtzustand des Dual-Port-Speichers.

Nach der Synchronisation mit dem DIRC-CPU-Takt führt SBUSRL am READY-Eingang der CPU zu Warte-Zyklen bis zur Freigabe des DUPO-Zugriffs. Zur Richtungssteuerung wird das invertierte S1-Signal der DIRC-CPU verwendet.

### **3.1.6 Serielle Schnittstellen**

#### **- FDS → SAE**

Über diese Schnittstelle erhält die DIRC Nachrichten von der jeweils aktiven Funkdatensteuerung.

Nachdem über PORTC0 die Sendebereitschaft der Funkdatensteuerung abgefragt wurde, sendet die DIRC das Signal RDxSXP/N an die Funkdatensteuerung und holt mit einer Folge von acht Takten (CxSXP/N) ein Byte aus der Funkdatensteuerung in das Seriell-/Parallel-Schieberegister (Baustein 65). Die Daten DFxSXP/N werden entsprechend der aktiven Funkdatensteuerung über die Empfänger (Baustein 34 oder 44) geschaltet. Mit Adresse C000H wird PORTA adressiert und die Daten übernommen.

Nach der Übertragung von 21 bytes schaltet der PPI PORTC0 passiv, d.h. RDxSXP/N = HIGH.

#### **- SAE → FDS**

Vor dem Senden von Nachrichten an die Funkdatensteuerung fragt PORTC1 die Empfangsbereitschaft der Funkdatensteuerung ab.

Meldet die Funkdatensteuerung mit EBxSXP/N = LOW die Empfangsbereitschaft, legt der PPI das Signal WRxSXP/N auf LOW.

Mit der Adressierung des Decoders 72 und einem Schreibvorgang lädt das Register 131 die parallelen Daten.

Mit acht Takten CxSXP/N wird jeweils ein byte aus dem Schieberegister zu beiden Funkdatensteuerungen übertragen. Nach der Übertragung von 21 bytes beendet PORTC7 mit WRxSXP/N = HIGH die Übertragung zu den Funkdatensteuerungen.

Bild 7 Übertragung FDS → SAE

Bild 8 Übertragung SAE → FDS

### **3.2 SILT S308010-Q767-X**

#### **Endeinrichtung für den zentralen Zeichengabekanal**

Die SILT (Signalling Link Terminal) ist eine ZZK-spezifische Funktionseinheit für die Sicherung der zu übertragenden CCS7-Nachrichten.

Sie übernimmt zusätzlich folgende Funktionen:

- Sicherheitstechnik für SILT und SIT
- Administrative Aufgaben.

Die SILT (siehe Bild 9) besteht aus folgenden Funktionseinheiten:

- CPU
- Bitorientierte Datenübertragung (HDLC)  
Er bildet die Schnittstelle zu den Zeichengabekanälen. Die Versorgung des HDLC-Controllers übernimmt die CPU und die DMA-Steuerung.
- Unterbrechungssteuerung (PIC)  
Der PIC erkennt die Unterbrechungsanforderung des HDLC und des PIT und erzeugt einen Befehl zum Aufruf der zugehörigen Service-Routine. Die Unterbrechungsanforderungen können von der Software gesperrt werden, außerdem sind verschiedene Betriebsarten einstellbar.
- DMA-Steuerung (DMAC)  
Mit Hilfe der DMAC werden Daten aus dem Speicher gelesen und zum HDLC-Baustein übertragen bzw. Daten aus dem HDLC-Baustein gelesen und in den Speicher eingetragen.
- Zeitgeber (PIT)  
Der Zeitgeber liefert einen Grundtakt für die Softwarezeitverwaltung. Frequenz und Impulsform werden von der Software bestimmt.
- Watchdog (WD)  
Der Watchdog ist ein Zeitglied, das vom Organisationsrahmenprogramm EXEC getriggert wird und im Falle seines Ablaufs das Rücksetzen der CPU bewirkt.
- Speicher  
Die Speichereinheit gliedert sich in einen Festwertspeicher (EPROM) und in einen RAM-Speicher. Im Festwertspeicher sind das Anlauf- und Verarbeitungsprogramm der SILT, im RAM sind die variablen Daten gespeichert.

- **Dual-Port-Speicher (DUPO)**

Im Dual-Port-Speicher werden die zwischen SILT und DIRC zu übertragenden Nachrichten gespeichert. Der Dual-Port-Speicher ermöglicht einen zeitlich unsynchronisierten Zugriff für die CPU der SILT und der DIRC.

Als Hilfsmittel zur Kontrolle des ordnungsgemäßen Anlaufs der SILT sind auf der Frontblende sechs Leuchtdioden angebracht. Zur gemeinsamen Prüfung dieser sechs Leuchtdioden (H1 bis H6) dient die Prüftaste S2. Die Anzeige kann beliebig von der Software über das Ausgabe-Register 508 angesteuert werden.

Nach einem RESET sind alle Port-Ausgänge auf LOW-Potential; die Leuchtdioden sind AUS. Das Startprogramm schaltet zuerst alle sechs Leuchtdioden ein. Nach jedem fehlerfrei abgeschlossenen Prüfabschnitt wird eine der Leuchtdioden H5 bis H2 abgeschaltet. Nach Abschluß der Hardware- und Software-Initialisierung erlischt auch H1; der SILT ist bereit zum Empfang der Ladedaten. Nach Übernahme der Ladedaten wird H6 ausgeschaltet.

Bedeutung der Leuchtdioden während des Anlaufs:

H1 erlischt heißt: Initialisierung abgeschlossen

H2 erlischt heißt: PIT, PIC, HDLC und DMA o.k.

H3 erlischt heißt: RAM-Bausteine o.k.

H4 erlischt heißt: EPROM-Bausteine o.k.

H5 erlischt heißt: Watchdog o.k.

H6 erlischt heißt: SILT ist geladen

Nach Beendigung der Anlaufprüfung ändern die Leuchtdioden ihre Bedeutung. Neben der Ansteuerung der sechs Leuchtdioden übernimmt der Ausgabe-Port zwei weitere Funktionen.

Bedeutung der Leuchtdioden im Betrieb:

H1 leuchtet heißt: eine MSU ist gesendet worden

H2 leuchtet heißt: eine MSU ist empfangen worden

H3 leuchtet heißt: Programm-Halt durch INDIC

H4 leuchtet heißt: SILT ist "Out of Service"

H5 leuchtet heißt: SILT im "Initial Alignment"

Die Leuchtdiode H7 wird vom Schiebeschalter S3 angesteuert und zeigt an, ob der Watchdog 1 gesperrt ist (Sperre = LED leuchtet).

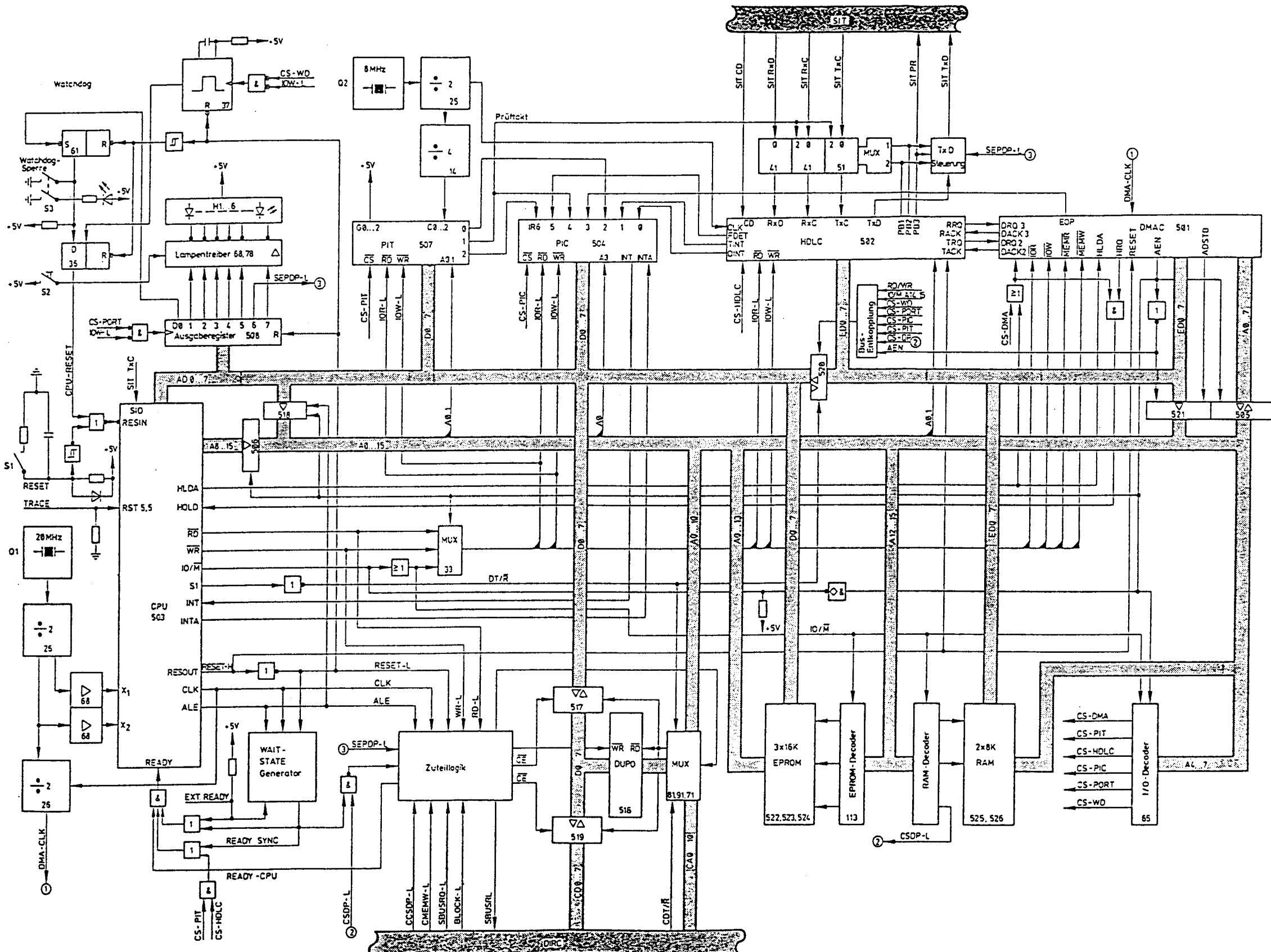
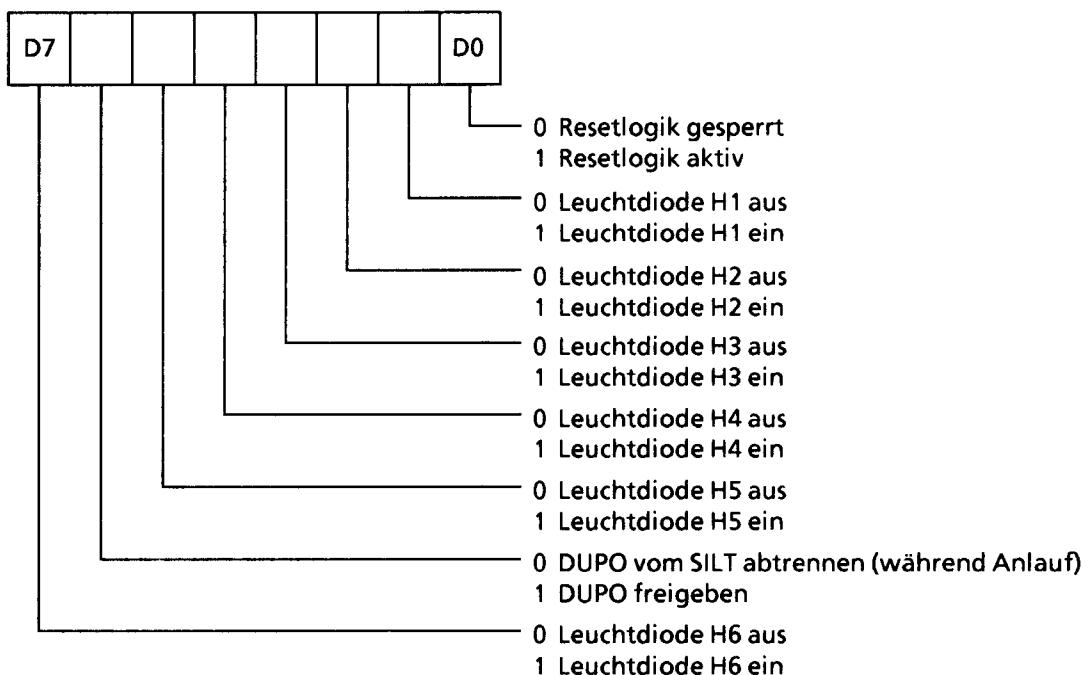


Bild 9 Übersichtsschaltplan SILT



Bei der Ausgabe eines Bitmusters an den Ausgabe-Port werden alle acht bits verändert. Damit bei Änderung eines einzelnen Bits die anderen unbeeinflußt bleiben, muß der aktuelle Port-Zustand nach jeder Operation in einem Speicherplatz abgelegt werden. Bei einer Operation kann der aktuelle Port-Zustand dort gelesen und ein bestimmtes Bit gezielt geändert werden. Danach wird das geänderte Bitmuster an den Ausgabe-Port ausgegeben und in dem Speicherplatz abgelegt.

Struktur eines Bytes am Ausgabe-Port (Adresse 40H):



Ausgang D0 des Ausgabe-Ports dient zur Freigabe der Reset-Logik.

Nach einem Reset bleibt die Logik so lange gesperrt, bis sie durch eine Ausgabe von log.1 auf D0 freigegeben wird. Erst danach kann der Ablauf von Watchdog 1 (WD1) zum Reset führen.

Die Reset-Logik kann durch die Software nicht wieder gesperrt werden. Um ein unbeabsichtigtes Rücksetzen bei der Freigabe der Reset-Logik zu verhindern, muß vorher der WD1 mit einem Triggerimpuls in den Betriebszustand gebracht werden.

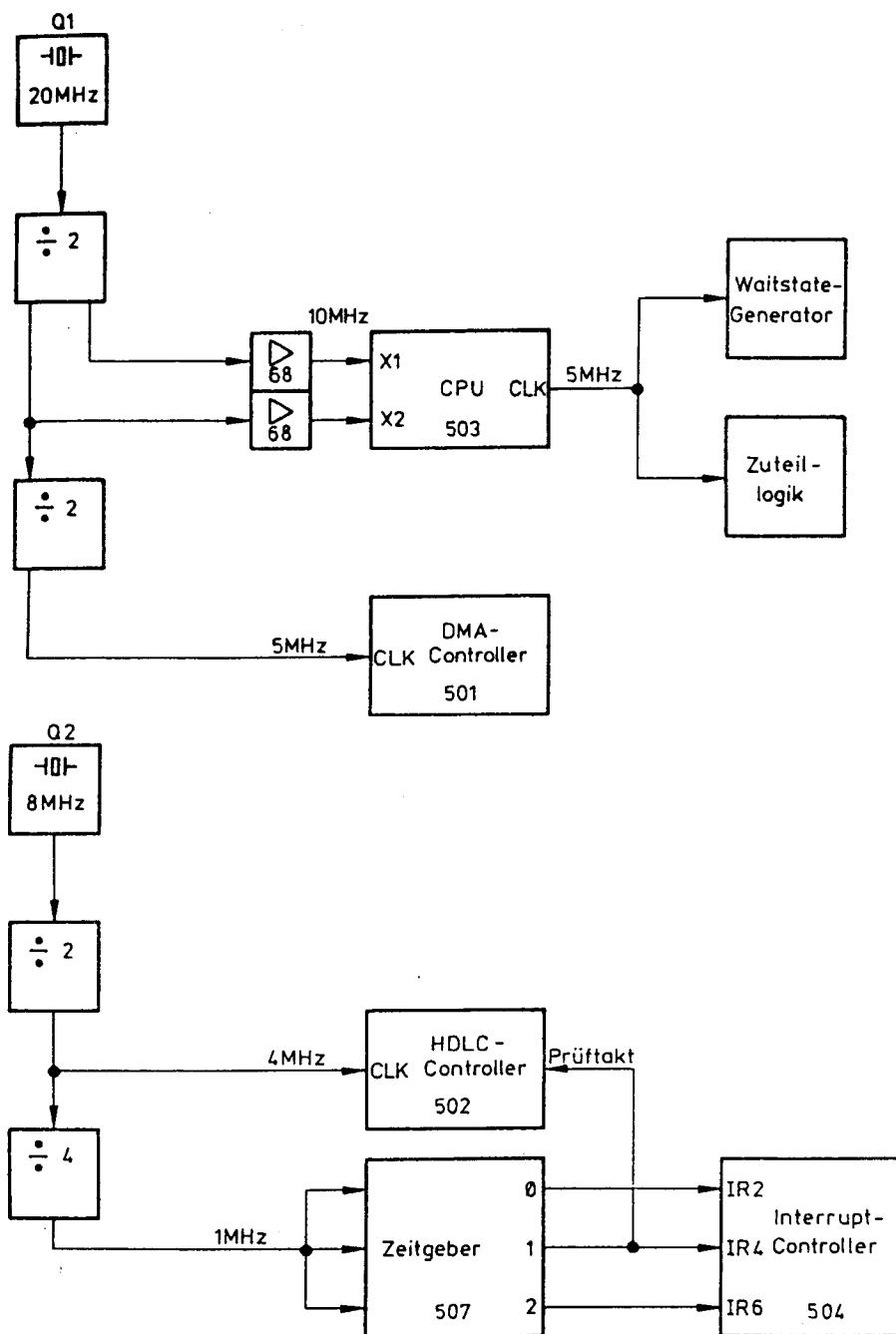


Bild 10 Taktversorgung SILT

### 3.2.1 CPU

Der eingesetzte SILT-Prozessor arbeitet mit einer Taktfrequenz von 5 MHz. Der 20-MHz-Quarzoszillator Q1 liefert nach Teilung im Baustein 26 den 10-MHz-Takt für die Eingänge der CPU-Oszillatorschaltung. Am CLK-Ausgang des Prozessors steht ein 5-MHz-Takt als TTL-Signal für die Ansteuerung der Zuteillogik, des Wait-State-Generators und für die Synchronisierung des DMA-CLK zur Verfügung.

Der SILT-Prozessor steuert die in der SILT enthaltenen Programme und verarbeitet die eingehenden Daten.

Durch Unterprogramm-Aufrufe werden die asynchronen Vorgänge bearbeitet. Erhält der SILT-Prozessor von der Unterbrechungssteuerung (PIT) eine Interrupt-Anforderung, beantwortet er diese mit einem Interrupt-Quittungssignal.

Aufgrund der HOLD-Anforderung der DMA-Steuerung schaltet der SILT-Prozessor die Adreß-, Daten- und Steuerleitungen hochohmig, geht in den HOLD-Zustand und gibt die HOLD-Quittung aus.

Das Rücksetzen der SILT geschieht automatisch beim Einschalten der Versorgungsspannung (Power-On-Reset) oder durch Betätigen der Reset-Taste (S1) auf der Frontblende. Auch bei Ablauf des Kurzzeit-Watchdogs (WD1) wird ein Reset-Impuls erzeugt, wenn die Reset-Sperre durch den geöffneten Schalter (S3) auf der Baugruppe aufgehoben ist.

Das RESET-Signal setzt den Programmzähler des Prozessors auf Null zurück und bewirkt über den RESOUT-Ausgang der CPU ein Rücksetzen der Peripherie.

Dieses RESET-Signal setzt auch die Baugruppen der SILT und SIT zurück. Die CPU beschaltet den SILT-Bus mit den Signalen AD0 bis 7 und A8 bis 15. Mit dem Register 518 sind Adreß- und Datenbus getrennt. Das niederwertige Byte der Adresse wird mit ALE in das Register geladen und auf den Adreßbus gelegt, bis der DMA-Controller mit AEN die Adressensteuerung übernimmt.

Eingang INTR der CPU empfängt die Interruptanforderung des PIC und antwortet mit INTA. An den Interruptheingang RST5.5 ist das TRACE-Interruptsignal geführt. TRACE = HIGH bewirkt einen Sprung auf Adresse 002CH. Der Trace-Interrupt ist maskierbar und kann mit DISABLE INTERRUPT ausgeschaltet werden.

Die Zusammenarbeit zwischen CPU und HDLC-Controller wird durch Interrupts (RxINT, TxINT) vom HDLC-Baustein gesteuert.

Über den Steuereingang READY werden die Schreib-/Lesesignale solange verlängert, bis der SILT ein DUPO-Zugriff erlaubt wird.

### **3.2.2 Bitorientierte Datenübertragungsprozedur HDLC**

Der HDLC-Baustein (High Level Data Link Control) arbeitet mit einem 4-MHz-Arbeitstakt. Er ermöglicht die serielle Übertragung von 8-bit-Datenblöcken mit 4,8 kbit/s zwischen SIT und SILT. Das Datenformat entspricht den Festlegungen des Zeichengabesystems Nr. 7 des CCITT.

Der HDLC-Controller bildet die Schnittstelle zum SIT (siehe auch 2.2.2), über die Nachrichten in einem festen Format gesendet und empfangen werden.

In Senderichtung erfüllt der HDLC-Controller folgende Aufgaben:

- Erzeugen der Beginn-Flags
- Erzeugen der Abschluß-Flags
- Erzeugen von zwei CRC-Prüfbytes
- Einfügen von Null-Bits in die Nachricht zur Unterscheidung von Flag- und Nachrichtenbytes.

Das Abschluß-Flag einer Nachricht ist gleichzeitig das Beginn-Flag der folgenden Nachricht.

Die Datenbytes werden aus dem Speicher der SILT mit DMA gelesen. Eine unbeantwortete DMA-Anforderung setzt eine Fehlermeldung.

Bei Empfang einer Nachricht sind die sicherheitstechnischen Informationen wieder zu entfernen und die Nachricht in den Speicher der SILT einzutragen.

Das bedeutet, daß Beginn-Flag, Abschluß-Flag, Null-Bits und Prüfbytes innerhalb einer Nachricht eliminiert werden.

Außerdem ist der empfangene Block auf folgende Inhalte zu prüfen:

- Auswerten der Prüfbytes für alle Nachrichtenbytes
- Erkennen von Abbruchzeichen
- Prüfen der Nachrichtenlänge (min. 4, max. 65 byte)
- Zeitgerechter Datenaustausch vom und zum HDLC-Controller.

Allgemeines Format eines HDLC-Frame:

Beginn-Flag	Adreßfeld	Kontrollfeld	Informationsfeld
01111110	8 bit	8 bit	4 bis 65 byte
Prüfbytes		Abschluß-Flag	
16 bit		01111110	

### 3.2.2.1 Bedienung des HDLC-Controllers

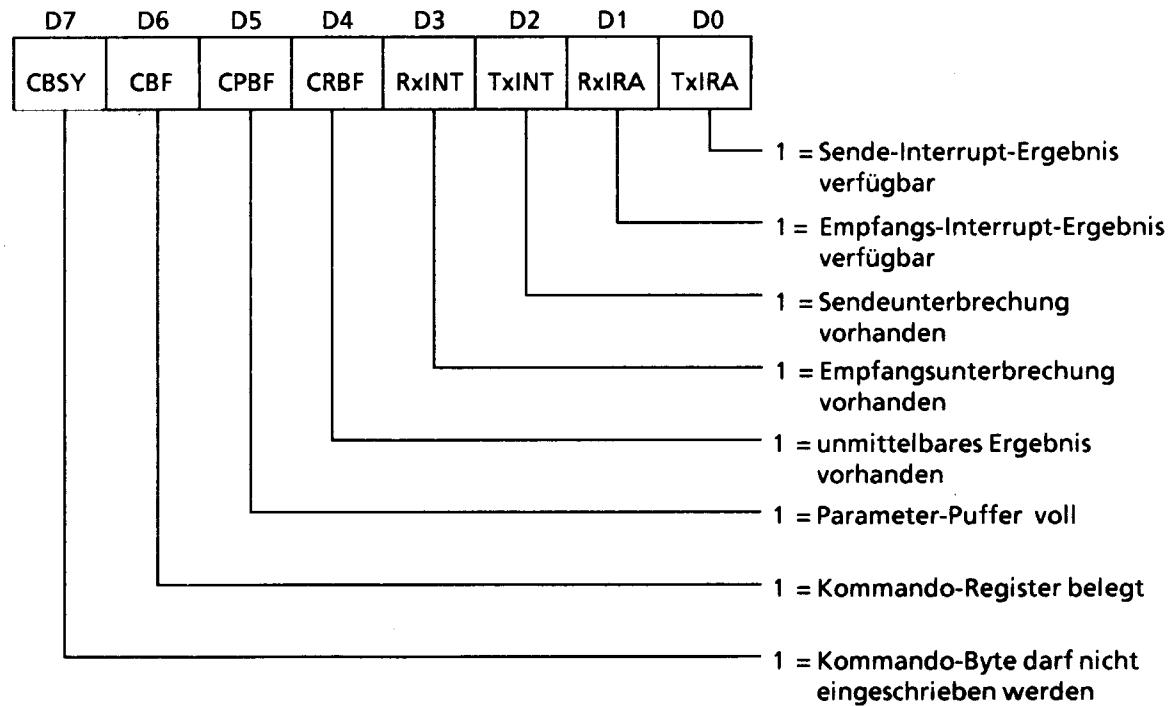
Der HDLC-Controller muß getrennt für die Initialisierungsphase und Normalbetrieb programmiert werden. Dazu werden von der Software das Kommando- und Parameterregister geladen.

Der Betriebszustand des HDLC ist im Statusregister abgebildet und kann vor dem Eintragen weitere Kommandos und Parameter gelesen werden.

### Registeradressen im HDLC-Controller

Adresse	Schreiben	Lesen
20H	Kommando-Register	Status-Register
21H	Parameter-Register	Ergebnis-Register
22H		TxINT Ergebnis-Register
23H		RxINT Ergebnis-Register

### Status-Register



## **Kommando-Register, Parameter-Register**

Mit den Kommandos wird die Ausführungsphase des HDLC gestartet. Die Kommandos bestehen aus einem Kommando-Byte und bis zu zwei Parameter-Bytes.

Das Einschreiben eines Kommandos in den HDLC wird erst erlaubt, wenn die Abfrage des Status-Registers CBSY = 0 ergibt. Das Einschreiben der Parameter wird während CPBF = 1 verhindert.

## **Ergebnis-Register**

Der HDLC-Controller zeigt je nach Kommando zwei Typen von Ergebnissen:

Nicht unmittelbares Ergebnis (Interrupt Result)

Unmittelbares Ergebnis (Immediate Result)

Die Ergebnisse müssen vollständig gelesen werden, bevor das entsprechende Bit im Statusregister verändert wird.

Sende- und Empfangsergebnisse sind "nicht unmittelbare Ergebnisse" und werden der CPU mit einer Interruptanforderung (RxINT oder TxINT) an den PIC angeboten.

Lesen Kanal A und B erzeugt ein "unmittelbares Ergebnis".

Es kann direkt mit 21H gelesen werden, wenn CRBF = 1 ist.

### **3.2.2.2 Initialisieren des HDLC-Controllers**

#### **Rücksetzen**

Das zweimalige Beschreiben des RESET-Registers (Adresse 22H) erzeugt ein Software-RESET. Die beiden Kommando-Bytes müssen zeitlich getrennt im Abstand von 2,4 µs ausgegeben werden.

Werte Byte 1 = 01H

Werte Byte 2 = 00H

## Betriebsarten Normalbetrieb einstellen

- Ausgeben des Kommando-Bytes 91H (Set Operating Mode) in das Kommando-Register (Adresse 20H).
- Ausgeben des Parameter-Bytes an Adresse 21H.

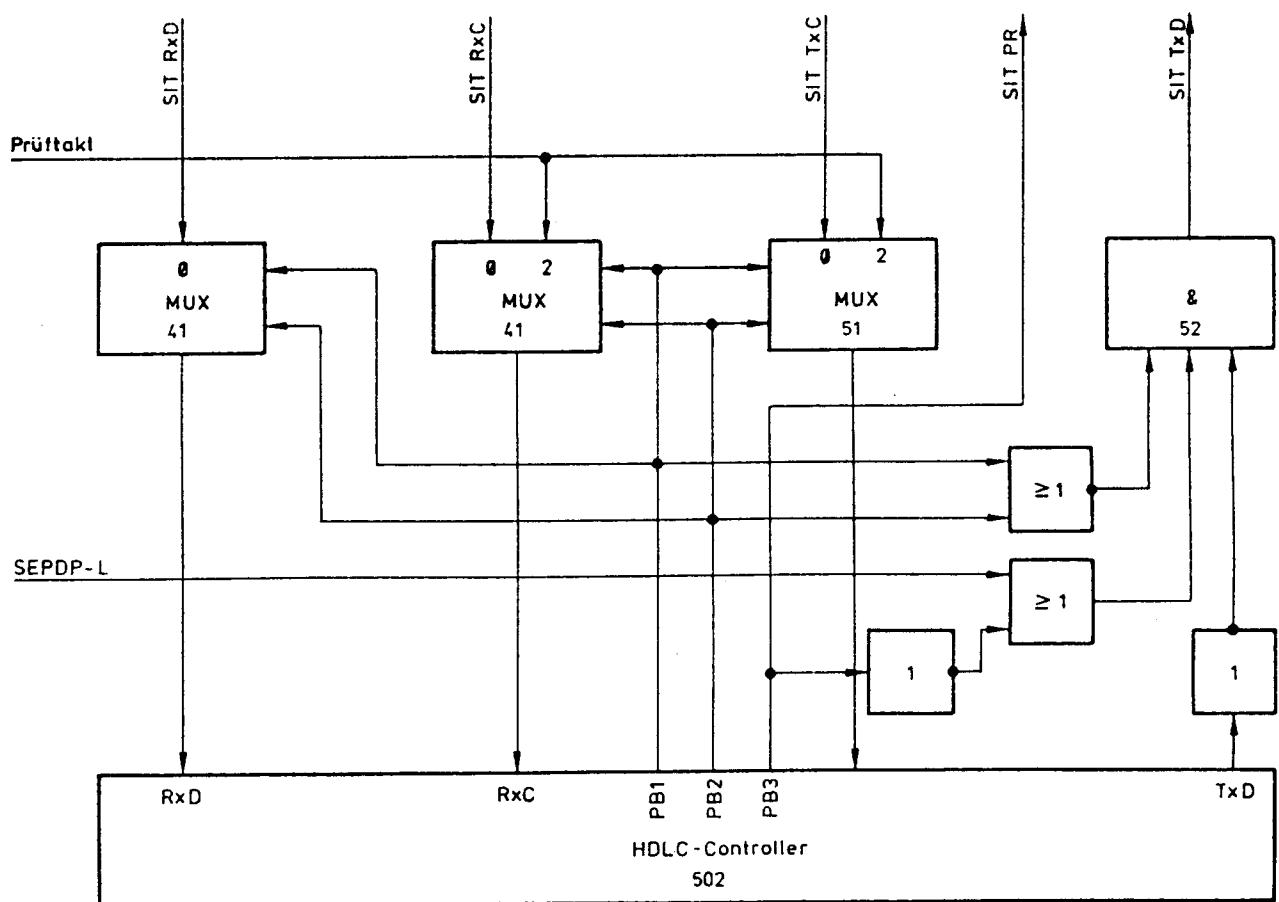
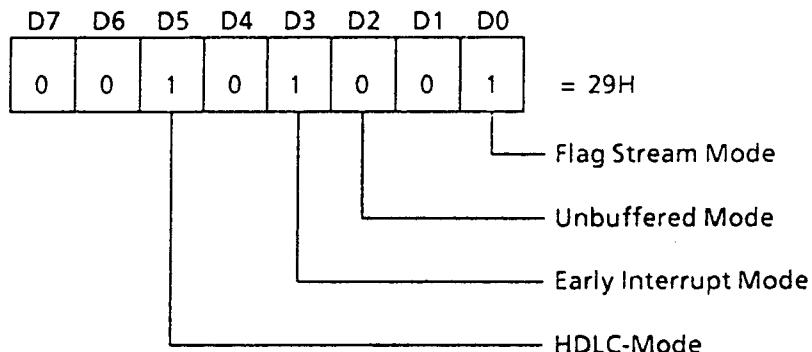


Bild 11 Umschalt-Logik SIT/MUX/Prüftakt

## **Steuer-Kommandos ausgeben**

Der im SILT verwendete HDLC-Controller beschaltet den Kanal B als rücklesbaren Ausgabe-Kanal. Die Bits D1, D2 und D3 schalten den HDLC-Controller für die Zusammenarbeit mit SIT, MUXS (bei digitalem ZZK) oder SIT-Prüfmode.

### **PB1 PB2**

0	0	Betriebsart SIT
0	1	Betriebsart MUXS
1	0	SIT-Prüfmode
1	1	inaktiv

Für den Einsatz der SILT in der Basisstation findet die Betriebsart MUXS keine Verwendung.

Nach einem RESET sind alle Ports inaktiv (HIGH).

Port B wird durch SET und RESET-Kommandos in die gewünschte Lage gebracht.

### **Setzen Betriebsart SIT**

Kommando SET PORT B an Adresse 20H.

D7	D6	D5	D4	D3	D2	D1	D0	
1	0	1	0	0	0	1	1	= A3H

Parameter-Byte an Adresse 21H.

D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	1	1	0	= 06H

Diagramm zur Darstellung der Bitwerte:

Zum Aufbau der "nahen Prüfschleife" muß zusätzlich PB3 gesetzt werden (Signal SITPR an die Baugruppe SIT).

## Rücksetzen Betriebsart SIT

**Kommando Reset PORT B an Adresse 20H.**

D7	D6	D5	D4	D3	D2	D1	D0
0	1	1	0	0	0	1	1

#### Parameter-Byte and Adresse 21H.

D7	D6	D5	D4	D3	D2	D1	D0
1	1	1	1	1	0	0	1

= F9H

PB1 rücksetzen setzen

PB2 rücksetzensetzen

PR3

Für Auftrennen "nahe Prüfschleife" muß auch PB3 rückgesetzt werden (D3 = 0 im Parameter-Byte).

Der augenblickliche Betriebszustand kann mit dem Befehl Read Port B (23H) an Adresse 20H gelesen werden. Es steht dann im Ergebnisregister des HDLC-Controllers zur Verfügung.

### 3.2.2.3 Empfangen

Die DMA-Steuerung gibt eintreffende Datenbytes einer Nachricht zum Speicher weiter. Das in der Nachricht dem Beginn-Flag nächstfolgende Flag wird als Abschluß-Flag interpretiert und löst am PIC einen Receive-Interrupt (RxINT) aus. Die Interrupt-Routine bedient erneut die Empfangsseite des HDLC-Controllers zum Empfang der nächsten Nachricht.

Die CPU sendet ein Empfangs-Kommando (60H, General Receive) und zwei Parameter-Bytes (FFH, LOW- und HIGH-Teil der Empfangspufferlänge).

Aus allen Nachrichtenbytes einer Nachricht errechnet der HDLC-Controller zwei bytes Prüfsumme. Diese erlauben im Vergleich mit den empfangenen Prüfbytes eine Aussage über die Gültigkeit der Nachricht und stehen dem Interrupt-Programm zur Auswertung zur Verfügung.

Die Länge bezieht sich auf den Frame ohne Flags und FRAME CHECK SEQUENCE.

Bild 12 zeigt die Struktur eines HDLC-Frame für die Übertragung von CCITT-7-Nachrichten. MSU (Message Signal Unit) und FISU (Fill-In Signal Unit) unterscheiden sich nur im Längenindikator LI. Die Füllzeicheneinheit (FISU) hat den Längenindikator Null, während die Nachricht (MSU) bis zu 61 bytes enthalten kann.

BSN ..... Backward Sequence Number  
FSN ..... Forward Sequence Number  
LI ..... Length Indicator  
FCS1 ..... Frame Check Sequence, Byte 1  
FCS2 ..... Frame Check Sequence, Byte 2

Die BSN (Rückwärtsfolgenummer) ist die Quittung für eine gesendete Nachricht. Im FSN-Feld (Vorwärtsfolgenummer) wird die fortlaufende Nummer der gesendeten Nachricht (MSU) festgehalten. So erfährt der Sende-HDLC, ob seine Nachricht auf der Gegenseite ordnungsgemäß empfangen wurde.

Die Anforderung zur Übertragung der Backward Sequence Number stellt der HDLC-Controller zum Zeitpunkt LI der eingehenden Nachricht.

Mit dem Eintreffen des Abschluß-Flags wird der Empfangsinterrupt ausgelöst (siehe Bild 12).

Mit Hilfe der Interrupt-Routinen werden die Empfangsergebnisse aus dem HDLC-Controller gelesen und festgestellt, ob eine empfangene Nachricht richtig oder fehlerhaft war. Das Ergebnis kann aus mehreren Bytes bestehen, die genauen Aufschluß über die Art der Fehler geben und im Empfangsergebnis-Register gespeichert werden (siehe 3.2.2.1, Ergebnisse). Die CPU kann mit Adresse 23H das Ergebnisregister lesen.

### **Empfang einer korrekten Nachricht**

#### **1. Ergebnisbyte**

D7	D6	D5	D4	D3	D2	D1	D0	
1	1	1	0	0	0	0	0	= EOH

#### **2. Ergebnisbyte**

Das zweite Ergebnisbyte enthält das niederwertige Byte der Nachrichtenlänge.

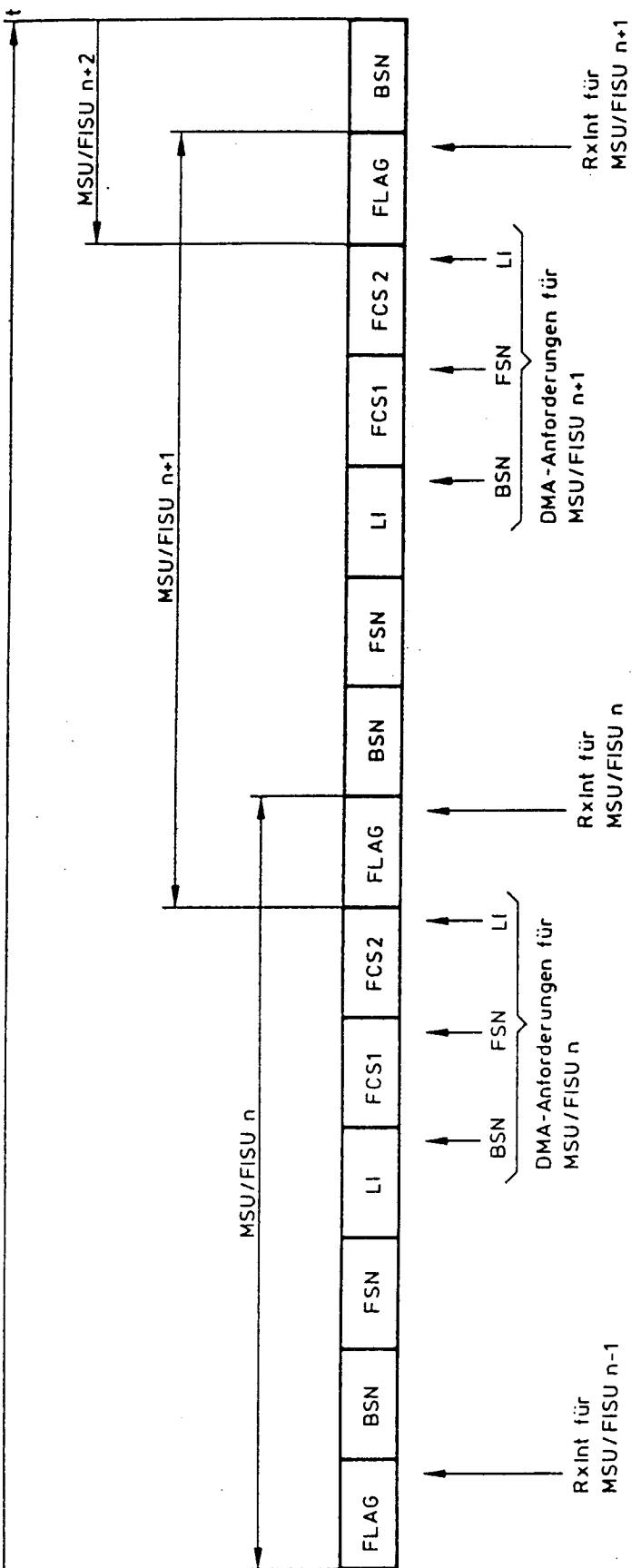


Bild 12 DMA-Interruptanforderungen des HDLC-Controllers beim Empfang

### 3. Ergebnisbyte

Das dritte Ergebnisbyte ist stets Null, da die Nachricht immer kürzer als 256 bytes ist.

#### Empfang einer Nachricht mit Bitzahl ungleich $n \times 8$

Enthält eine Nachricht unvollständige Bytes, wird im ersten Ergebnisbyte die Zahl empfangener Bits je Byte angegeben.

D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	0	0	= 00H : nur D0 empfangen
1	0	0	0	0	0	0	0	= 80H : D0 und D1 empfangen
0	1	0	0	0	0	0	0	= 40H : D0 bis D2 empfangen
1	1	0	0	0	0	0	0	= C0H : D0 bis D3 empfangen
0	0	1	0	0	0	0	0	= 20H : D0 bis D4 empfangen
1	0	1	0	0	0	0	0	= A0H : D0 bis D5 empfangen
0	1	1	0	0	0	0	0	= 60H : D0 bis D6 empfangen

Der Aufbau des zweiten und dritten Ergebnisbytes entspricht dem einer korrekten Nachricht.

#### Prüfbyte-Fehler

Diese Meldung teilt dem Interrupt-Programm einen Checksummenfehler in der gerade empfangenen Nachricht mit.

D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	0	1	1	= 03H

#### Abort Detected

Dieses Ergebnis wird bereitgestellt, wenn der HDLC-Controller in der empfangenen Nachricht ein Abbruchzeichen (01111111) erkennt.

D7	D6	D5	D4	D3	D2	D1	D0	
0	0	0	0	0	1	0	0	= 04H

### Frame <32 bit

Wenn die empfangene Nachricht zwischen zwei Flags weniger als vier bytes enthält, liegt ein Fehler vor und das Ergebnis Frame <32 bit wird bereitgestellt.

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	1	1	1

= 07H

### DMA Overrun

Liegt bereits vor der Beendigung der DMA-Übertragung eines Bytes vom HDLC-Controller die Anforderung für das nächste Byte vor, führt das zum Empfangsergebnis DMA-Overrun.

Der HDLC wird daraufhin mit dem Kommando C5H (Receive Disable) gesperrt.

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	0	0	0

= 08H

### Memory Buffer Overflow

Das Empfangskommando legt die Länge der Nachrichten fest. Ist die empfangene Nachricht länger als festgelegt, erscheint im Ergebnisregister die Meldung "Memory Buffer Overflow", und der HDLC-Controller wird gesperrt.

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	0	0	1

= 09H

### Receive Interrupt Overrun

Der Start eines HDLC-Interrupts vor der Beendigung des Lesens der vorhergehenden Interrupt-Ergebnisse erzeugt das Ergebnis "Receive Interrupt Overrun" und sperrt den HDLC-Controller.

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	0	1	1

= 0BH

## **Carrier Detect Failure**

Der Ausfall der Trägerkennung CD während des Empfangs einer Nachricht führt zum Ergebnis "Carrier Detect Failure" und zum Sperren des HDLC-Controllers.

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	0	1	0

= 0AH

### **3.2.2.4 Senden**

Die Daten müssen dem HDLC-Controller frühzeitig zum Senden bereitgestellt werden. Die Anforderung der Backward Sequence Number für MSU/FISU n + 1 wird deshalb schon zum Zeitpunkt FCS1 von MSU/FISU vorgenommen. Die Forward Sequence Number wird zum Zeitpunkt FCS2 angefordert usw. (siehe Bild 13).

Zum Zeitpunkt Backward Sequence Number (BSN) wird der Transmit-Interrupt zum Senden der Nachricht gestellt.

In Senderichtung überträgt der HDLC-Controller so lange Flags, bis er von einem Kommando mit Daten versorgt wird. Die Zahl der zu übertragenden Bytes wird im Sendekommando festgelegt. Nach Erreichen der vorgegebenen Anzahl löst der HDLC-Controller einen Transmit-Interrupt (TxINT) aus und fügt die zwei Bytes Frame Check Sequence (FCS) und das Abschluß-Flag an.

Wenn während des Sendens einer Nachricht die Bereitstellung des nächsten zu sendenden Bytes nicht rechtzeitig vorgenommen wird, ist die Nachricht ungültig. Der HDLC-Controller bildet automatisch ein Abbruchzeichen (01111111) und setzt einen Interrupt, um das Sendeergebnis DMA-Underrun auszugeben.

Das Sende-Kommandobyte hat den Wert C8H.

Im ersten Parameter-Byte wird die Länge der zu übertragenden Nachricht festgelegt. das zweite Parameter-Byte hat stets den Wert 00H, da weniger als 256 bytes je Nachricht gesendet werden.

Kommando CCH (Abort Transmit Frame) unterbricht den Sendeorgang und bildet ein Abbruchzeichen und danach Flags.

Mit den Eintragungen in das Sendeergebnis-Register kann der Ablauf des abgeschlossenen Sendeorgangs überprüft werden. Die drei möglichen Ergebnisse können mit Adresse 22H gelesen werden.

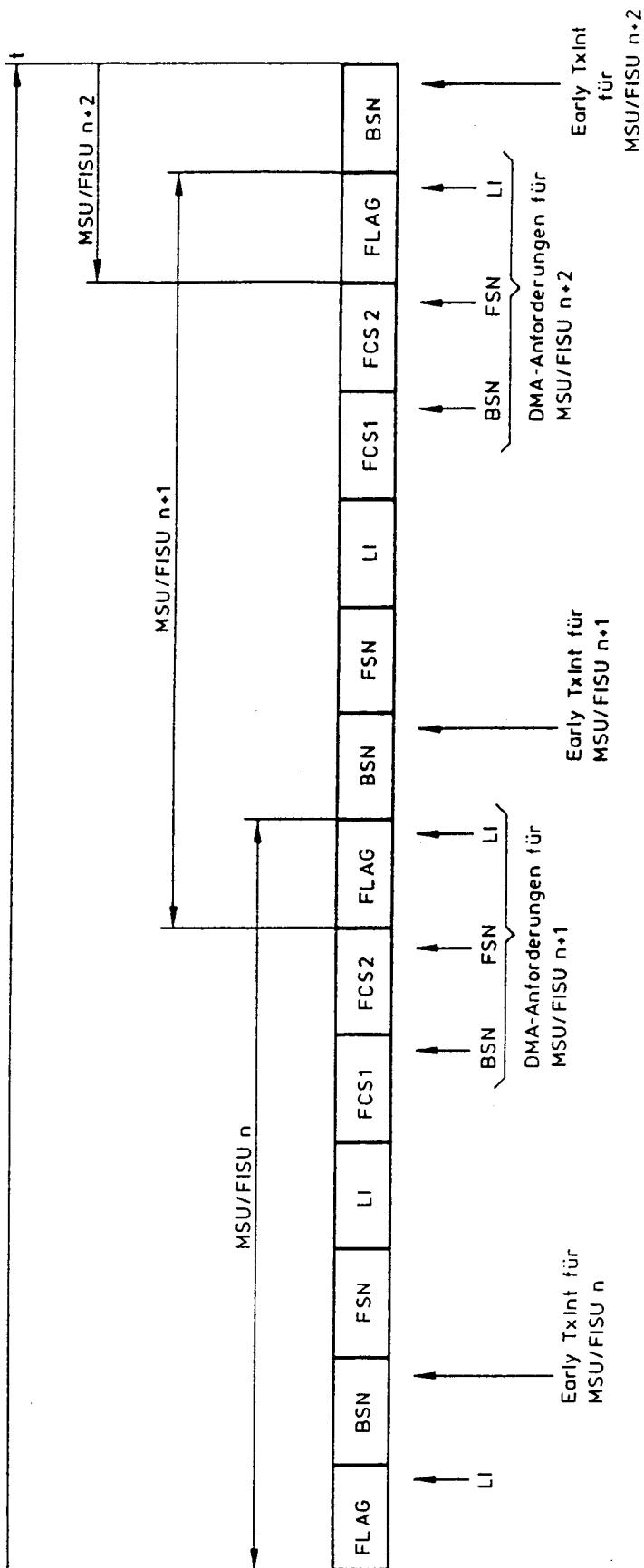


Bild 13 DMA- und Interruptanforderungen des HDLC-Controllers bei Senden

### **Early Transmit Interrupt**

Nach Abschluß der störungsfreien Datenübertragung bildet der HDLC-Controller die zwei Bytes Checksumme und das Abschluß-Flag, mit denen die Nachricht vervollständigt wird.

Gleichzeitig bildet er den Sende-Interrupt zur Abgabe des Ergebnisses "Early Transmit Interrupt" und ermöglicht so die Ausgabe des nächsten Sendekommandos. Sonst sind beide Nachrichten nur durch ein Flag getrennt, d.h., Abschluß-Flag der ersten Nachricht ist gleichzeitig Beginn-Flag der folgenden Nachricht.

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	1	0	0

= 0CH

### **Frame Complete**

Es ist möglich, daß auf Grund veränderter Zeitbedingungen in der Interruptbehandlung TxINT verspätet ausgegeben wird. In diesem Fall wird nach dem Abschluß-Flag mit einem Sendeinterrupt das Ergebnis "Frame Complete" erzeugt. Bis zum nächsten Sendekommando sendet der HDLC-Controller dann Flags.

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	1	0	1

= 0DH

### **DMA Underrun**

Wenn vor dem Quittieren einer DMA-Anforderung für das Einschreiben eines Datenbytes schon die nächste DMA-Anforderung gestellt wird, bildet der HDLC-Controller das Ergebnis "DMA Underrun".

Danach sendet er ein Abbruchzeichen und Flags.

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	1	1	1	0

= 0EH

### 3.2.3 Interrupt-Steuerung

Für die Interrupt-Steuerung ist ein Programmable Interrupt Controller (PIC) eingesetzt. Er kann bis zu acht Interruptanforderungen (IR0 bis 7) verarbeiten. Über den SILT-Daten-Adreß- und Steuerbus ist er mit der CPU verbunden.

Das CS-Signal des I/O-Decoders (CSINTCTR) gibt den PIC für eine Lese- oder Schreiboperation frei.

Mit WR = LOW kann die CPU ein Kommando-Wort in den PIC schreiben und mit RD = LOW ein Statuswort über den Datenbus lesen.

INT schaltet auf HIGH wenn ein gültiger Interrupt gestellt wurde und meldet diesen an die CPU.

Die Leitung INTA schaltet, wenn der PIC einen Interrupt Vector auf den Datenbus legt.

Am PIC des SILT sind sieben maskierbare und ein nichtmaskierbarer Interrupt angeschlossen.

IR0	RxINT .....	Empfangsunterbrechung vom HDLC-Controller
IR1	TxINT .....	Sendeunterbrechung vom HDLC-Controller
IR2	Zeitgeber 0 .....	Zeittakt-Interrupt für Software-Steuerung
IR4	Zeitgeber 1 .....	HDLC-Prüftakt
IR6	Zeitgeber 2 .....	Octet Counting Mode
IR3	DMA-Controller .....	EOP-Interrupt
IR5	HDLC-Controller ...	Flag-Detect Signal

Für die Initialisierung benötigt der PIC zwei Kommandoworte (Initialisation Command Word ICW1, ICW2). Damit werden die Modes "Single-" und "Edge triggered Mode", die Interrupt-Vector-Adresse und die Call-Adreß-Intervalle eingestellt.

Außerdem werden durch zwei Kontrollworte (Operation Command Word, OCW1, OCW2) das Interrupt-Mask-Register, die Prioritäten der Interrupeingänge und das Rücksetzen des In Service Registers (ISR) festgelegt.

Für Anlauf- und Normalbetrieb werden in der SILT unterschiedliche Interrupt-programme benötigt.

Deshalb wird mit zwei unterschiedlichen Interrupt-Vektoren gearbeitet. Der Adreßraum für die Interrupt-Behandlung ist von 0000H bis 007FH festgelegt.

Restart-Adressen 0000H – 003FH

RST0 (bei RESET) 0000H

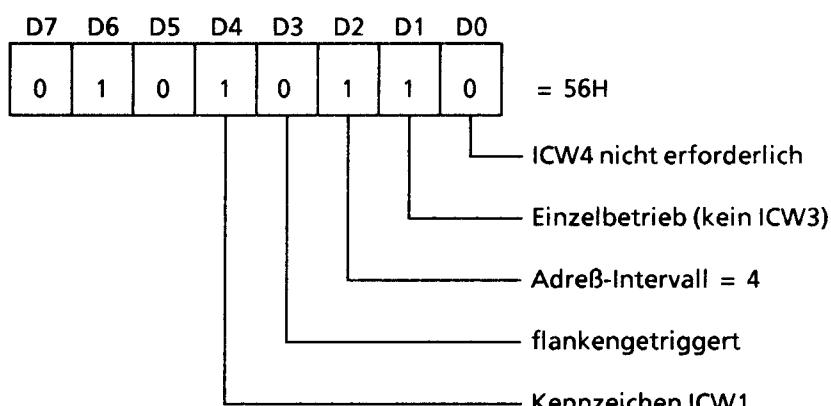
RST5.5 (Trace-Interrupt) 002CH

Interrupt-Vektoren  
für Anlauf 0040H – 005FH

Interrupt-Vektoren  
für Normalbetrieb  
(Cycle-Endless) 0060H – 007FH

### Einstellen ICW1 für Anlauf

Ausgabe an Adresse 30H

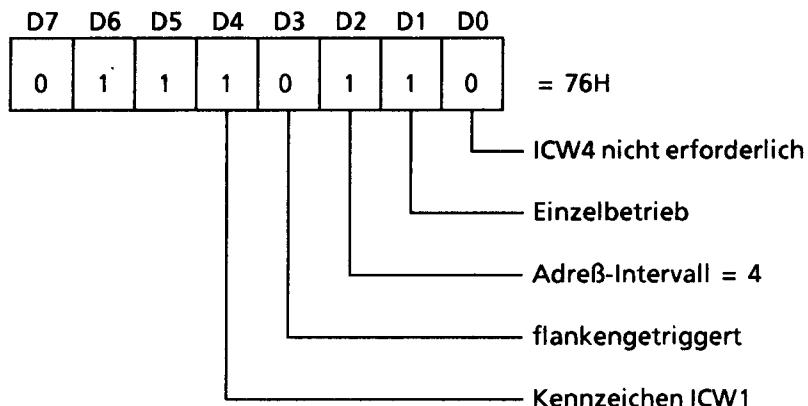


Die Intrerrupteingänge haben in diesem Zustand folgende Adreßvektoren:

- IR0 .... 40H
- IR1 .... 44H
- IR2 .... 48H
- IR3 .... 4CH
- IR4 .... 50H
- IR5 .... 54H
- IR6 .... 58H
- IR7 .... 5CH

## Einstellen ICW1 für Normalbetrieb

Ausgabe an Adresse 30H



Im Normalbetrieb sind für die Interrupts IR0 bis 7 die Adressvektoren 60H bis 7CH festgelegt.

## Einstellen ICW2

ICW2 enthält das höherwertige Byte der Adress-Vektoren. Es hat für Anlauf- und Normalbetrieb den Wert 00H. Die Ausgabeadresse ist 31H.

## Einstellen OCW1

Das Steuerwort OCW1 (Adresse 31H) dient der Markierung der sieben Interrupt-eingänge durch Setzen des Interrupt-Mask-Registers (IMR).

D7	D6	D5	D4	D3	D2	D1	D0
IR7	IR6	IR5	IR4	IR3	IR2	IR1	IR0

Datenbit = 0 entsprechenden Interrupt freigeben

Datenbit = 1 entsprechenden Interrupt sperren.

Der Inhalt des Interrupt Mask Register kann von Adresse 31H gelesen werden.

## Einstellen OCW2

OCW2 dient als Non-Specific-EOI-Kommando am Ende eines jeden Interrupt-Programms. Mit ihm wird das höchstpriorisierte Bit im In Service Register zurückgesetzt.

## Ablauf einer Interrupt-Anforderung

Wenn ein oder mehrere Interrupteingänge (IR0 bis 7) auf HIGH schalten, setzt der PIC das korrespondierende Bit im Interrupt Request Register (IRR).

Der PIC bearbeitet die Anforderung und sendet die Meldung INT = HIGH zur CPU. Auf die Quittung INTA = LOW setzt der PIC das höchstwertige Bit im ISR und löscht die Anforderung im Interrupt Request Register.

Daraufhin legt der PIC den Call Instruction Code (11001101) auf den Datenbus. Dieser Code veranlaßt die CPU, weitere zwei INTA-Impulse zu senden, mit denen die programmierte Unterprogrammadresse zur CPU gesendet wird. Das niederwertige Byte erscheint mit dem ersten, das höherwertige Byte mit dem zweiten INTA-Impuls auf dem Datenbus. Am Ende der Interrupt-Behandlung setzt die CPU mit einem EOI-Kommando den Interrupt im In Service Register zurück.

### 3.2.4 DMA-Steuerung (DMAC)

Die DMA-Steuerung für den Datentransfer zwischen HDLC-Controller und Speicher ist mit dem Baustein 501 aufgebaut.

Er erkennt die DMA-Anforderungen Receive Request (DRQ3) und Transmit Request (DRQ2) des HDLC-Controllers.

Der Anforderung entsprechend trägt der DMA-Controller das zu sendende Datenbyte vom Speicher in das Senderegister des HDLC-Controllers ein oder liest das empfangene Datenbyte aus dem HDLC-Empfangsregister in den adressierten Speicherplatz.

Die Start-Adresse des Sende-DMA-Transfers bestimmt die CPU. Nach jedem DMA-Prozess wird die Adresse inkrementiert.

Außerdem ist die DMA-Steuerung in der Lage, Übertragungen von Datenblöcken von einem Speicherbereich in einen anderen vorzunehmen. Die CPU informiert die DMA-Steuerung dabei über die Länge des Datenblocks sowie über Ursprungs- und Zieladresse.

Die DMA-Steuerung hat keinen Zugriff zum Dual-Port-Speicher. Der Baustein 501 arbeitet mit einem Takt von 5 MHz, der durch Teilung aus der Frequenz des Quarzoszillators Q1 gewonnen wird. CS = LOW (Adresse 00H bis 0FH) vom Ausgang 0 des Adreßdecoders (Baustein 65) aktiviert den DMA-Controller für eine Bus-Operation. RESET (HIGH aktiv) löscht Kommando-, Status-, Anforderungs- und Temperary-Register.

Mit HRQ (Hold Request) fordert die DMA-Steuerung Buszuteilung von der CPU. Einen Zyklus nach HRQ quittiert die CPU mit HDLA die Zuteilung des Systembusses. I/O-Read (IOR) ist eine bidirektionale Leitung, die im Ruhezustand der DMA-Steuerung das Lesen der DMA-Kontroll-Register durch die CPU ermöglicht und im aktiven Zustand den Buszugriff für einen Schreibvorgang anzeigt.

Mit I/O-Write schreibt die CPU im DMA-Ruhestand Informationen in die Register des DMA-Bausteins. Im aktiven Zustand führt das Signal zum Auslösen eines Lesevorgangs.

End of Process (EOP) zeigt das Ende eines DMA-Transfers an, wenn das Wortzählregister den Wert FFFFH erreicht hat. Der PIC löst dann über IR3 einen Interrupt aus.

AEN (Adress Enable) sperrt die Bustreiber für den DMA-Zugriff auf den Systembus. ADSTB (Adress Strobe) lädt das höherwertige Adressbyte in ein Register. MEMR (Memory Read) und MEMW (Memory Write) sind aktiv-LOW-Signale; sie schalten bei Speicher-Speicher-Transfer oder DMA-Lesen und -Schreiben ein.

### 3.2.1.4 Register und Adressen

Adresse	Register	
00H	Basis- und Momentan-Adressregister	Kanal 0
01H	Basis- und Momentan-Wortzählregister	Kanal 0
02H	Basis- und Momentan-Adressregister	Kanal 1
03H	Basis- und Momentan-Wortzählregister	Kanal 1
04H	Basis- und Momentan-Adressregister	Kanal 2
05H	Basis- und Momentan-Wortzählregister	Kanal 2
06H	Basis- und Momentan-Adressregister	Kanal 3
07H	Basis- und Momentan-Wortzählregister	Kanal 3
08H	Schreiben Kommando-Register Lesen Status-Register	
09H	Schreiben Anforderungs-Register	
0AH	Schreiben Einzelbit in Mask-Register	
0BH	Schreiben Mode-Register	
0CH	Rücksetzen, Byte-Pointer	
ODH	Rücksetzen, Lesen Temporary-Register	
OEH	Rücksetzen Mask-Register	
OFH	Schreiben Mask-Register	

### **Basis-Adreßregister**

Das Basis-Adreßregister (16 bit) enthält bei Schreiben die Startadresse der zu übertragenden Daten.

### **Momentan-Adreßregister**

Im Momentan-Adreßregister (16 bit) ist die Adresse des gerade zu übertragenden Datenbytes enthalten. Es zählt sowohl bei Schreiben als auch bei Lesen nach jeder Übertragung.

### **Basis-Wortzählregister**

Das Basis-Wortzählregister (16 bit) enthält bei Schreiben die Länge des zu übertragenden Datenblocks.

### **Momentan-Wortzählregister**

Die Anzahl der während eines DMA-Transfers (Lesen und Schreiben) noch zu übertragenden Bytes steht im Momentan-Wortzählregister. Ist der Inhalt des Registers Null, erzeugt die DMA-Steuerung ein EOP-Signal.

### **Kommando-Register**

Mit dem Inhalt des Kommando-Registers wird der DMA-Baustein initialisiert. Vorher wird der DMA-Controller durch ein RESET von der CPU zurückgesetzt.

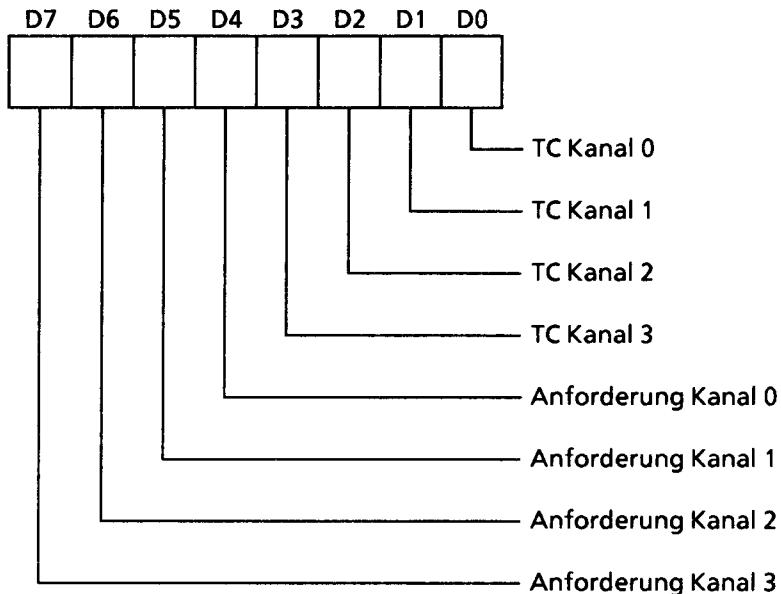
D7	D6	D5	D4	D3	D2	D1	D0	= 21H
0	0	1	0	0	0	0	1	

- D0 ..... Speicher-Speicher-Transfer freigeben
- D1 ..... Adresse Kanal 0 (Quelle) weiterschalten
- D2 ..... DMA-Steuerung freigeben
- D3 ..... normales Zeitverhalten
- D4 ..... feste Prioritäten
- D5 ..... verlängertes Schreibsignal
- D6 ..... DRQ HIGH-aktiv
- D7 ..... DACK LOW-aktiv

Im Anlauf muß für Speicher-Füllfunktionen (z.B. RAM löschen) die Quellenadresse auf einer festen EPROM-Adresse festgehalten werden. Das Kommandowort heißt dann 23H (D1 = 1, Quelladresse festhalten).

## Status-Register

Das Status-Register zeigt den Zustand der Anforderungsleitungen DRQ0 bis 3 (D4 bis 7) und der Wortzählregister D0 bis 3 an.



Jedes Wortzählregister setzt bei Übergang von 0000H nach FFFFH einen Terminal Count (TC).

## Mode-Register

Jedem Kanal ist ein Mode-Register zugeordnet, das die Angaben des Kommando-Registers ergänzt und die Betriebsart jedes Kanals einstellt.

Kanal 0 realisiert den Speicher-Speicher-Transfer für Lesen.

Kanal 1 realisiert den Speicher-Speicher-Transfer für Schreiben.

In beiden Fällen ist die Zuordnung zu Quellen- und Zielspeicher fest eingestellt.

Kanal 2 arbeitet im Speicher → I/O-Betrieb, d.h. es werden Daten vom Speicher zum HDLC-Controller übertragen. Das Mode-Register für Kanal 2 wird wie folgt eingestellt:

D7	D6	D5	D4	D3	D2	D1	D0
0	1	0	0	1	0	1	0

= 4AH

- D0, 1      Kanaladresse (Kanal 2)
- D2, 3      Lesetransfer
- D4          Auto-Initialisierung gesperrt
- D5          Adresse inkrementieren
- D6, 7      Einzelwortübertragung (Single-Mode)

Kanal 3 arbeitet im I/O → Speicher-Betrieb, d.h., es werden Daten vom HDLC-Controller zum Speicher übertragen. Das Mode-Register für Kanal 3 wird wie folgt eingestellt:

D7	D6	D5	D4	D3	D2	D1	D0	
0	1	0	0	0	1	1	1	= 47H

- D0, 1      Kanaladresse (Kanal 3)
- D2, 3      Schreibtransfer
- D4          Auto-Initialisierung gesperrt
- D5          Adresse inkrementieren
- D6, 7      Einzelwortübertragung (Single-Mode)

### Anforderungs-Register

Das Anforderungs-Register dient dem Setzen oder Rücksetzen von DMA-Anforderungen für den jeweiligen Kanal. Im Normalfall setzt EOP die Anforderung zurück.

- D0, 1      Kanal-Adresse (0 bis 3)
- D2          Setzen/Rücksetzen Anforderungs-Bit
- D3 bis 7    nicht ausgewertet

### Mask-Register

Mit diesem Register können die DMA-Anforderungen der einzelnen Kanäle gesperrt werden. Nach RESET sind alle Bits gesetzt, d.h., alle Anforderungen gesperrt. EOP führt ebenfalls zum Maskieren des betreffenden Kanals.

Die Bits des Mask-Registers können gemeinsam (Adresse 0F, Kanal 0, 1, 2, 3 = D0, 1, 2, 3) oder einzeln (Adresse OAH, D0, 1 = Kanaladresse, D2 = Rücksetzen/Setzen Bit) verändert werden.

### Temporary-Data-Register

In diesem Register werden die Daten beim Speicher-Speicher-Transfer zwischengespeichert.

### **Clear Byte-Pointer Flipflop**

Dieses Flipflop unterscheidet LSBYTE und MSBYTE bei Schreiben und Lesen der Adreß- und Wortzählregister.

Flipflop = 1 ..... Adressierung LSBYTE

Flipflop = 0 ..... Adressierung MSBYTE

### **3.2.4.2 DMA-Übertragung**

Vor Beginn einer Übertragung muß die Startadresse und die Blocklänge in das Basis-Adreß- bzw. Wortzählregister des jeweiligen Kanals eingetragen werden. In das Adreßregister wird zuerst der LOW-Teil, dann der HIGH-Teil eingeschrieben.

Der augenblickliche Inhalt der Register kann mit der gleichen Adresse jederzeit gelesen werden. Für die Wortzählregister ist nur der LOW-Teil relevant, da die Datenblöcke < 256 bytes lang sind.

Vor dem Laden der Register wird der Byte-Pointer auf Null gesetzt.

#### **DMA-Einstellung bei Speicher ↔ Speicher Transfer (Kanal 0, 1)**

- Quellenadresse in Register 00H laden:
  1. Zugriff Quellenadresse LOW-Teil
  2. Zugriff Quellenadresse HIGH-Teil
- Zieladresse in Register 02H laden:
  1. Zugriff Zieladresse LOW-Teil
  2. Zugriff Zieladresse HIGH-Teil
- Blocklänge in Register 03H laden:
  1. Zugriff Blocklänge LOW-Teil

#### **DMA-Einstellung bei Speicher → I/O-Transfer (Kanal 2, Tx-Daten)**

- Speicheradresse in Register 04H laden:
  1. Zugriff Speicheradresse LOW-Teil
  2. Zugriff Speicheradresse HIGH-Teil
- Blocklänge in Register 05H laden.  
Die Blocklänge wird bei Senden vom HDLC-Controller überwacht. Deshalb wird mit dem ersten Zugriff in den LOW-Teil dieses Registers der Festwert FFH eingetragen.

## DMA-Einstellung bei I/O → Speicher Transfer (Kanal 3, Rx-Daten)

- Zieladresse in Register 06H laden:
  1. Zugriff Zieladresse LOW-Teil
  2. Zugriff Zieladresse HIGH-Teil
- Blocklänge in Register 07H laden:
  1. Zugriff Blocklänge LOW-Teil (42H = maximale Nachrichtenlänge + 1)

### 3.2.5 Programmierbarer Zeitgeber (PIT)

Als Zeitgeber ist ein Programmable Interrupt Timer (Baustein 507) eingesetzt. Er enthält drei unabhängige 16-bit-Zähler. Der Zeitgeber ist am internen SILT-Bus angeschlossen und wird von der CPU gesteuert.

Die Leitungen des Datenbusses D0 bis 7 sind am Datenbus-Buffer des Bausteins angeschlossen.

Der Datenbus-Buffer hat drei Funktionen:

- Programmieren des Zeitgeber-Mode
- Laden der Zählerregister
- Lesen der Zählerwerte

Die Lese-/Schreib-Logik steuert in Verbindung mit Chip-Select (CS) den Zugriff der CPU auf den Zeitgeber.

Mit READ = LOW kann die CPU die Zählwerte der drei Zähler lesen. Eine Mode-Einstellung oder das Laden der Zähler wird mit WR = LOW vorgenommen.

A0 und A1 des Adressbusses selektieren bei Zugriff einer der drei Zähler. Mit A0 und A1 = 1 kann das Steuerwort-Register beschrieben werden.

- Register-Adressen
  - 10H ..... Laden Zähler 0 Lesen Zähler 0
  - 11H ..... Laden Zähler 1 Lesen Zähler 2
  - 12H ..... Laden Zähler 2 Lesen Zähler 2
  - 13H ..... Laden Steuerwort

### 3.2.5.1 Initialisieren

Das Initialisieren beginnt mit der Ausgabe der Steuerworte.

#### Steuerwort Zeitgeber 0

D7	D6	D5	D4	D3	D2	D1	D0	= 34H
0	0	1	1	0	1	0	0	

D0 Einstellen auf 16-bit-Binärzähler

D1 bis 3 Betriebsart 2 (Teiler durch N)

D4, 5 Erstes Byte = LSBYTE

Zweites Byte = MSBYTE (bei Lesen und Schreiben)

D6, 7 Adresse Zeitgeber 0

Zähler 0 arbeitet als Frequenzteiler und erzeugt aus dem 1-MHz-Takt einen Takt mit programmierbarer Periode (entsprechend programmiertem Zählerwert).

#### Steuerwort Zeitgeber 1

D7	D6	D5	D4	D3	D2	D1	D0	= 74H
0	1	1	1	0	1	0	0	

#### Steuerwort Zeitgeber 2

D7	D6	D5	D4	D3	D2	D1	D0	= B4H
1	0	1	1	0	1	0	0	

### 3.2.5.2 Laden Zeitgeber

Nach dem Ausgeben der Steuerworte gehen die Ausgänge der Zähler auf HIGH.

Mit dem Laden der Anfangszählwerte ist der Zeitgeber aktiviert.

#### Laden Zeitgeber 0 mit C350H = 50000D

Dieser Takt ist an den PIC geführt (IR2) und bildet alle 50 ms einen Interrupt zur Programmüberwachung.

### **Laden Zeitgeber 1 mit 516H = 20833D**

Zeitgeber 1 teilt den 1-MHz-Takt für die Sende- und Empfangstakte der HDLC-Prüfung im Anlaufprogramm (siehe Prüftakt in Bild 11). Der Takt führt im Zyklus von 20,833 ms zum Interrupt IR4.

### **Laden Zeitgeber 2 mit 682BH = 26667D**

Zeitgeber 2 liefert den Takt für den Octet Counting Mode und bildet am PIC den Interrupt IR6.

## **3.2.6 Watchdog**

### **Kurzzeit Watchdog (WD1)**

Mit diesem Watchdog wird eine Endlosschleifen-Überwachung durchgeführt. Er ist mit einer monostabilen Kippstufe (Baustein 37) mit einer Schaltzeit von etwa 80 ms aufgebaut.

Bei Ablauf des Watchdog liefert Flipflop 36 ein CPU-RESET, das zum Rücksetzen der Baugruppe und nachfolgendem Wiederanlauf führt (Bedingung: Watchdog-Sperre AUS). Im Normalbetrieb triggert das Operating System den Watchdog innerhalb der 80 ms durch Ausgabe eines beliebigen Bitmusters an Adresse 50H.

Der Watchdog ist erst mit der Ausgabe von log.1 am Ausgabe-Port (Baustein 508,6) freigegeben. Erst danach führt das Ablaufen des Watchdog zum RESET.

### **Langzeit-Watchdog (WD2)**

Dieser Watchdog ist von der Software realisiert; es dient zur Kommunikationsprüfung mit der DIRC.

Nach Ablauf von WD2 wartet die Software auf den Ablauf des WD1 zum RESET.

## **3.2.7 Speicher**

Der Speicher der SILT besteht aus einem Programm- und einem Datenspeicher. Zusätzlich ist ein RAM als Dual-Port-Speicher (DUPO) für den wahlweisen Zugriff von SILT und DIRC eingesetzt.

## Adressbereichsaufteilung SILT

48 kbyte (3 kbyte x 16 kbyte) Programmspeicher	0000H – 3FFFH 4000H – 7FFFH 8000H – BFFFH
14 kbyte (8 kbyte + 6 kbyte) Datenspeicher	C000H – DFFFH E000H – F7FFFH
2 kbyte Dual-Port-Speicher	F800H – FFFFH
I/O-Adressen	DMA 00H – 0FH
Zeitgeber	10H – 1FH
HDLC	20H – 2FH
PIC	30H – 3FH
Ausgabe-Port	40H – 4FH
Watchdog (WD1)	50H – 5FH

### Programmspeicher

In diesem Speicher sind Programme und Konstanten gespeichert. Er ist mit 8-kbyte-EPROM-Bausteinen 522, 523 und 524 aufgebaut. Mit den Adressleitungen A0 bis 15, den Datenleitungen D0 bis 7 sowie den Steuerleitungen MEMRD-L und IO/M sind die Bausteine am Systembus angeschlossen. Die Adressleitungen A14 und A15 selektieren über den Decoder 113 einen der drei 16-kbyte-Bereiche.

A0 bis 13 wählen die entsprechende Speicherzelle. IO/M gibt den Adressdecoder frei. MEMRD-L dient als Freigabesignal für einen Lesezyklus.

### Datenspeicher

Der 14 kbyte große Datenspeicher nimmt die Transferdaten zwischen SIT und SILT und die variablen Daten der Warteschlangen auf. Zu diesem Speicher haben sowohl CPU als auch DMA-Steuerung Zugriff. Die DMA-Steuerung liest oder schreibt Datenblöcke für den Transfer mit dem HDLC-Controller. Der Datenspeicher besteht aus zwei CMOS-RAM-Bausteinen (525 und 526). Die Adressierung wird vom Adressbus mit A0 bis 15 vorgenommen. Die Daten gelangen über die Datenleitungen ED0 bis 7 zum Speicher. Mit MEMWR-L oder MEMRD-L werden Schreib- und Lesezyklus unterschieden. IO/M gestattet in Verbindung mit den höherwertigen Adressbit die Freigabe der Speicher-Bausteine.

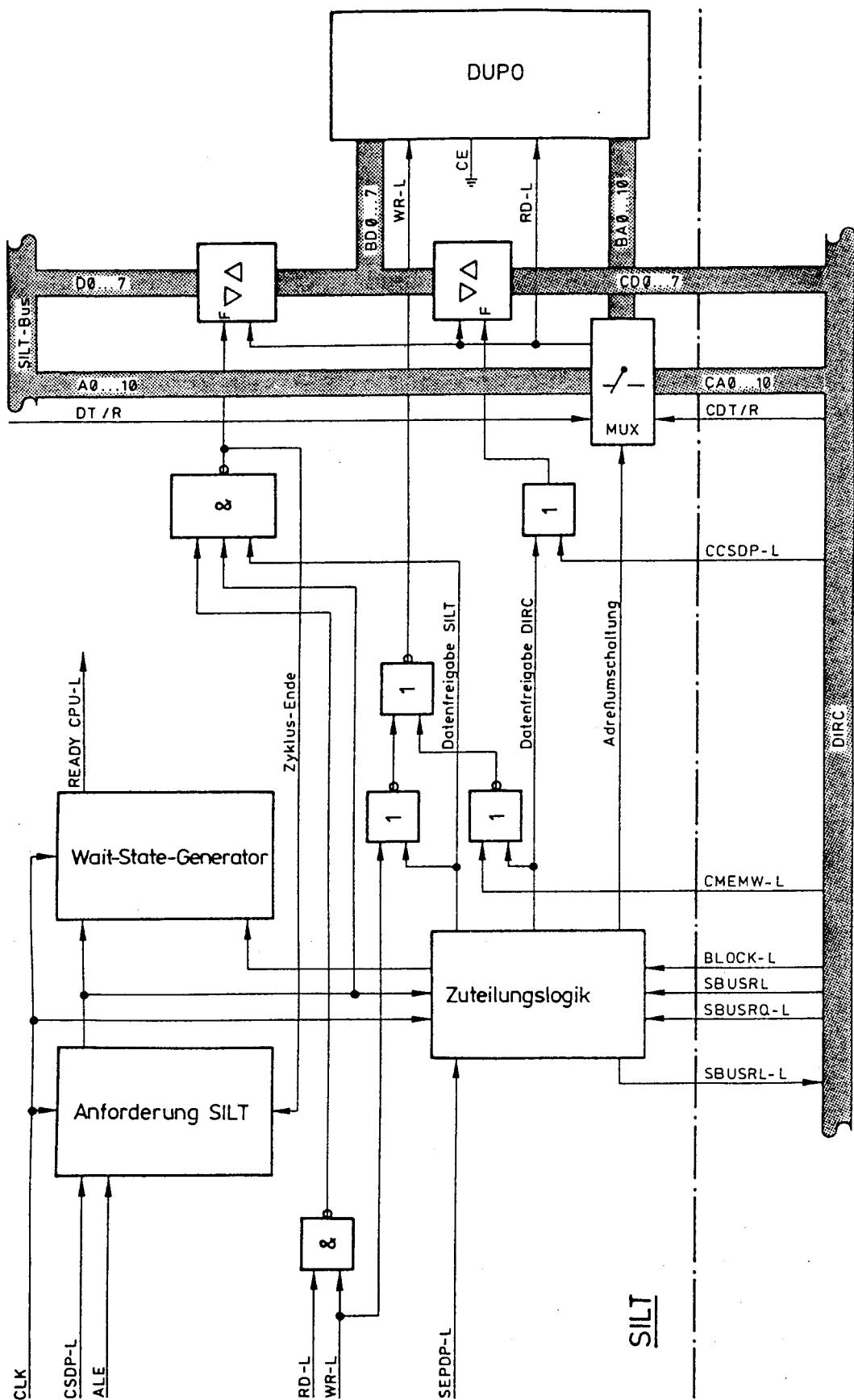


Bild 14 Übersichtsschaltplan Dual-Port-Speicher

## Dual-Port-Speicher

Der Dual-Port-Speicher (DUPO) bildet die Schnittstelle zwischen SILT und DIRC. Sowohl SILT als auch DIRC haben wahlweisen Zugriff auf diesen Speicher, in dem die Daten zwischen beiden Baugruppen ausgetauscht werden (siehe Bild 14).

Die Umschaltung der Adreß- und Datenbusse steuert eine Zuteillogik. Als Speicher-element dient ein 2 kbyte x 8 RAM (Baustein 516). Die Datenleitungen BD0 bis 7 sind über bidirektionale Treiber (Baustein 517 und 519) mit dem internen Datenbus (D0 bis 7) und dem DIRC-Bus (CD0 bis 7) verbunden.

Die Adreß-Signale CA0 bis 10 (DIRC) oder A0 bis 10 (SILT), werden von der Zuteillogik gesteuert, über die Multiplexer (Baustein 71, 81 und 91) an den Dual-Port-Speicher gelegt.

Die Datenrichtung der Treiber wird von den Signalen CDT/R (von DIRC) und DT/R (SILT) bestimmt.

## 3.3 SIT S22581-C52-A1 Signalisierungsumsetzer

Der Signalisierungsumsetzer (SIT, siehe Bild 15) ist eine Datenübertragungseinrichtung, die binäre Daten im Synchronbetrieb über festgeschaltete 4-Draht-Fernsprechleitungen mit einer Datenrate von 4,8 kbit/s überträgt.

Die Baugruppe SIT bildet die Schnittstelle zwischen Datenendeinrichtung (SILT) und Fernsprechleitung.

Über die Fernsprechleitung ist der SIT mit den Überleiteinrichtungen (ÜLE) verbunden und gewährleistet so die Kommunikation zwischen Funkkonzentrator und Überleiteinrichtung.

Zur SILT besteht eine serielle Schnittstelle, die vom HDLC-Controller der SILT bedient wird und Daten mit 4,8 kbit/s sendet und empfängt.

Die Baugruppe SIT besteht aus folgenden wesentlichen Funktionseinheiten:

- Empfangs-Mikroprozessor 1,
- Empfangs-Mikroprozessor 2,
- Sende-Mikroprozessor,
- Steuereinheit,
- Analog/Digital-Wandler,
- Digital/Analog-Wandler.

### 3.3.1 Empfangen

Das von der Fernsprechleitung (SITKA, SITKB) ankommende Empfangssignal gelangt über die empfangsseitige Anschalteinheit (T2) und den Schalter D8 zum Ortsleitungs-Kompromißentzerrer, der definierte Leitungsverzerrungen korrigiert. SITKA und SITKB sind durch einen Überspannungsschutz (F2) verbunden, der bei Überspannung beide Leitungen kurzschließt. Die UKW-Drosseln L4 und L3 unterdrücken Funkstörspannungen.

Der Schalter D8 (2-Kanal Analog Multiplexer/Demultiplexer) ermöglicht die Auswahl zwischen normaler Datenübertragung und Prüfbetrieb. Er wird von der Steuereinheit geschaltet.

Der Ortsleitungs-Kompromißentzerrer gibt das Signal weiter zum RF-Strecken-Kompromißentzerrer. Er gleicht bestimmte Gruppenlaufzeitveränderungen aus und gibt das Signal zum Empfangsbandpaß.

Ortsleitungs-Kompromißentzerrer und TF-Strecken-Kompromißentzerrer können mit den Schaltern S2b oder S2a abgeschaltet werden.

Der Empfangsbandpaß unterdrückt außerhalb des Übertragungsfrequenzbandes liegende Störungen auf dem modulierten Signal.

Das vorgefilterte analoge Empfangssignal wird in einem zweistufigen Regelverstärker auf den für den A/D-Wandler erforderlichen Pegel verstärkt. Die Einstellung des Regelverstärkers geschieht mit einem Datenwort des Empfangsprozessors 1 (D0 bis 5). Der zweistufige Regelverstärker besteht aus dem Register D11, den Analogschaltern D9 und D10 und dem zweistufigen Operationsverstärker N5.

Mit WR = LOW und PORT1,17 speichert das Register D11 den Einstellwert, der über die Analogschalter D10 die Werte einer Widerstandskombination am Eingang der Operationsverstärker verändert.

Das Eingangssignal gelangt dann über einen Kondensator zum Eingang (IN) des SAMPLE and HOLD-Bausteins. Hier wird das Signal mit einem 8-kHz-Takt, den PORT1,10 des Empfangsprozessors 2 (Baustein D14) liefert, abgetastet.

Mit dem invertierten 8-kHz-Takt übernimmt der A/D-Wandler (Baustein D7) das Empfangssignal und setzt es in digitale 8-bit-Worte um. Diese 8-bit-Worte liegen auf dem Datenbus und stehen dort den beiden Empfangs-Prozessoren zur Verfügung.

Die weitere Verarbeitung des Empfangssignals geschieht softwaregesteuert im Empfangsprozessor 1 (Baustein D16) und im Empfangsprozessor 2 (Baustein D14).

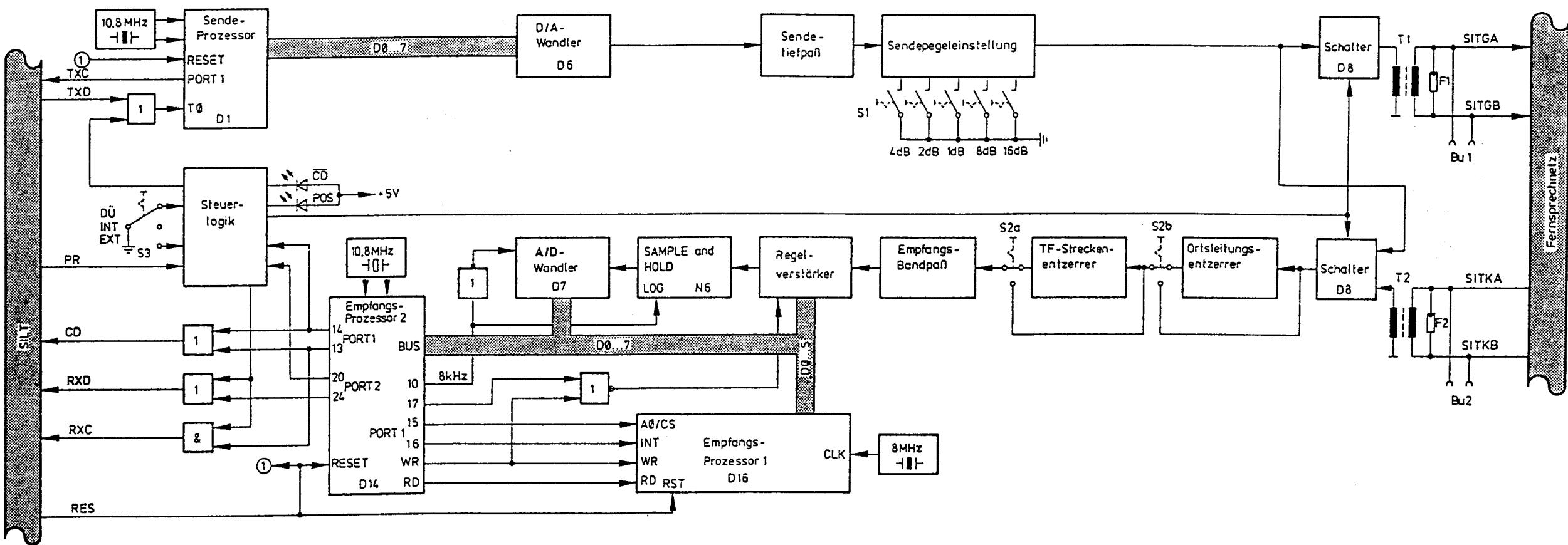


Bild 15 Übersichtsschaltplan SIT



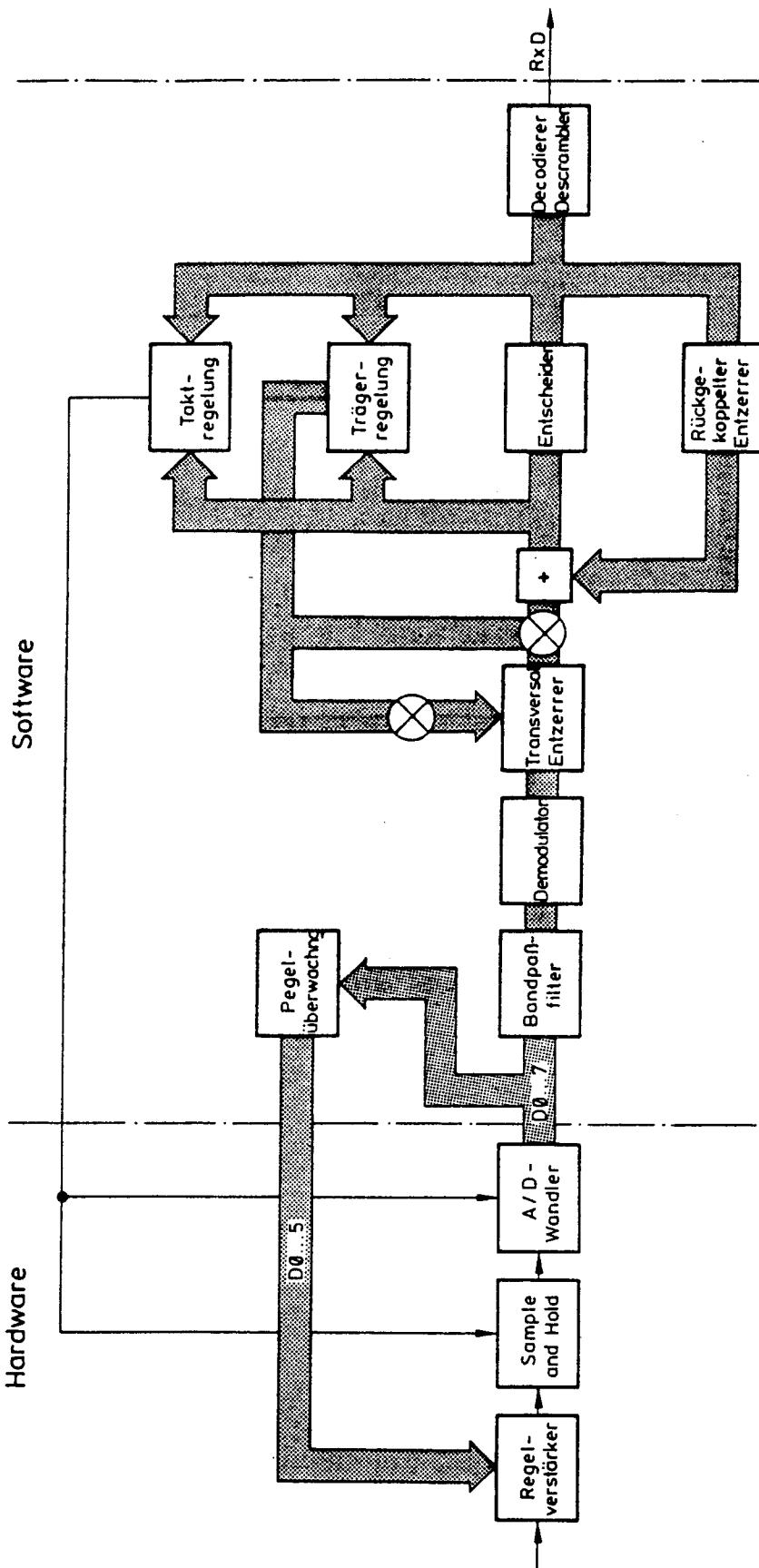


Bild 16 Übersichtsschaltplan Empfänger

Der Empfangsprozessor 2 ist mit den Datenleitungen D0 bis 7 am Datenbus angeschlossen. Er erhält seinen Takt von einem 10,8-MHz-Quarz und übernimmt folgende Empfängerfunktionen:

Synchronisierung

Teile der Pegelüberwachung und Taktrückgewinnung

Decodierung

Descrambling

Steuern des Empfangsprozessors 1

Ausgabe von Signalen an die Steuereinheit

Verzögern der Schnittstelle zur SILT

Mit RD = LOW liest der Empfangsprozessor 2 Daten aus dem Empfangsprozessor 1. WR = LOW erlaubt die Ausgabe eines Datenworts an den Regelverstärker. Über PORT1,16 löst der Empfangsprozessor 2 am Empfangsprozessor 1 einen Interrupt mit unbedingtem Sprung auf Adresse 100H aus. Port 1,15 steuert die Freigabe des Empfangsprozessors 1 für Lesen oder Schreiben von Daten.

Ausgang 10 von PORT1 liefert den 8-kHz-Takt zum Abtasten des Empfängersignals im SAMPLE and HOLD-Baustein und zur Übernahme in den A/D-Wandler. Den Empfangstakt RXC und das Signal CD gibt der Empfangsprozessor 2 von PORT1,13 und PORT1,14 an die Schnittstelle zur SILT.

Synchron zum Empfangstakt RXC werden die Empfangsdaten RXD übertragen. Die positive Taktflanke von RXC liegt in der Mitte eines Datenbits.

### Bild 17 Zeitdiagramm Empfangsdaten

Die Leitung CD meldet der SILT, ob auf der Empfangsleitung ein ausreichender Pegel vorhanden ist. Zwischen dem Erkennen eines Empfangssignalpegels und der Reaktion auf CD vergeht die Zeit:

Ansprechzeit CD AUS → EIN < 100 ms

Nachwirkzeit CD EIN → AUS < 100 ms

Zwischen dem Anlegen eines Empfangssignalpegels von  $\geq -43$  dBm und CD = LOW (EIN) vergeht die Ansprechzeit.

Zwischen dem Abfall des Signalpegels auf  $\geq -48$  dBm und CD = HIGH (AUS) liegt die Nachwirkzeit.

CD dient der Erkennung eines Pegelausfalls und gibt keine Aussage über den Zustand der Synchronisierung. Die Synchronisierzeit beträgt 100 ms, bei schwierigen Leitungskonfigurationen bis zu einigen Sekunden. Der Zustand auf der Leitung CD wird mit der Leuchtdiode H1 zur Anzeige gebracht. Die rote Leuchtdiode leuchtet bei Pegelausfall.

PORT2,24 des Empfangsprozessors 2 liefert die Empfangsdaten RXD. Ist CD = HIGH (AUS), wird die Leitung RXD auf HIGH gehalten. Über die Leitung RES wird der Empfangsprozessor 2 von der SILT zurückgesetzt.

Der Empfangsprozessor 1 übernimmt folgende Aufgaben:

Digitale Filterung des Empfangssignals

Demodulation

Erzeugen des Einstellkriteriums für die Pegelüberwachung

Entzerrung

Entscheidung

Rückgewinnen des Empfangstaktes

Rückgewinnen der Trägerphase

Der Empfangsprozessor 1 arbeitet mit einem 8-MHz-Takt. Er ist mit den Datenleitungen D0 bis 7 am Datenbus angeschlossen und hat somit Verbindung zum Empfangsprozessor 2 und zum A/D-Wandler. Die Steuereingänge CS, A0, INT, RD, WR werden vom Empfangsprozessor 2 beschaltet.

Die Aufbereitung des Empfangssignals wird von der Software des Empfangsprozessors 1 vorgenommen. Dabei werden die linearen Verzerrungen durch frequenzabhängige Dämpfung und Laufzeiten auf den Übertragungswegen beseitigt.

Dazu enthält der Empfangsprozessor 1 die in Bild 16 dargestellten Entzerrer. Im Entscheider werden die Daten regeneriert und zum Empfangsprozessor 2 übertragen.

### 3.3.2 Senden

Der Sendebetrieb wird aufgenommen, sobald Schalter S3 in Stellung Datenübertragung (DÜ) steht. Die von der SILT über die Leitung TXD ankommenden Daten werden auf den tonfrequenten Träger moduliert und verlassen über die Leitungen SITGA und SITGB die Baugruppe SIT.

Folgende Aufgaben des Senders übernimmt der Sendeprozessor:

- Ausgeben des Sendedaktes zur SILT
- Übernehmen der Sendedaten
- Verwürfeln der Sendedaten im Scrambler
- Tribitbildung und Kodierung
- 8-Phasen-Differenzmodulation
- Ausgeben der digitalen Sendedaten

Mit dem 4,8-kHz-Sendetakt TXC des Sendeprozessors (PORT1,10) legt die SILT ihre Sendedaten auf die Leitung TXD und überträgt sie seriell zum Eingang T0 des Sendeprozessors. Der Sendeprozessor (Baustein D1) übernimmt die Daten und verarbeitet sie in einem Scramblerprogramm um sicherzustellen, daß bei einer Übertragung und Demodulation im Empfänger keine Dauerlage auftritt.

Der Codierer hat die Aufgabe, die Tribitfolge der Sendedaten den im Modulator erzeugten Phasensprüngen zuzuordnen.

Um über die Übertragungsstrecke 4,8 kbit/s übertragen zu können, werden Tribits gebildet, deren acht mögliche Kombinationen zu acht verschiedenen großen Phasensprüngen führen. Die Frequenz der Phasenwechsel auf die Leitung beträgt somit 1,6 kHz.

Jeder Tribitfolge ist ein bestimmter Phasensprung des 1800-Hz-Trägers zugeordnet. Mit den drei Bits sind acht Phasenlagen möglich.

Bitfolge	Phasensprung
001	0°
000	45°
010	90°
011	135°
111	180°
110	225°
100	270°
101	315°

Das digitale Sendefilter beschneidet das bei der Umtastung der Trägerphase entstandene breite Frequenzspektrum auf die für die Übertragung notwendige Bandbreite.

Anschließend werden die Signale dem D/A-Wandler (Baustein D6) übergeben, der die Umwandlung in analoge Spannungswerte übernimmt. Der Tiefpaß unterdrückt das für die Übertragung nicht erforderliche obere Seitenband.

Die nachfolgende Sendepegel-Einstellung erlaubt Werte von 0 dBm bis -31 dBm.

Mit Hilfe des fünfteiligen Schalters S1 ist die Wahl des Sendepegels in 1-dB-Schritten möglich.

Beispiel:

S1a	S1b	S1c	S1d	S1e	Sendepegel
-	-	-	-	-	0 dBm
-	-	-	-	x	-1 dBm
-	-	-	x	-	-2 dBm
-	-	x	-	-	-4 dBm
-	x	-	-	-	-8 dBm
x	-	-	-	-	-16 dBm
x	x	x	x	x	-31 dBm

- Schalter AUS

x Schalter EIN

Im Auslieferungszustand ist ein Sendpegel von -29 dBm eingestellt.

Das Sendesignal gelangt von der Sendepegeleinstellung über den Schalter D8 zur Anschalteinheit.

Fernsprechnetz und SIT sind durch Übertrager galvanisch getrennt.

UKW-Drosseln dienen der Funkentstörung. Der Varistor F1 stellt einen Überspannungsschutz dar.

### **3.3.3 Prüfeinrichtung**

Für die Baugruppe SIT sind mit dem Schalter S3 drei Prüfmöglichkeiten einstellbar.

#### **Intere Prüfschleife**

Mit der Schalterstellung INT wird die Baugruppe SIT ohne Datenendeinrichtung (SILT) geprüft. Es wird kein Sendesignal (SITGA, SITGB) auf die Fernsprechleitung gegeben.

Als Sendesignal erhält der Sendeprozessor die Dauerlage log.1.

Der Prozessor gibt das Sendesignal über D/A-Wandler, Sendetiefpaß und Sendepegel-einstellung an den Schalter D8. Dieser Schalter verhindert die Übertragung an die Anschalteinheit und speist das Signal in den Empfängerkreis ein. Gleichzeitig wird auch das über die Empfangs-Anschalteinheit kommende Signal gesperrt.

Die Schalter D8 werden von der Steuereinheit betätigt.

Das Sendesignal wird im Empfänger verarbeitet; es liefert an PORT1,24 des Empfangsprozessors 2 die Dauerlage log.1. Bei störungsfreiem Betrieb bleibt CD (Leuchtdiode H1) AUS. Leuchtdiode H2 (POS) leuchtet.

#### **Externe Prüfschleife**

In der Schalterstellung EXT werden zwei über Fernsprechleitungen verbundene SIT-Baugruppen getestet. Die Verbindung zur SILT ist unterbrochen. Der SIT sendet über SITGA, SITGB die Dauerlage log.1. Im gegenüberliegenden Empfänger wird das Signal ausgewertet, indem an PORT1,24 (RXD) des Empfangsmikroprozessors 2 die Dauerlage log.1 gemessen wird. Leuchtet DC, ist die Verbindung zwischen den SIT gestört.

#### **Nahe Prüfschleife**

Die nahe Prüfschleife (Loop 3) nach CCITT V.54 wird von der SILT über die Leitung SITPR aktiviert. Das Sendesignal wird nicht auf die Fernsprechleitung gelegt.

### **3.4 Stromversorgung (DCCCR) S30050-Q5619-R**

Die Stromversorgung (DCCCR) arbeitet mit +48/+60 V und liefert die Spannungen +12 V, -12 V, +5 V und -5 V.

Die Spannung -5 V ist nicht an die Baugruppen der Signalanpaßeinheit geführt.

Die beiden Eintaktwandler arbeiten mit einer Nennfrequenz von 60 kHz und bilden jeweils eine Funktionsgruppe.

Der Eintakt-Sperrwandler (2), nachgetriggert von (1), liefert die Spannungen:

UA1 = +12 V; 2,1 A

UA3 = -12 V; 0,8 A

UA4 = -5 V; 0,8 A

Der Eintakt-Durchflußwandler (1) liefert die Spannung UA2 = +5 V; 10 A.

Der Betriebszustand wird durch eine grüne Leuchtdiode (G48) angezeigt. Zur potentialfreien Unterspannungs-Signalisierung sind ein Überwachungsrelais (C) und eine Ziehkontrolle vorhanden. K1 und K2 bilden einen Verwechslungsschutz. Eingang und Ausgänge sind gegen Verpolung geschützt.

Die Ausgangsspannungen sind an den Buchsen BU1 bis 5 meßbar.

## 4 Aufbau

### 4.1 Bestückung

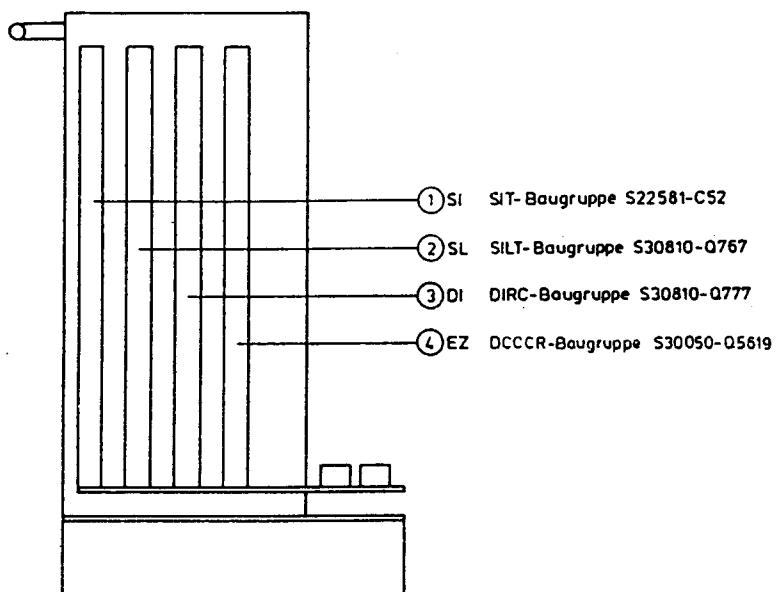


Bild 18 Einsatzbestückung Signalanpaßeinheit (SAE)

### 4.2 Blende der Baugruppe DIRC

Auf der Blende der DIRC sind die beiden Leuchtdioden H1 und H2 angebracht, die den Zustand während der Anlaufprüfung anzeigen.

### 4.3 Blende der Baugruppe SILT

Als Hilfsmittel zur Kontrolle des ordnungsgemäßen Anlaufs und Betriebs sind auf der Frontblende der SILT sechs Leuchtdioden angebracht, deren Funktionsfähigkeit mit einer Taste geprüft werden kann.

	Element	Funktion
H7	LED rot	
H6	LED grün	
S1	Taste	Reset
S3	Schalter	Schiebe- schalter Watchdog
S2	Taste	Lampentest
H1 H2 H3 H4 H5	LED gelb	

Bild 19 Bedienungselemente

### 4.4 Blende der Baugruppe SIT

	Element	Funktion
	LED rot	Pegel- alarm
	Schalter	DÜ Prüfschleife INT Test intern EXT Test extern
	LED rot	Anzeige: Test intern und extern
 	Trenn- und Meß- buchsen	

Bild 20 Bedienungselemente

## **5 Technische Daten**

Leistungsaufnahme Signalanpaßeinheit .....  $P_{typ} = 21 \text{ W}$

### **5.1 DIRC**

Betriebsspannung .....  $U = +5 \text{ V}$   
Stromaufnahme .....  $I = 0,66 \text{ A}$   
Leistungsaufnahme .....  $P_{typ} = 3,3 \text{ W}$

### **5.2 SILT**

Betriebsspannung .....  $U = +5 \text{ V}$   
Stromaufnahme .....  $I = 1,32 \text{ A}$   
Leistungsaufnahme .....  $P_{typ} = 6,6 \text{ W}$

### **5.3 SIT**

Betriebsspannung 1 .....  $U = +5 \text{ V}$   
Stromaufnahme 1 .....  $I = 0,65 \text{ A}$   
Leistungsaufnahme 1 .....  $P_{typ} = 3,25 \text{ W}$   
  
Betriebsspannung 2 .....  $U = +12 \text{ V}$   
Stromaufnahme 2 .....  $I = 36 \text{ mA}$   
Leistungsaufnahme 2 .....  $P_{typ} = 0,43 \text{ W}$   
  
Betriebsspannung 3 .....  $U = -12 \text{ V}$   
Stromaufnahme 3 .....  $I = 36 \text{ mA}$   
Leistungsaufnahme 3 .....  $P_{typ} = 0,43 \text{ W}$   
  
Übertragungsgeschwindigkeit ..... 4,8 kbit/s  
Modulationsverfahren ..... achtwertige  
Phasendifferenzmodulation,  
nach CCITT-Empfehlungen  
V.27  
  
Trägerfrequenz ..... 1800 Hz  
Frequenzbedarf ..... 600 Hz bis 3000 Hz

Betriebsart .....	Vollduplex-Betrieb auf Vierdraht-Leitungen
Sendeleistung .....	0 dBm bis -31 dBm, einstellbar in Stufen von 1 dB ± 0,5 dB; Auslieferungszustand: -29 dBm
Empfangspegelbereich .....	0 dBm bis -43 dBm
Zulässige Frequenzverwerfung .....	± 6 Hz
Leitungsentzerrung (Gruppenlauf- für Zeit- und Dämpfungsentzerrung) .....	<b>adaptiver Entzerrer</b> Übertragung bis 5 TF- Strecken, Ortsleitungen und leicht bespulte Kabel
	<b>abschaltbarer</b> <b>Kompromißentzerrer</b> auf der Empfangsseite für Ortsleitungen mit 4,7 km Kabel 0,4 5,0 km Kabel 0,6 5,5 km Kabel 0,8
	<b>abschaltbarer</b> <b>Kompromißentzerrer</b> auf der Empfangsseite für drei TF-Strecken
Synchronisierung .....	ohne Startprozedur aus dem Empfangssignal
Überspannungsschutz zwischen den Adern der Fernsprechleitung .....	2 kV als Impuls 10/700 nach CCITT-Empfehlung K.17
Spannungsfestigkeit (Effektivwert) zwischen Fernsprechleitungen und SIT .....	1,5 kV

## 6 Gerätübersicht

Bezeichnung	Sach-Nr.	Maße in mm (B x H x T)	Gewicht in g
Signalanpaßeinheit .....	S42023-H76-B1	240x365x215	7000
zugehörige Baugruppen:			
DIRC .....	S308010-Q777-...	230x277x25	370
SILT .....	S30810-Q767-...	230x277x25	600
SIT .....	S22581-C52-....	230x277x25	420
DCCR .....	S30050-Q5619-...	230x277x35	1000

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, variablen Teil des 3. Blocks der Sachnummer mit ... versehen.

z.B. DIR S308010-Q777-...

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung im zugehörigen Kartenfach eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.

## 7 Abkürzungen

A/D-Wandler	Analog/Digital-Wandler
BS	Basisstation
BSN	Backward Sequence Number
CCITT	Comite Consultatif International de Telegraphique et de Telephonique
CMOS	Complementary-MOS-Technique
CPU	Central Processing Unit
CS	Chip Select Signal
D/A-Wandler	Digital/Analog-Wandler
dBm	Dezibel über 1 mW
DIRC	Data Interface for Radio Control
DMA	Direct Memory Access
DMAC	Direct Memory Access Control
DUPO	Dual-Port-Speicher
EPROM	Erasable Programmable Read Only Memory
FCS	Frame Check Sequence
FDS	Funkdatensteuerung
FISU	Fill-In Signal Unit
FKM	Funkmodem
FKS	Funkkanalsteuerung
FME	Funkmeßempfänger
FSN	Forward Sequence Number
FV	Frequenzverteiler
HDLC	High-Level Data Link Control
HF	Hochfrequenz
HW	Hardware
IC	Integrated Circuit
INT	Interrupt
I/O	Input/Output
LI	Length Indicator
LSB	Lowest-Significant-Bit

MOS	Metal-Oxide Semiconductor (Metalloxid-Halbleitertechnologie)
MSB	Most-Significant-Bit
MSC	Mobile Switching Center
MSU	Message Signal Unit
MUX	Multiplexer
MUXS	Slave Multiplexer
Netz C	Synchrones Autotelefonnetz der DBP im 450-MHz-Bereich
NF	Niederfrequenz
OB	Oberband
PHE	Phasenempfänger
PIC	Programmable Interrupt Controller
PPI	Programmable Peripheral Interface
PIT	Programmable Interrupt Timer
RAM	Random Access Memory
RD	Read
SAE	Signalanpaßeinheit
SILT	Signalling Link Terminal
SIT	Signalling Link Transceiver
S/P	Seriell/Parallel
SW	Software
TG	Teilnehmergerät
TTL	Transistor-Transistor-Logik
USART	Universal Synchronous/Asynchronous Receiver/Transmitter
WD	Watchdog
WR	Write
ZF	Zwischenfrequenz
ZZK	Zentraler Zeichengabekanal

**SIEMENS**

**Fu Tel C-Netz  
Beschreibung**

**Funkmeßempfänger  
FME  
S42023-H129-..**

**S42023-H129-E1-1-18**

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme  
Hofmannstraße 51, D-8000 München 70

Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung und Mitteilung ihres Inhalts nicht gestattet, soweit nicht ausdrücklich zugestanden. Zuwidderhandlungen verpflichten zu Schadenersatz. Alle Rechte vorbehalten, insbesondere für den Fall der Patenterteilung oder GM-Eintragung.  
Technische Änderungen vorbehalten.

© Siemens AG 1990

# Inhalt

	Seite
1      Übersicht .....	5
1.1    Funkmeßempfänger (FME) im Netz C 450 .....	5
1.2    Funkmeßempfänger in der Basisstation .....	8
1.3    Aufbau und Funktionseinheiten des Funkmeßempfängers .....	10
2      Schnittstellen .....	14
2.1    Externe Schnittstellen .....	14
2.1.1   Schnittstelle zur Antennenanlage .....	14
2.1.2   Schnittstelle zum Frequenzverteiler .....	14
2.1.3   Schnittstelle zur Gestellverdrahtung .....	14
2.1.4   Serielle Schnittstelle zur Funkdatensteuerung .....	14
2.1.5   Schnittstelle zur Stromversorgung .....	14
2.2    Interne Schnittstellen .....	15
3      Funkteil .....	16
3.1    Empfänger S42024-H169-...	16
3.1.1   Stromversorgung für PLL-Demodulator .....	16
3.1.2   Eingangsstufe mit Mischer 1 .....	16
3.1.3   Verstärker für 1. Zwischenfrequenz und Mischer 2 .....	18
3.1.4   Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung .....	18
3.1.5   Basisbandaufbereitung .....	19
3.2    Synthesizer S42024-H168-...	19
3.2.1   Prinzip Synthesizer .....	21
3.2.2   Synthesizer-Baustein und Verteiler .....	22
3.2.3   Regelverstärker mit Filter .....	22
3.2.4   Oszillatator (VCO) und Entkopplungsverstärker 1 .....	22
3.2.5   Entkopplungsverstärker 2, Ausgangsverstärker .....	24
3.2.6   Spannungsregelung +10V/+8V .....	24
3.3    Umschalter UM-EM S42024-H385-...	25
3.3.1   Einsatz- und Aufbauhinweise .....	25
3.3.2   Funktion .....	25
4      Funkkanalsteuerung .....	27
4.1    CPU S42025-H418-*1 + Software S42025-H430-A150 .....	27
4.1.1   CPU-Baustein 80C85, Adressen- Daten- und Steuerbus .....	31
4.1.2   Speicher .....	34
4.1.3   Interruptsteuerung .....	35

4.1.4	Serielle Schnittstelle .....	36
4.1.5	VLSI-Bausteine .....	36
4.1.5.1	Takterzeugung .....	40
4.1.5.2	Teilerketten .....	41
4.1.5.3	Ablaufsteuerung .....	44
4.1.5.4	Überwachung und Rechnerreset .....	45
4.1.5.5	Korrelationsempfänger .....	46
4.1.5.6	Jittermesser .....	50
4.1.5.7	Offsetkorrektur .....	52
4.1.5.8	Decoder .....	55
4.2	BS-Interface- S42024-H379-....	57
4.2.1	Laufzeitkorrektur .....	57
4.2.2	Adressendecodierung .....	58
4.2.3	Abfrage der Gestelladresse .....	58
4.2.4	Ausgabeports .....	58
4.2.5	Umsetzung der Ident-Feldstärke .....	59
4.2.6	Offsetkorrektur .....	60
4.2.7	Power-on-Reset, Reset-Taste .....	60
4.3	FME-Interface S42024-H380-...	60
4.3.1	Korrelationszusatz .....	61
4.3.2	Umsetzung der Scan-Feldstärke .....	62
4.3.3	Störungsregister .....	62
4.3.4	Sonstige Funktionen .....	63
5	Technische Daten .....	64
5.1	Empfänger .....	64
5.2	Synthesizer .....	62
5.3	CPU .....	65
5.4	FME-Interface .....	65
5.5	Umschalter .....	65
6	Geräteübersicht .....	66

# 1 Übersicht

## 1.1 Funkmeßempfänger (FME) im Netz C 450

Jede Basisstation (BS) mißt mit dem Funkmeßempfänger (FME) die Feldstärke aller in den Nachbarfunkbereichen vergebenen Sendekanäle, stellt die funkspezifischen Eigenschaften der mobilen Teilnehmer fest und legt die Meßergebnisse kanalbezogen in einen Speicher ab. Für die Aktualität der Daten im Funkmeßempfänger ist es notwendig, daß die Feldstärken der in der Nachbarschaft benutzten Kanäle zur Bildung der relevanten Mittelwerte in relativ kurzen, sich schnell wiederholenden Zeitabständen erfaßt werden. Diese Funktion wird durch ein Kanal-Abfrage-Verfahren (Scan-Betrieb) sichergestellt.

Übersteigen die Meßergebnisse einen vorgegebenen Grenzwert, so synchronisiert sich der Funkmeßempfänger auf die Verbindung und identifiziert die Gesprächsverbindung durch Auswerten der Signalisierungsdaten. Stellt der Funkmeßempfänger über die Auswertung der Entfernung fest, daß das Teilnehmergerät bereits im eigenen Versorgungsbereich arbeitet, wird zwangsweise eine Gesprächsumschaltung eingeleitet.

Im Gesprächszustand (verteilte Signialisierung) ermittelt das Teilnehmergerät über den Barkercode und dessen Auswertung im Korrelationsempfänger die zum Lesen der Signialisierung erforderliche Empfangstakt-Phaseneinstellung. Diese Einstellung wird auch auf die Sendeseite übertragen. Das Teilnehmergerät verhält sich aus Sicht der Basisstation wie ein echter Reflektor.

Der Funkmeßempfänger FME (BS2) empfängt die Signialisierung des bei der BS1 im Sprechkanal (SpK) eingebuchten Teilnehmers mit der Laufzeit  $t_1 + t_2$  (siehe Bild 1). Der Sprechkanal in der BS1 mißt mit seinem Korrelationsempfänger die doppelte Laufzeit zum Teilnehmer und signalisiert diese über die Luftschnittstelle an den Teilnehmer, der sie wiederum aussendet. Somit kann der FME (BS2) diesen Wert aus der Signialisierung des Teilnehmers entnehmen. Durch Halbierung dieses Wertes sowie Subtraktion von dem durch die Entfernungsmessung (Software-Korrelation) ermittelten Wert errechnet der FME die Entfernung zum Teilnehmer ( $t_2$ ).

$$t_2 = t_1 + t_2 - 2t_1/2$$

Damit der Funkmeßempfänger den wirklichen Abstand zwischen Basisstation 2 und dem Teilnehmergerät ermitteln kann, sind zwei Forderungen zu berücksichtigen:

- Die Basisstationen müssen synchronisiert sein. Jede Phasendifferenz zwischen den Initialpunkten benachbarter Basisstationen wirkt sich als Fehler in der Entfernungsmessung des Funkmeßempfängers aus.
- Die Basisstation muß mindestens den Status "bedingte Genauigkeit" haben.

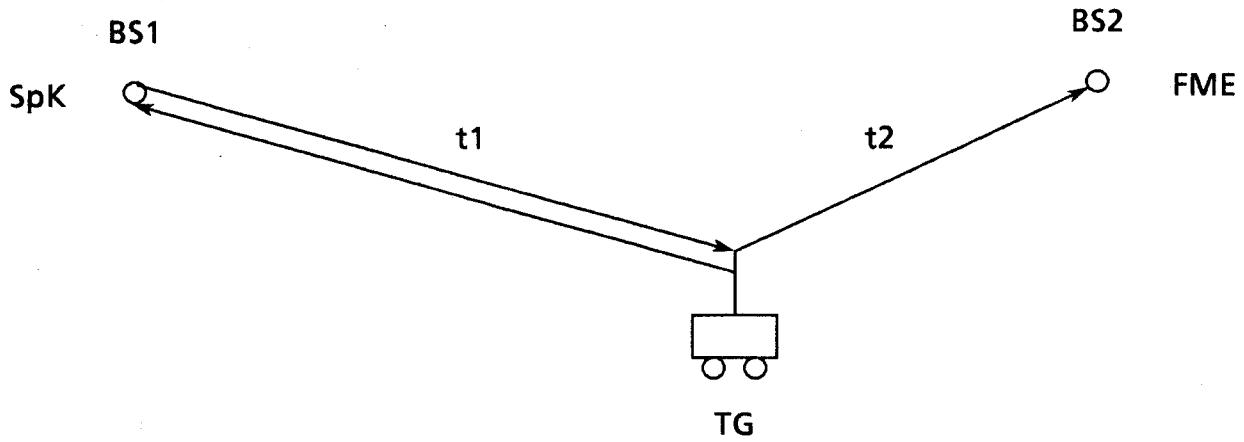


Bild 1 Entfernungsmessung Basisstation → Teilnehmergerät

Dem Funkmeßempfänger werden die Funkzonenradien seiner Nachbar-Funkkonzentratoren aus den jeweiligen Anlagenlisten übertragen.

Kriterien des Funkmeßempfängers für die entfernungsabhängige Umschaltung:

- Relative vorzeichenabhängige Entfernungssolldifferenz.  
Die Funkzonenradien des eigenen bzw. der Nachbar-Funkkonzentratoren sind aus den Anlagenlisten bekannt.
- Relative vorzeichenabhängige Entfernungsdifferenz.  
Der Funkmeßempfänger ermittelt aufgrund des Identifizierungsergebnisses die eigene Entfernung zum Teilnehmergerät über die Subtraktion Gesamlaufzeit minus der vom Teilnehmergerät übertragenen Entfernung zu dessen aktueller Basisstation. Die Entfernungsdifferenz wird als Vergleichsgröße herangezogen.

Unter der Annahme der Konturengleichheit von Funkzonen für Umbuchen und Umschalten muß auch in Grenzfällen mit Sicherheit gewährleistet sein, daß das Teilnehmergerät mit einem kurz nach dem Umschalten vollzogenem Auslösen des Gespräches, die richtige organisatorische Zuordnung zu seiner Bezugs-BS findet.

Durch Geräte- und Funkfeldparameter, wie Temperatur, Rauschen, Mehrwegeeinflüsse, könnten unterschiedliche Interpretationen entstehen. Bei der Umschaltung nach den Kriterien der relativen Entfernungsmessung wird mit einer Hysterese gearbeitet.

Im allgemeinen sind in der Basisstation für die relative Entfernungsmessung und damit für die Gestaltung der Funkbereiche nur die Festlegung der Differenz von Funkzonenradien und der Grenzbereich, innerhalb dessen Nachbarschaftsunterstützung geleistet wird, wichtig.

Durch die größere Flexibilität in der Funkzonengestaltung und näherungsweise Anpassung an die topographischen bzw. feldstärkemäßigen Gegebenheiten werden in der Regel durch den Funkmeßempfänger nur Zwangsumschaltungen durchgeführt, die den Datenverkehr zwischen Mobil Switching Center (MSC) und Basisstation minimieren (Datenaustausch BS → MSC → BS). Nur in seltenen Fällen, in denen punktuell die feldstärkemäßige Versorgung innerhalb der Funkzone nicht ausreicht, das Teilnehmergerät sich aber schon außerhalb des Versorgungsbereichs bewegt, wird an die Nachbarfunkbereiche ein Meßauftrag zum Zweck der Umschaltung erteilt.

## Funkmeßempfänger in der Basisstation

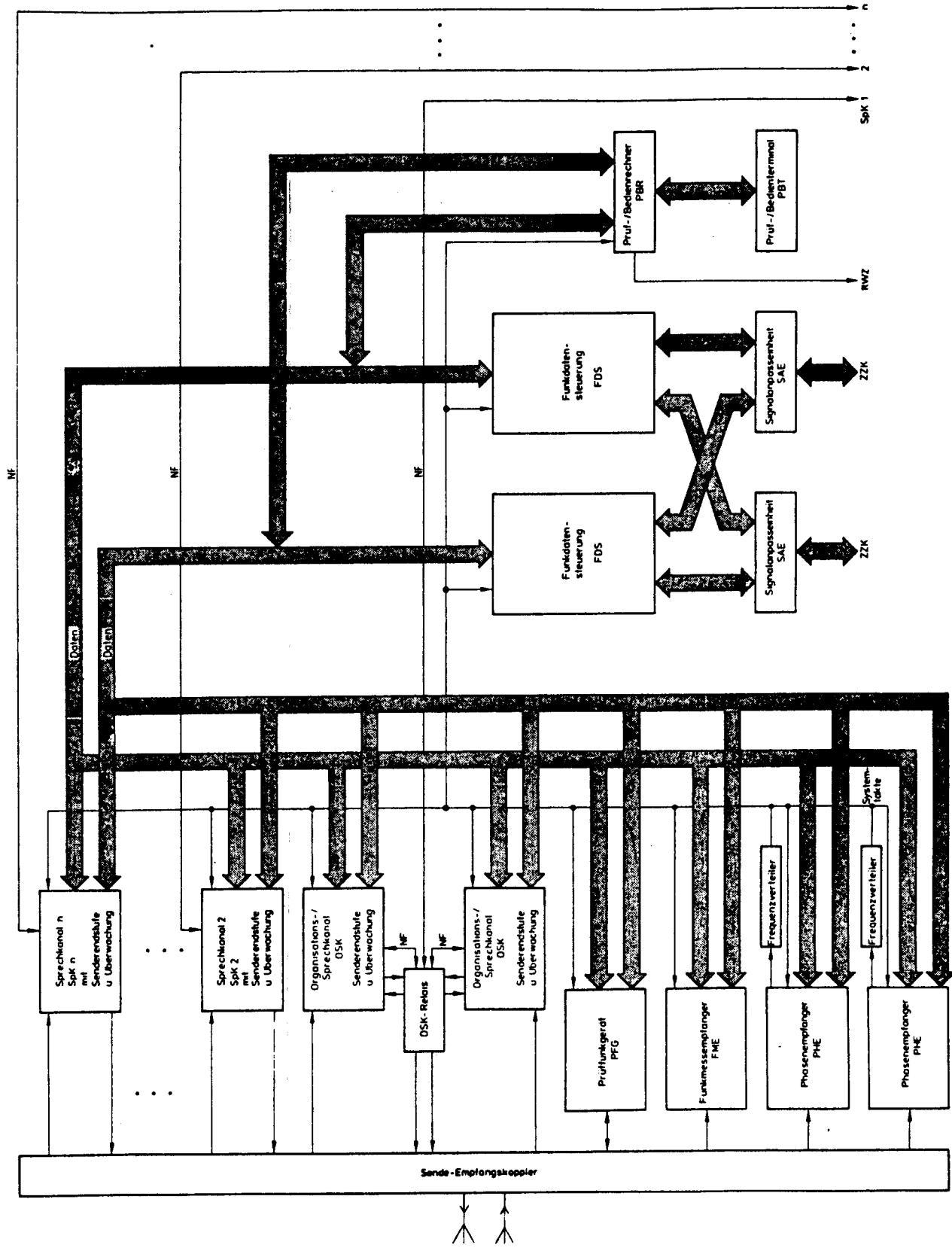
In jeder Basisstation (Bild 2) gibt es mindestens einen Funkmeßempfänger. Im FME sind zwei Empfänger mit je zwei Synthesizern eingesetzt. Ein Empfänger dient nur für den Scan-Betrieb, der andere wird zum Scannen und Identifizieren benutzt. Die Ausbaustufe ist vom zu überwachenden Kanalvolumen der Nachbar-Basisstationen abhängig (max. etwa 220 Kanäle), wobei jeder Funkmeßempfänger bis maximal 40 Kanäle überwachen kann. Die Funkmeßempfänger sind grundsätzlich nicht als Ersatzschalteinheit vorgesehen. Fällt in der Basisstation ein Funkmeßempfänger aus, können daher auf den ihm zugewiesenen Kanälen keine Umschaltungen mehr durchgeführt werden.

Die Funkmeßempfänger sind in einem dem Zentralgestell zugeordneten, eigenen Gestell eingesetzt. In einem Gestell werden bis zu drei Funkmeßempfänger aufgenommen und von einer gemeinsamen Stromversorgung versorgt.

Alle Funkmeßempfänger sind über einen Antennenverstärker an die Antenneneinrichtungen angeschlossen.

Der Funkmeßempfänger wird über den Frequenzverteiler mit dem Rahmensetsignal QSETZ (alle 2,4 s) und dem Takt 6,4 MHz (QT6,4M) versorgt. Der Datenaustausch mit der Funkdatensteuerung findet über eine serielle Schnittstelle statt.

Der Funkmeßempfänger wird in größeren zeitlichen Abständen zyklisch durch das Prüffunkgerät (PFG) überprüft. Die Prüfung selbst findet über Anreiz durch die Funkdatensteuerung (FDS) statt. Die Radiofrequenz-Kopplung zwischen Funkmeßempfänger und Prüffunkgerät wird in der Antennenanlage vorgenommen.



## Bild 2 Übersichtsschaltplan Basisstation

### **1.3 Aufbau und Funktionseinheiten des Funkmeßempfängers**

Der Funkmeßempfänger besteht aus den Funktionseinheiten Funkteil und Funkkanalsteuerung (Bilder 3 und 4).

Zum Funkteil gehören die Baugruppen Synthesizer, Umschalter und Empfänger. Die Empfänger sind an die Antennenanlage angeschlossen.

Die Funkkanalsteuerung besteht aus den Baugruppen CPU, BS-Interface und FME-Interface. Die CPU enthält neben 80C85-CPU, RAM und EPROM, einem Zeitgeber sowie einem USART für den block- und zeitplatzorientierten Datenaustausch zur Funkdatensteuerung (FDS) die beiden VLSI-Bausteine, in denen ein Großteil der Steuerungsfunktionen – wie z.B. die Signalbewertung – untergebracht ist.

Das Einstellen der Empfangsfrequenzen der Synthesizer sowie das Bewerten der Störungsmeldungen wird über die Steuerung (Port Frequenz-Einstellung, Störungsmeldungen) in den Baugruppen BS-Interface und FME-Interface vorgenommen. Die Empfänger liefern ihr Empfangsdaten- und Feldstärkesignal an die Steuerung (DADEMI, FESTI, FESTS). In einem A/D-Wandler wird die Feldstärke in digitale Signale umgesetzt und kann vom Rechner gelesen werden.

Das Empfangsdatensignal (DANRI, nur vom Ident-Empfänger) wird im VLSI nach der Empfangsgüte ausgewertet.

Die Signalbewertung (im VLSI) gliedert sich in die Funktionseinheiten Korrelationsempfänger, Offsetmesser und Jittermesser. Der Korrelationsempfänger ist im Funkmeßempfänger bis auf die FEP in konzentrierter Signalisierung ohne Funktion, da die Phasenauswertung des BarkerCodes durch Software-Korrelation vorgenommen wird. Durch die Software-Korrelation werden Phase und Offset des empfangenen Teilnehmers berechnet und an die Empfangsteilerkette und die Offsetkorrektur ausgegeben. Damit kann im VLSI der Decoder die Nutzinformation lesen und sie zum weiteren Auswerten dem Rechner übertragen. Der für die Software-Korrelation notwendige Korrelator-Zusatz ist auf der Baugruppe FME-Interface untergebracht.

Der Jittermesser im VLSI überträgt die blockweise addierten Zeichenwechsel-Veränderungen der digitalen Signalisierungsdaten zum Rechner. Dieser berechnet den Geräuschabstand. Der Wert gilt neben der Feldstärke als ein Maß für die Empfangsgüte. Sende- und Empfangsteilerkette im VLSI werden auf Synchronismus überwacht. Die Sendeteilerkette wird rahmenweise durch das Zeitzeichen QSETZ aus dem Phasenempfänger gesetzt.

**Die Baugruppe FME-Interface enthält neben dem Korrelationszusatz ein 4k-RAM, Rechnerports und Störungsregister, sowie die Integrationsschaltung für die Scan-Feldstärke. Das BS-Interface enthält u.a. Rechnerports zur Frequenzeinstellung der Synthesizer sowie die Integrationsschaltung der Ident-Feldstärke.**

Platz-Nr.	Kurz-bez.	
1	AV*)	Anschlußfeld-verdrahtung und Filterbaugruppe S42024-H412- S42024-H413-
2	FEI	FME-Interface S42024-H380-
3	CPU	CPU S42025-H418-*1 + SW S42025-H430-A150
4	BSI	BS-Interface S42024-H379-
5	SY	Synthesizer 0 S42024-H168-
6	SY	Synthesizer 1 S42024-H168-
7	U-E	Umschalter-EM S42024-H385-
8	EM	Empfänger-S (Scan) S42024-H169-
9	EM	Empfänger-I (Ident) S42024-H169-
10	U-E	Umschalter-EM S42024-H385-
11	SY	Synthesizer 2 S42024-H168-
12	SY	Synthesizer 3 S42024-H168-
		Rückwand S42024-H387-
		Einsatz ohne Baugruppen S42023-H134-
		Bedienungsanleitung S42023-H129-P102

\*) Bestandteil des Leereinsatzes

Bild 3 Aufbau des Funkmeßempfängers

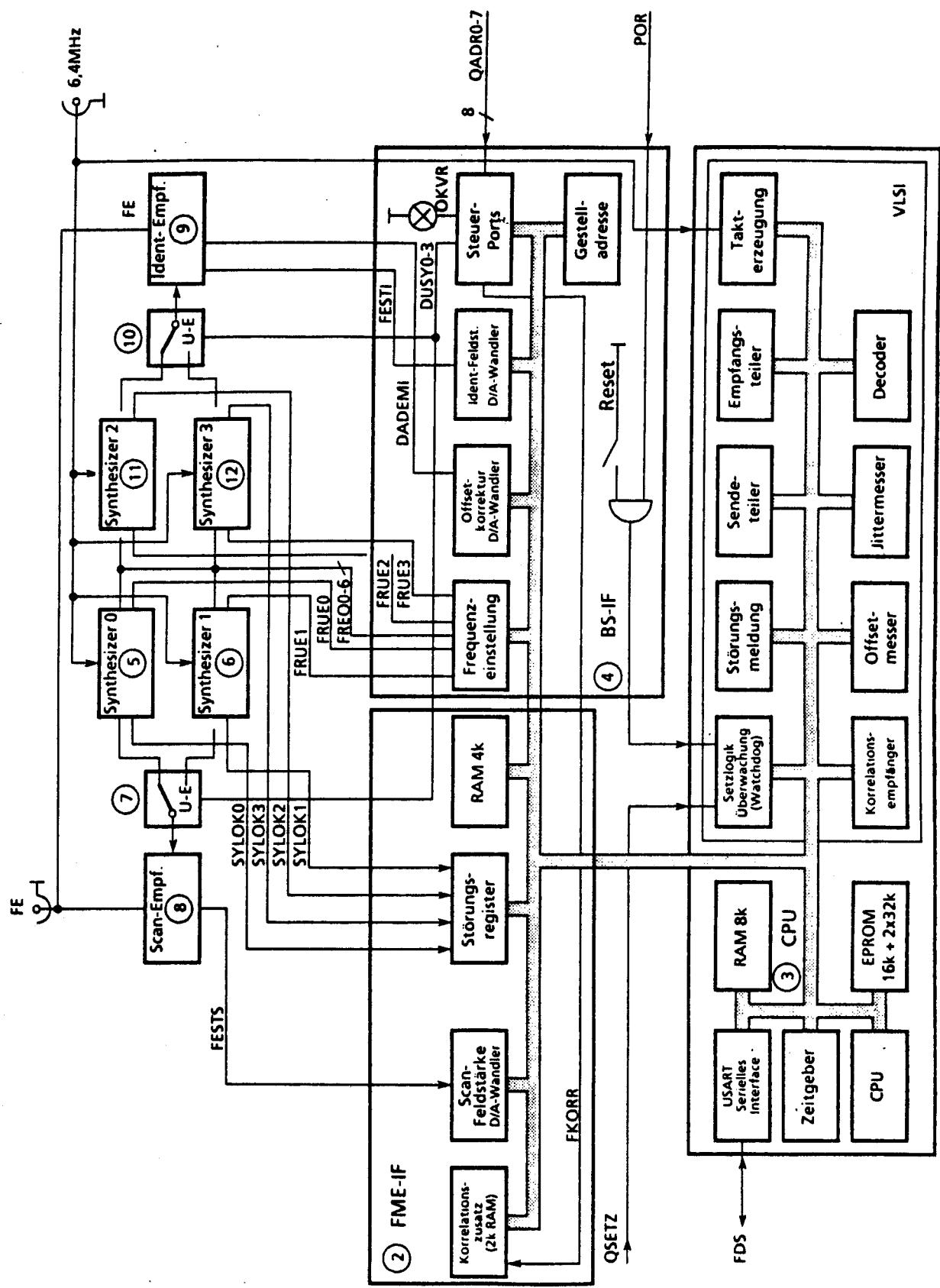


Bild 4 Übersichtsschaltplan Funkmeßempfänger

## **2 Schnittstellen**

### **2.1 Externe Schnittstellen**

#### **2.1.1 Schnittstelle zur Antennenanlage**

Über diese Schnittstelle wird den Empfängern des Funkmeßempfängers vom Trennverstärker der Antennenanlage das HF-Eingangssignal FE zugeführt.

#### **2.1.2 Schnittstelle zum Frequenzverteiler**

An der Taktschnittstelle wird der Takt QT6,4M (6,4-MHz-Referenzfrequenz) und das Zeitzeichen QSETZ vom Frequenzverteiler eingespeist.

Vom Verteiler wird der Takt über Koaxialkabel an das FME-Interface sowie an den Synthesizer weitergeleitet. Auf dem FME-Interface werden 6,4 MHz zur Versorgung der übrigen Steuerungsbaugruppen auf TTL-Pegel umgesetzt.

#### **2.1.3 Schnittstelle zur Gestellverdrahtung**

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestelladresse (auch als Kanaladresse bezeichnet) übergeben (Leitungen QADR0-7, Auswertung am BS-Interface).

#### **2.1.4 Serielle Schnittstelle zur Funkdatensteuerung (FDS)**

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Datenaustausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Alle vier Bausteine befinden sich auf der CPU.

#### **2.1.5 Schnittstelle zur Stromversorgung**

Zur Generierung eines Power-on-Resets nach Spannungsausfall wird neben den Versorgungsspannungen +5V und +10V das Signal POR(-FME) aus der Stromversorgung zugeführt.

## **2.2 Interne Schnittstellen**

Im folgenden sind die Schnittstellensignale zwischen der Funkkanalsteuerung und den Baugruppen des Funkteils erläutert.

### **Synthesizer**

Die Frequenzeinstellung wird mit Hilfe der Signale FRUE0-3 und FREQ0-6 aus dem BS-Interface vorgenommen. Die Synthesizer liefern im nicht gelockten Zustand die Fehlermeldungen -SYLOK0-3.

### **Empfänger**

Die Signale FESTI (Feldstärke) und DADEMI (analoges Datensignal) des Ident-Empfängers werden im BS-Interface verarbeitet. Vom Scan-Empfänger wird nur die Feldstärke FESTS ausgewertet (geschieht auf dem FME-Interface).

### **Umschaltebaugruppen**

Mit Hilfe der Signale DUSY0-3 werden die Synthesizerfrequenzen zu den Empfängern durchgeschaltet. Das Signal -UMSCH liegt bei vorhandenen Umschalter (UM0) an GND.

### **3 Funkteil**

#### **3.1 Empfänger S42024-H169...**

**Stromlaufplan S42024-H169-...-\*7411**

Der Empfänger (siehe Bild 5) ist Bestandteil des Funkteils im Funkmeßempfänger, er stellt die Verbindung zur Antennenanlage dar (siehe externe Schnittstellen 2.1.1).

Das von der Antenne kommende Empfangssignal (FE) wird über die 1. Zwischenfrequenz (1. ZF 21,4 MHz) in die 2. ZF (100 kHz) umgesetzt, demoduliert und über den Datenweg (DADEMI) zur Funkkanalsteuerung weitergeleitet.

##### **3.1.1 Stromversorgung für PLL-Demodulator**

Die besonderen Anforderungen an die Konstanz des PLL-Demodulators 304 erfordern eine Betriebsspannung (+12 V) hoher Stabilität. Diese Spannung wird mit Hilfe eines Gleichspannungswandlers aus der extern zugeführten Betriebsspannung (10 V) gewonnen. Dazu erzeugt der IC305 Rechteckimpulse mit einer Frequenz von etwa 6 kHz. Diese Impulse werden mit Hilfe der Diode 250 und dem Kondensator 175 der Betriebsspannung (10 V) überlagert und zusammen gleichgerichtet (Diode 251 und Kondensator 176). Nach der anschließenden Stabilisierungsschaltung (Widerstand 57, Referenzdiode 252 und Kondensator 170) steht die gewünschte Ausgangsspannung (+12 V) zur Verfügung. Sie versorgt den IC304 und dient zum Erzeugen der Arbeitspunkte der Operationsverstärker 303 und 307.

##### **3.1.2 Eingangsstufe mit Mischer 1**

Das ankommende HF-Eingangssignal (FE) wird vom Transistor 271, dessen Arbeitspunkt vom Transistor 270 stabilisiert ist, verstärkt. Über das nachfolgende Zweikreis-Helical-Filter 240 gelangt das verstärkte Eingangssignal zum Ringmischer 320. Dort wird es mit Hilfe des Signals  $f_{L0}$ , das der Synthesizer des Funkteils liefert, auf die 1. Zwischenfrequenz (1. ZF) von 21,4 MHz umgesetzt.

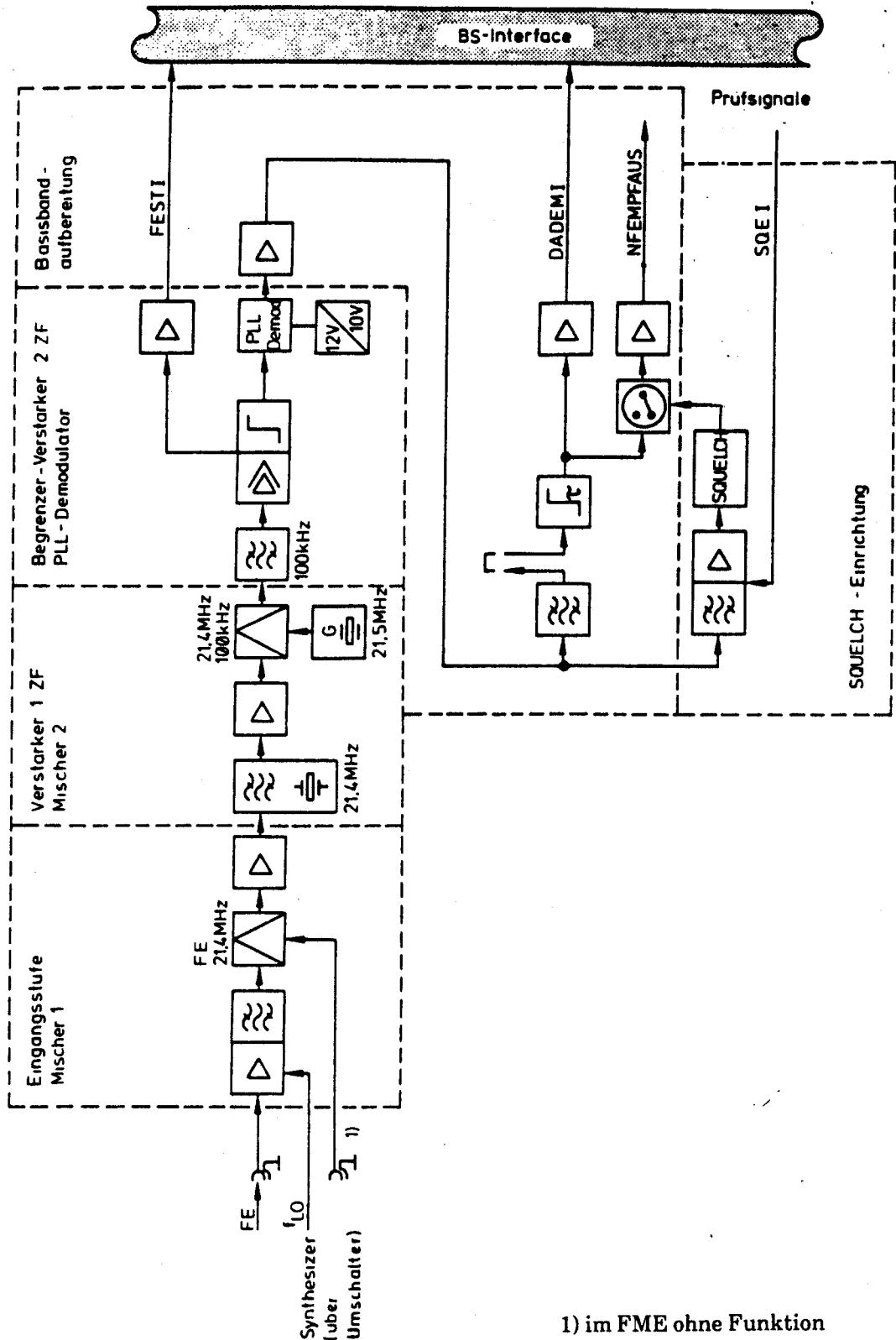


Bild 5 Übersichtsschaltplan Empfänger

### **3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2**

Der Transistor 272 verstärkt die vom Ringmischer 320 gelieferte 1. ZF und leitet sie über eine Anpaßschaltung (Kondensator 139 und Spule 225) zum 8poligen Quarzfilter 300, in dem die Hauptselektion des Empfängers vorgenommen wird.

Der nach der Anpaßschaltung (Kondensator 142 und Spule 226) folgende Schaltungsteil mit dem Transistor 273 verstärkt das vom Quarzfilter 300 kommende 21,4-MHz-Signal und führt es zum Mischер 2 (301).

Das IC 301 wird als selbstschwingender Mischер betrieben; dabei bestimmt der ange schlossene 21,5-MHz-Quarz die Umsetzfrequenz und damit die Umsetzung auf die 2. Zwischenfrequenz von 100 kHz.

### **3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung**

Das am Ausgang von Mischер 2 austretende 100-kHz-Signal (2. Zwischenfrequenz) gelangt über ein 100-kHz-Zweikreis-Bandfilter (Kondensatoren 155, 156, 157 sowie Spulen 229 und 230) zum Begrenzer-Verstärker 302. Dieser leitet es an den Demodulator (IC 304) weiter. Das 100-kHz-Zweikreis-Bandfilter dient sowohl zum Unterdrücken der durch den Mischер 2 erzeugten Umsatzfrequenz als auch zur weiteren Selektion des Empfangssignals.

Das Begrenzer-IC302 erfüllt zwei Aufgaben: es verstärkt und begrenzt das ZF-Signal, sodaß unabhängig vom Eingangspegel des Empfängers ein konstanter Pegel am Pin 11 für den nachfolgenden PLL-Demodulator zur Verfügung steht. Außerdem erzeugt es eine dem Empfangspegel proportionale Spannung (PIN 15), die im Operationsverstärker 303 auf einen Ausgangspegel zwischen 0 V und 2,5 V gebracht wird. Diese dient zum Messen des HF-Eingangspegels des Empfängers im Bereich von etwa -120 dBm bis etwa -60 dBm.

Das IC304 enthält einen spannungsgesteuerten 100-kHz-Oszillatator (VCO), einen Phasenkomparator und ein Loop-Filter, die zusammen als PPL-Demodulator geschaltet sind. Die beim Übertragen von NRZ-Daten (Modulationssignal) notwendige Gleichspannungskopplung bei der Demodulation erfordert eine hohe Konstanz des Oszillators, die durch den Präzisions-IC304 bei der 2. ZF von 100 kHz gewährleistet ist. Am Ausgang des PLL-Demodulators 304 (Pin 10) steht das demodulierte Basisbandsignal zur Verfügung.

### **3.1.5 Basisbandaufbereitung**

Das demodulierte Basisbandsignal wird vom nachfolgenden Operationsverstärker 306 verstärkt. Im Operationsverstärker 306 wird auch die gemeinsame Pegeleinstellung für den Daten- und NF-Ausgang vorgenommen. Ein Besselfilter 3. Ordnung begrenzt das Basisband anschließend auf etwa 4 kHz, es gelangt dann an den Allpaß 308. Dieser Allpaß ermöglicht das Einstellen der erforderlichen Soll-Laufzeit im Empfänger.

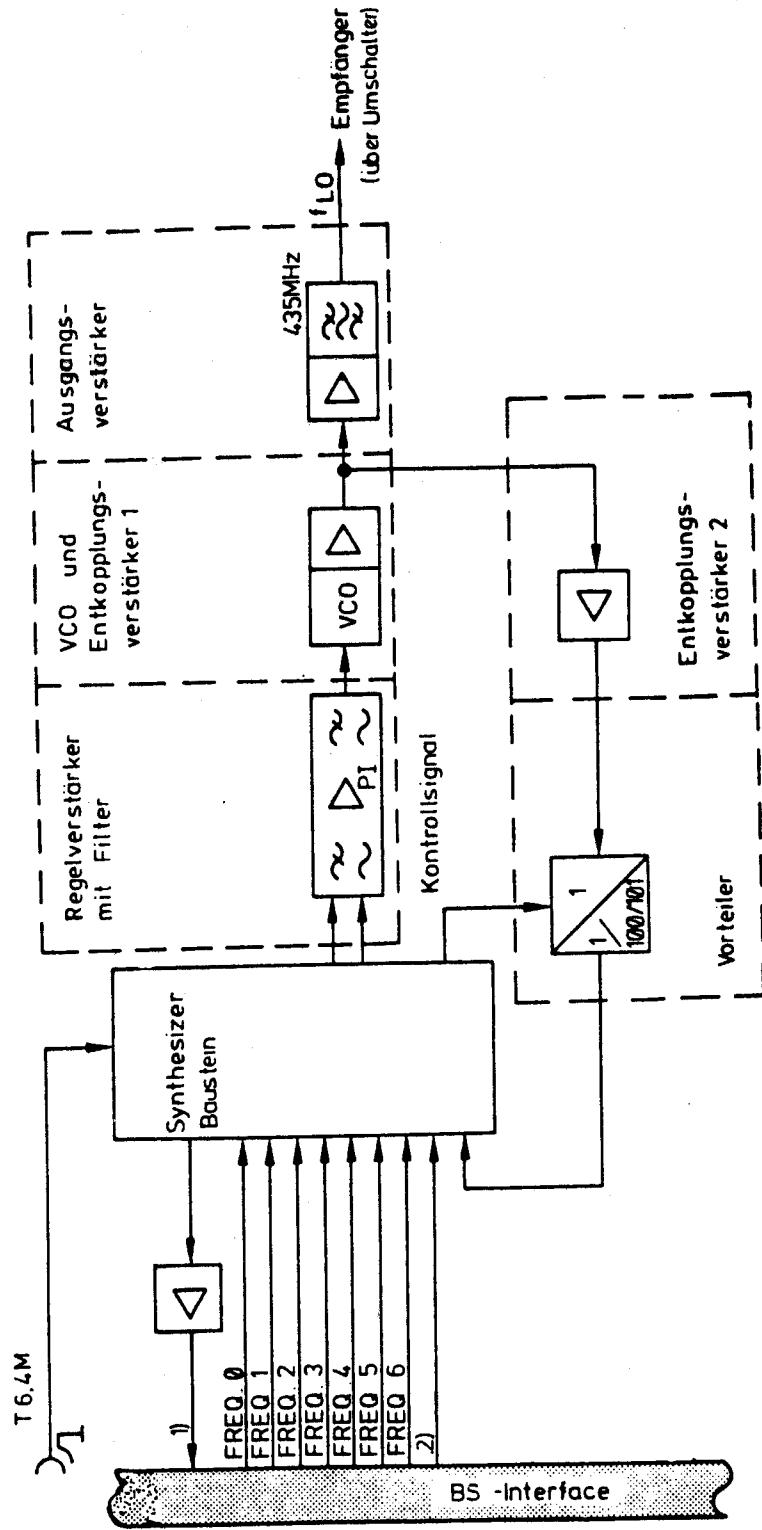
Nach dem Allpaß 308 wird eine Verzweigung in Daten- und NF-Weg vorgenommen; letzterer wird im FME nicht benötigt. Der Operationsverstärker 303 verstärkt das Daten-Signal auf einen Pegel von 2 V (Spitze-Spitze) und übergibt es an die Baugruppe BS-Interface (Signal DADEMI).

## **3.2 Synthesizer S42024-H168-....**

Stromlaufplan S42024-H168-B3-\* -7411

Jeder der vier Synthesizer (siehe Bild 6) erzeugt im Funkmeßempfänger die Umsetzfrequenz für einen der beiden Empfänger. Die Frequenz des Synthesizers kann digital durch ein 8-bit-Wort in Schritten von 10 kHz oder 12,5 kHz im Frequenzbereich von 428,60 MHz bis 434,34 MHz eingestellt werden. Der Signalpegel für das 8-bit-Wort beträgt +5 V. Nach Erreichen der gewünschten Frequenz wird das Signal SYLOK 0 (1, 2 oder 3) erzeugt (Lock-Kontrolle, Signal = "1").

Der Synthesizer benötigt eine Referenzfrequenz von 6,4 MHz.



- 1) SYLOK 0 bis 3  
für Synthesizer 0 bis 3
- 2) FRUE 0 bis 3  
für Synthesizer 0 bis 3

Bild 6 Übersichtsschaltplan Synthesizer

### 3.2.1 Prinzip Synthesizer

Bild 7 zeigt den Übersichtsschaltplan für die indirekte Frequenzsynthese dargestellt, wie sie im Synthesizer verwendet wird.

Der Frequenzteiler T2 dient zum Einstellen des Kanalrasters (10/12,5 kHz). Die Ausgangsfrequenz  $F_k$  stellt die Referenz für die Phasenbrücke ( $\varphi$ ) dar.

Der VCO ist ein spannungsgesteuerter Oszillatior, der die Frequenzen von 429,60 MHz bis 434,34 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß  $n \times F_k$  die gewünschte Frequenz  $F_{syn}$  ergibt. Am Ausgang der Phasenbrücke entsteht die Gleichspannung X, die proportional der Phase von  $F_k/(F_{syn}/n)$  ist. Die Oberwellen der Frequenz  $F_k$  werden mit dem Filter  $F_i$  unterdrückt.

Die Gleichspannung X dient als Steuersignal für den VCO und steuert diesen solange nach, bis  $F_k$  und  $(F_{syn}/n)$  gleich sind.

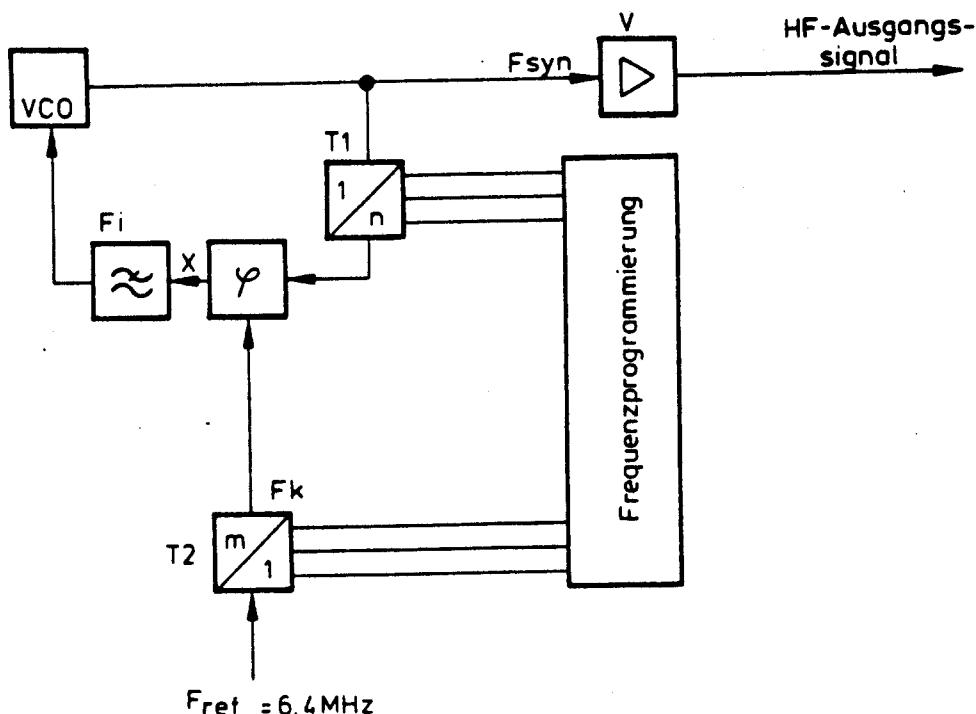


Bild 7 Prinzip Synthesizer

### **3.2.2 Synthesizer-Baustein und Vorteiler**

Im Bild 8 sind der Synthesizerbaustein und die zugehörigen Funktionsteile dargestellt.

In den Synthesizer-Baustein integriert sind die Frequenzteiler für die Referenz (12-bit-R-Teiler) und ein Teil der Frequenzteiler, die die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz oder 12,5 kHz teilen. Außerdem sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrolllogik zur Steuerung eines externen Vorteilers und eine Programmierlogik enthalten.

Der 7-bit-A-Teiler, der 10-bit-N-Teiler, die beiden externen Bausteine 552, 553 sowie die Kontrolllogik bilden den vollständigen Frequenzteiler; die Bausteine 552, 553 bilden einen 100/101-Vorteiler, der mit dem Kontrollsiegel definiert umgeschaltet wird.

Die Frequenzprogrammierung (Signale FREQ0...6 von der Baugruppe BS-Interface) geschieht an den Eingängen D0...3, A0...2 und St (Signal FRUE0 bzw 1, 2, 3). Die Adreßeingänge A0...2 wählen die Speicher (S0...7) aus, die die Daten von D0...3 empfangen sollen. Mit dem Signal FRUE0 (bzw 1, 2, 3) wird am Eingang St der Übernahmezeitpunkt bestimmt.

Zur Gewinnung der Steuerspannung für den VCO stehen zwei Phasendetektoren (A, B) zur Verfügung, von denen der Phasendetektor B verwendet wird. Dieser Phasendetektor hat einen symmetrischen Ausgang, um Störspannungen von außen zu unterdrücken.

### **3.2.3 Regelverstärker mit Filter**

Der Operationsverstärker 551 erzeugt aus der symmetrischen Spannung vom Phasendetektor B eine unsymmetrische Spannung zur Ansteuerung des VCO. Die Widerstände 22 bis 25 sowie die Kondensatoren 202 bis 204 und 207 bilden zwei in Serie geschaltete Tiefpässe. Die Widerstände 26, 27 und Kondensatoren 205, 206 dienen zur Stabilisierung des Regelkreises (Lag-Glieder). Die Widerstände 28, 29, 30 und Kondensatoren 208, 229, 230 stellen ebenfalls drei Tiefpässe dar, sie unterdrücken die Referenzfrequenz und deren Oberwellen.

### **3.2.4 Oszillatator (VCO) und Entkopplungsverstärker 1**

Der spannungsgesteuerte Oszillatator (VCO) besteht im wesentlichen aus dem Feldeffektransistor 507 sowie dem Rückkoppelnetzwerk 235 und 236. Die Schwingkreisspule besteht aus einem 20 mm langem Kupferdraht auf den Stützpunkten A, B, C.

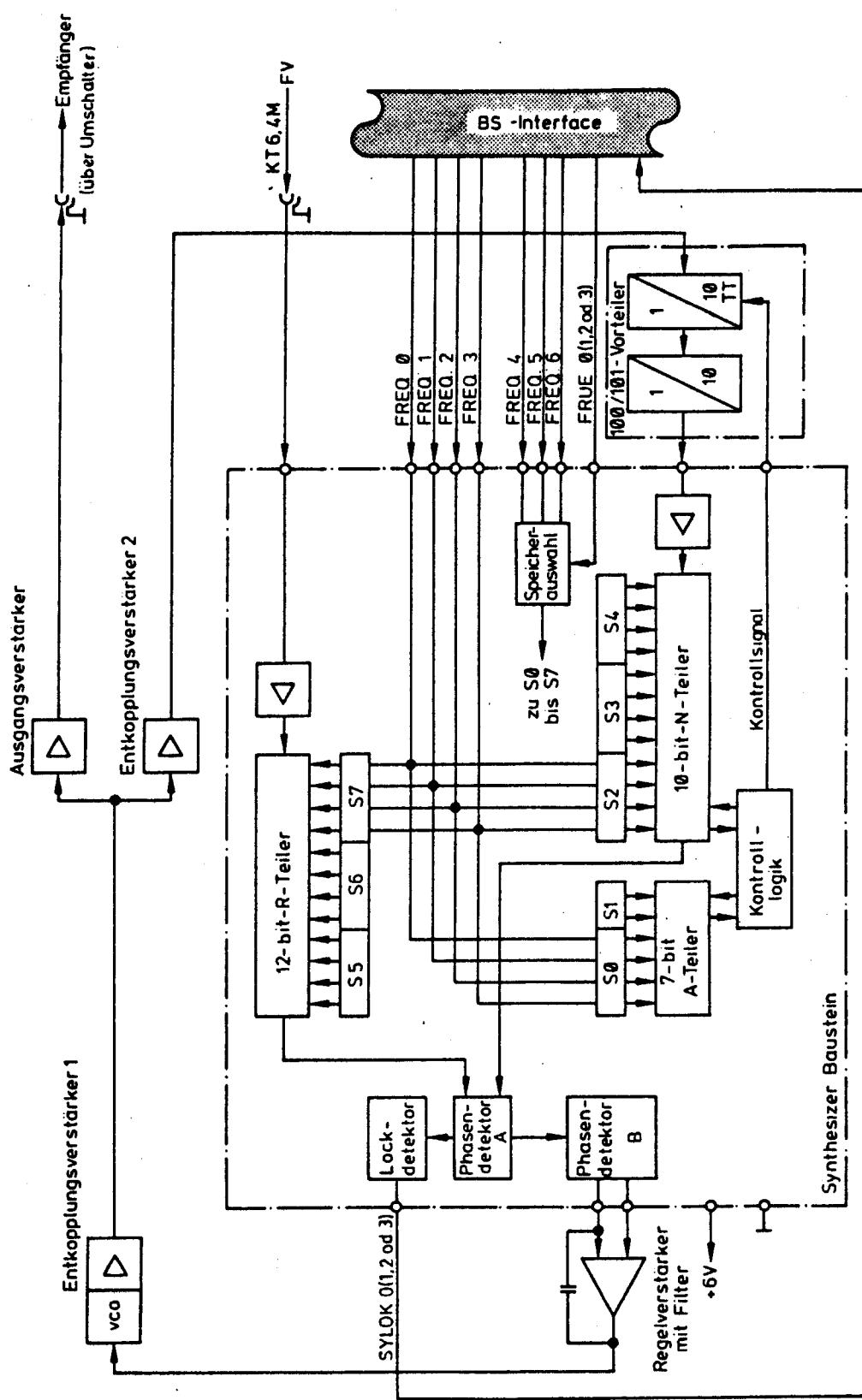


Bild 8 Übersichtsschaltplan Synthesizer-Baustein

Mit zwei Kapazitätsdioden, 472 und 473, die über die Kondensatoren 231, 232, 233 an den Schwingkreis angekoppelt sind, lässt sich der Oszillator in seiner Frequenz verändern. Um Rückwirkungen vom Ausgang und von den Frequenzteilern 552 und 553 möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker (Transistoren 508 und 509) erforderlich. Das Dämpfungsglied (Widerstände 63, 64, 65) dient zum Erhöhen der Entkopplung und zum Anpassen der Ausgangsleistung. Um die Störmodulation, bedingt z.B. durch mechanische Erschütterung, klein zu halten, befinden sich der VCO und die beiden Stufen in einem fest umschlossenen Gehäuse.

### **3.2.5 Entkopplungsverstärker 2, Ausgangsverstärker**

Der hochfrequente Teiler 553 wird vom Verstärker mit dem Transistor 505 angesteuert. Der Verstärker ist beidseitig mit einem Dämpfungsglied abgeschlossen, um den Pegel an Teiler 553 anzupassen.

Die Verstärkerstufe mit dem Transistor 523 bildet die Ausgangsstufe (s. Bild 8). Mit dieser Stufe wird eine Ausgangsleistung von 15 mW bis 40 mW erreicht. Am Ausgang liegt das Signal  $f_{L0}$ , das an den Empfänger übergeben wird. Es dient als Umsetzfrequenz für den Empfänger, um die erste Zwischenfrequenz zu erzeugen. Der Transistor 521 dient zur Arbeitspunktregelung der Verstärkerstufe. Die Zenerdiode 485 unterdrückt Störspannungen, die auf der +10-V-Versorgungsspannung liegen. Das Helicalfilter 381 hat eine Bandfiltercharakteristik; es unterdrückt restliche Nebenwellen, die in den Frequenzteilern entstehen.

### **3.2.6 Spannungsregelung +10 V/+8 V**

Für besonders empfindliche Schaltungen und Bauteile der Baugruppe Synthesizer sind die von der Gestell-Stromversorgung gelieferten Spannungen zusätzlich stabilisiert.

Zu den empfindlichen Schaltungen gehören der Oszillator und die Entkopplungsverstärker mit den Transistoren 505, 508 und 509.

Die Stabilisierungsschaltung ist mit dem IC 554 und dem Transistor 530 aufgebaut. Der Transistor ist notwendig, um einen möglichst geringen Spannungsabfall an der Stabilisierungsschaltung zu erhalten.

### **3.3 Umschalter UM-EM S42024-H385-**

#### **3.3.1 Einsatz- und Aufbauhinweise**

Mit Hilfe der Baugruppen Umschalter-Empfänger (UM-EM) ist es möglich, die Betriebsfrequenzen der beiden Empfänger rasch zu ändern. Es wird dabei der Umsetzfrequenzeingang eines Empfängers zwischen zwei Synthesizern umgeschaltet. Die Steuerung wird mit den Signalen DUSY0 und DUSY1 bzw. DUSY2 und DUSY3 vom BS-Interface durchgeführt.

Die Baugruppe ist auf einer 4fach Multilayer-Leiterplatte im Europaformat aufgebaut. Die HF-Teile dieser Baugruppe sind mittels eines geprästen Schirmblocks voneinander elektrisch entkoppelt, die Abschirmung des Bodens der Baugruppe wird von der Leiterplatte selbst hergestellt. Eine 24poligen Messerleiste mit acht Sonderplätzen (hievon drei belegt) stellt die Verbindung zur Einsatzrückwand her.

#### **3.3.2 Funktion**

Der Umschalter wird in Funkmodems und Funkmeßempfängern mit vier Synthesizern eingesetzt. Der Duplexabstand ist im Raster von 10 kHz bzw. 12,5 kHz frei wählbar, da die beiden Empfänger von getrennten Synthesizern gespeist werden.

Unerwünschte Rückwirkungen des Umschalters auf die Synthesizer, z.B. durch Fehlanpassung während des Umschaltens, werden durch Trennstufen unterbunden.

Bild 9 zeigt den Übersichtsplan des Umschalters. Bevor die f<sub>LO</sub>-Signale der Synthesizer an die Schalter gelangen, durchlaufen sie jeweils drei Dämpfungsglieder und zwei Transistorstufen. Die Dämpfungsglieder (überbrückte T-Glieder) dienen dazu, den Frequenzgang der Transistorstufen auszugleichen und gleichzeitig Schalter und Synthesizer zu entkoppeln.

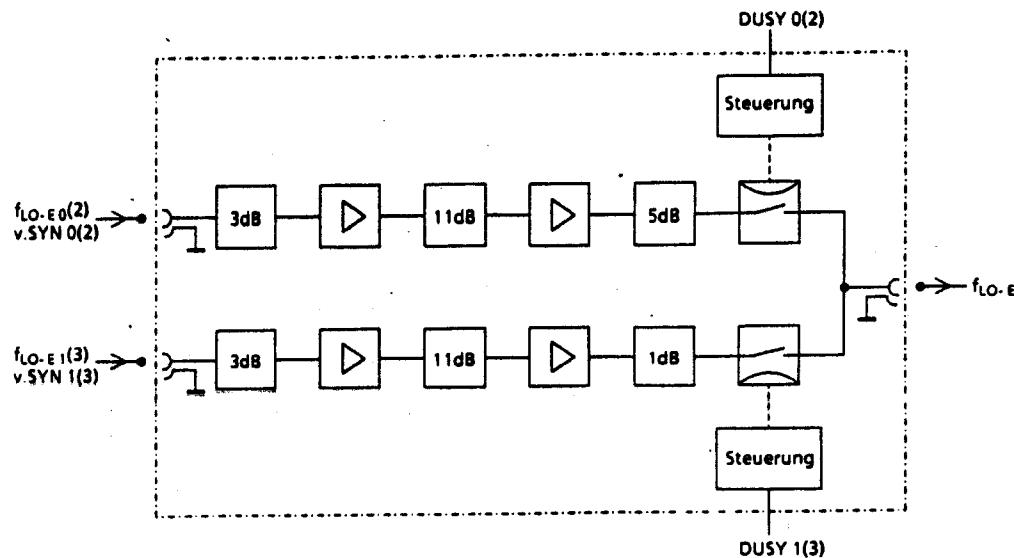


Bild 9 Übersichtsschaltplan Umschalter UM-EM

Um das Eigenrauschen der Baugruppe möglichst gering zu halten, werden die Transistoren knapp am 1-dB-Kompressionspunkt betrieben. Der eigentliche HF-Schalter ist 4stufig aufgebaut. Die vier Schaltstufen legen das ankommende Signal auf Masse. Die letzten PIN-Dioden der zwei Schaltgruppen sind miteinander verbunden und bilden den HF-Ausgang.

Die Steuersignale DUSY0/1 bzw. DUSY2/3 aus dem BS-Interface werden über schnelle Transistorsschaltstufen in die entsprechenden Fluß- und Sperrströme umgewandelt und den Diodenschaltern über HF-Filter zugeführt. Die HF-Filter (LC-Tiefpässe) sind in eigenen Schirmkammern untergebracht, um die geforderte Entkopplung zwischen Ein- und Ausgang bzw. zwischen den Eingängen zu erreichen. Logisch "0" am Steuereingang bedeutet entsprechender HF-Weg gesperrt, logisch "1" HF-Weg durchgeschaltet.

## **4 Funkkanalsteuerung**

### **4.1 CPU S42025-H418-\*1**

Stromlaufplan S42024-H378-\*1-\*7411

Die CPU-Baugruppe (Bild 10) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuern des Datendialoges über serielle Schnittstelle zur Funkdatensteuerung und die Funkschnittstelle (Datensicherungsverfahren)
- Verarbeiten der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungs bewertung)
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Offsetkorrektur)
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich
  - EPROM: Grundbereich 16k, 2 Bänke à 32k
  - RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- Zwei VLSI-Bausteine mit den Funktionen:
  - Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät
  - Erkennen des Zeitbezuges aus den empfangenen Signalisierungsdaten (Korrelationsempfänger)
  - Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren)

**Ermitteln der Signalgüte der empfangenen Signalisierungsdaten**

**Messen des Geräuschabstandes (Jittermesser)**

**Messen der Gleichspannungsablage des Analogsignals und Ausgabe des Offsetkorrekturwertes.**

**Entfernungsmessung**

**Fehlerüberwachung**

**fehlendes Setzsignal**

**Synchronlauf Sende- und Empfangsbaustein**

**Fehler Sendeteilerkette**

**Watchdog.**

Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit einem ICE (In-Circuit-Emulator)).

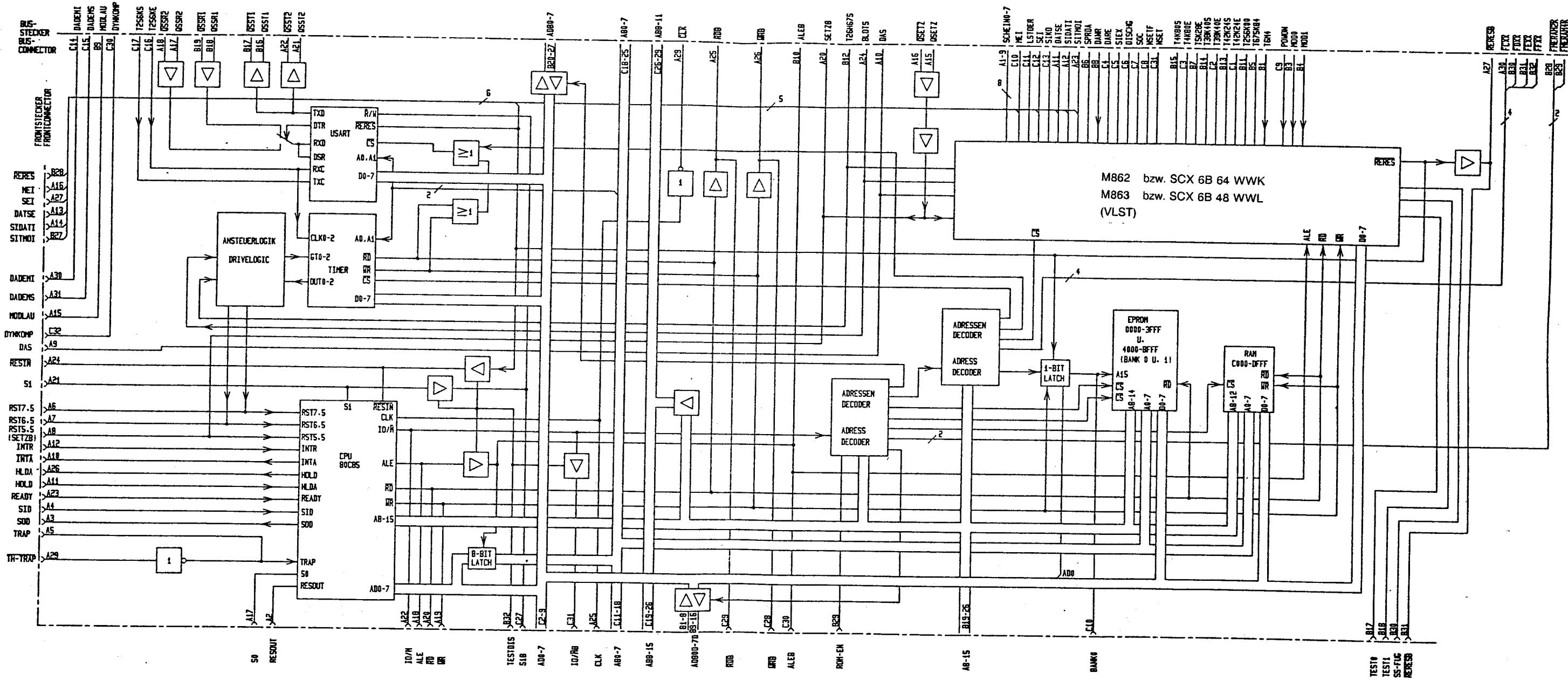


Bild 10 Übersichtsschaltplan CPU



#### 4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 11 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.

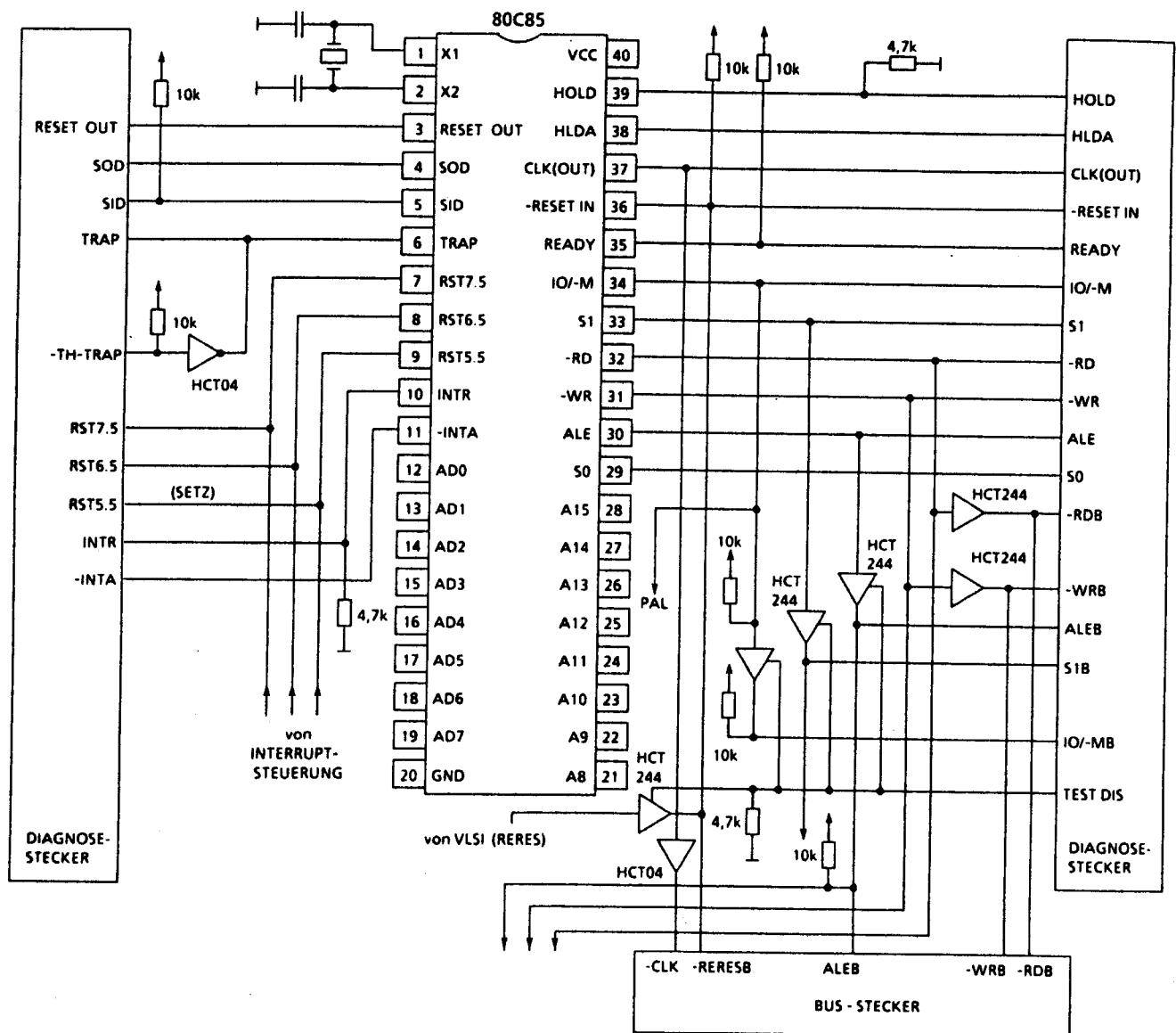


Bild 11 "80C85" Steuersignale

Wie Bild 11 zeigt, sind alle CPU-Signale grundsätzlich um Diagnosestecker geführt, da über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benutzt wird (SID = "1", INTR = "0", HOLD = "0", READY = "1", -TH-TRAP = "1"). Um einen TRAP auszulösen, muß der Eingang -TH-TRAP benutzt werden.

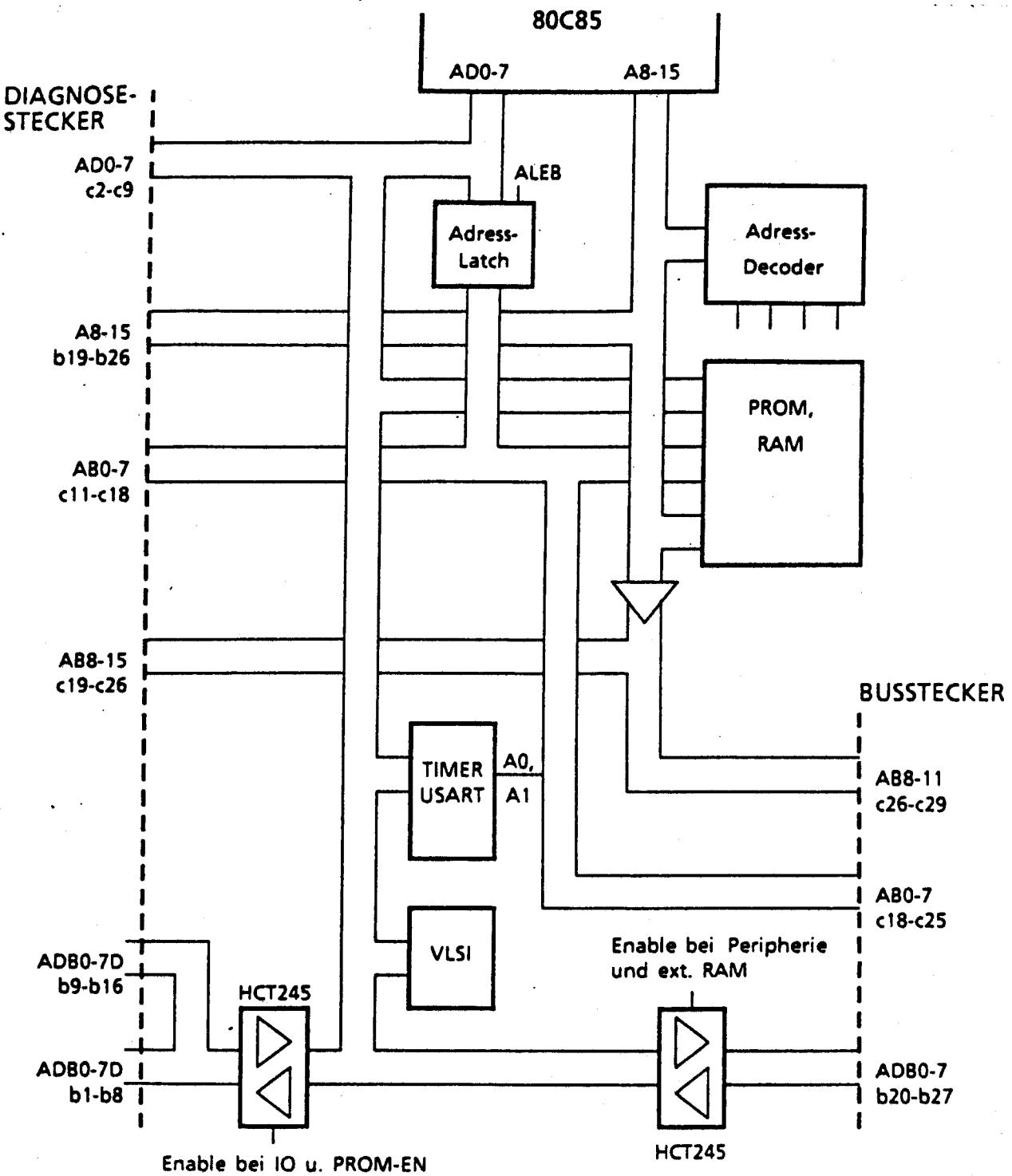
Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sendebaustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter HCT04 und ein RC-Glied (Verringern der Flankensteilheit, um Störeinflüsse zu vermindern).

Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B, IO/-M für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen AD0-7 und A8-A15 des 80C85 auf den Diagnosestecker geführt sind.

Bild 12 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Der Treiber wird mittels Adressenbereichs- Auswahl-Signal aus einem PAL-Baustein aktiviert.



A.....Adr. Bus  
 AD...Adr.-Datenbus  
 AB....Adr. Bus, gepuffert  
 ADB...Adr.-Datenbus, gepuffert

Bild 12 Schema der Adressen- und Datenleitungen

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert u. bei PROM-EN von 0-BFFF, Memory adressiert).

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL vorgenommen, das die Signale IO-/M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen, z.B. auf dem CPU-Adapter, auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO-/M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

#### 4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bank-Bereich.

Der Bank-Bereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM. Die Bankumschaltung wird durchgeführt durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0. Wird die Bankumschaltung nicht benutzt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit  $V_{pp}$  = high ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bankumschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt und zwar invers.

Das RAM liegt im Bereich von C000 bis DFFF.

#### 4.1.3 Interruptsteuerung

Standardmäßig werden die Interrupts RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benutzt werden.

Der RST5,5 wird durch das Setzsignal ausgelöst, das über den Empfangsbaustein SN75173 aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockraster auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) – das ist zu Blockwechsel – wird er wieder zurückgenommen (siehe Bild 13).

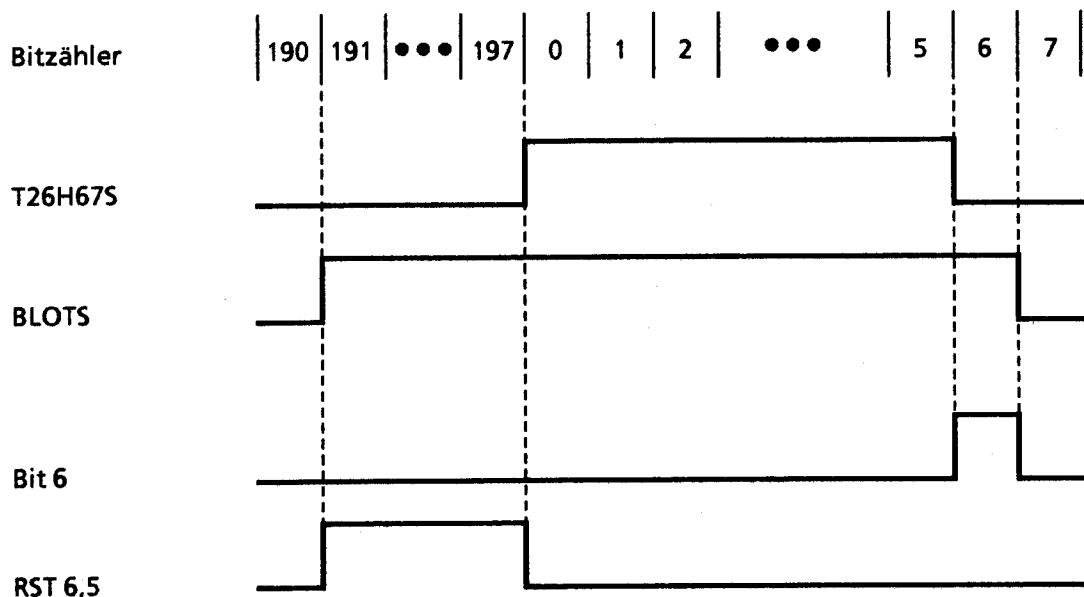


Bild 13 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Der Timer wird mit den Adressen FA00 bis FA03 adressiert.

#### **4.1.4 Serielle Schnittstelle**

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzten. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 kBd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialoges der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Kapitel 4.1.3).

Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256KE und dem Sendetakt T256KS aus der Interfacekarte betrieben. Der Sendetakt T256KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungskabellänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine 74ALS1631N werden parallel vom USART angesteuert.

Für die Empfangseinrichtung gibt es ebenfalls zwei Bausteine. Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

#### **4.1.5 VLSI-Bausteine**

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL (im folgenden einfach mit "VLSI"-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 80C85-kompatible Busschnittstelle, die die Signale ADO-7 (8-bit-Adressen-Datenbus), ALE (Adress Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprechbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signales über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den FME liegen MOD0 und MOD1 auf "1".

TEST0 und TEST1 sind "0" bei Normalbetrieb.

Für Testzwecke kann mit TEST0 = 0 und TEST1 = 1 die verteilte Signalisierung abgeschaltet werden ( wird über den Diagnosestecker mit Hilfe des CPU-Adapters vorgenommen).

Das Bild 14 zeigt die Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich beide Bausteine eine eigene Schnittstelle haben).

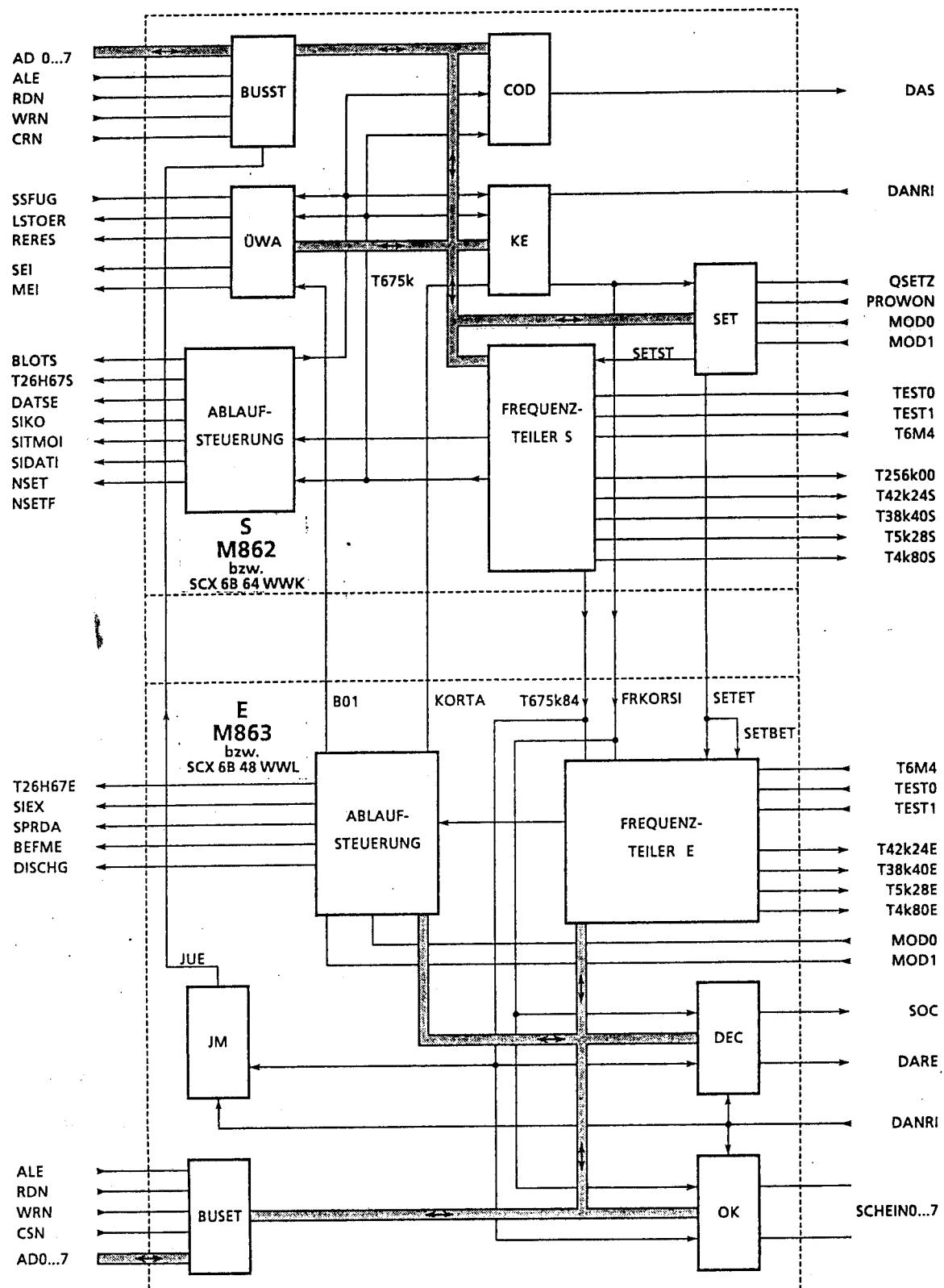


Bild 14 Übersichtsschaltplan Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL

Das Bild 15 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.

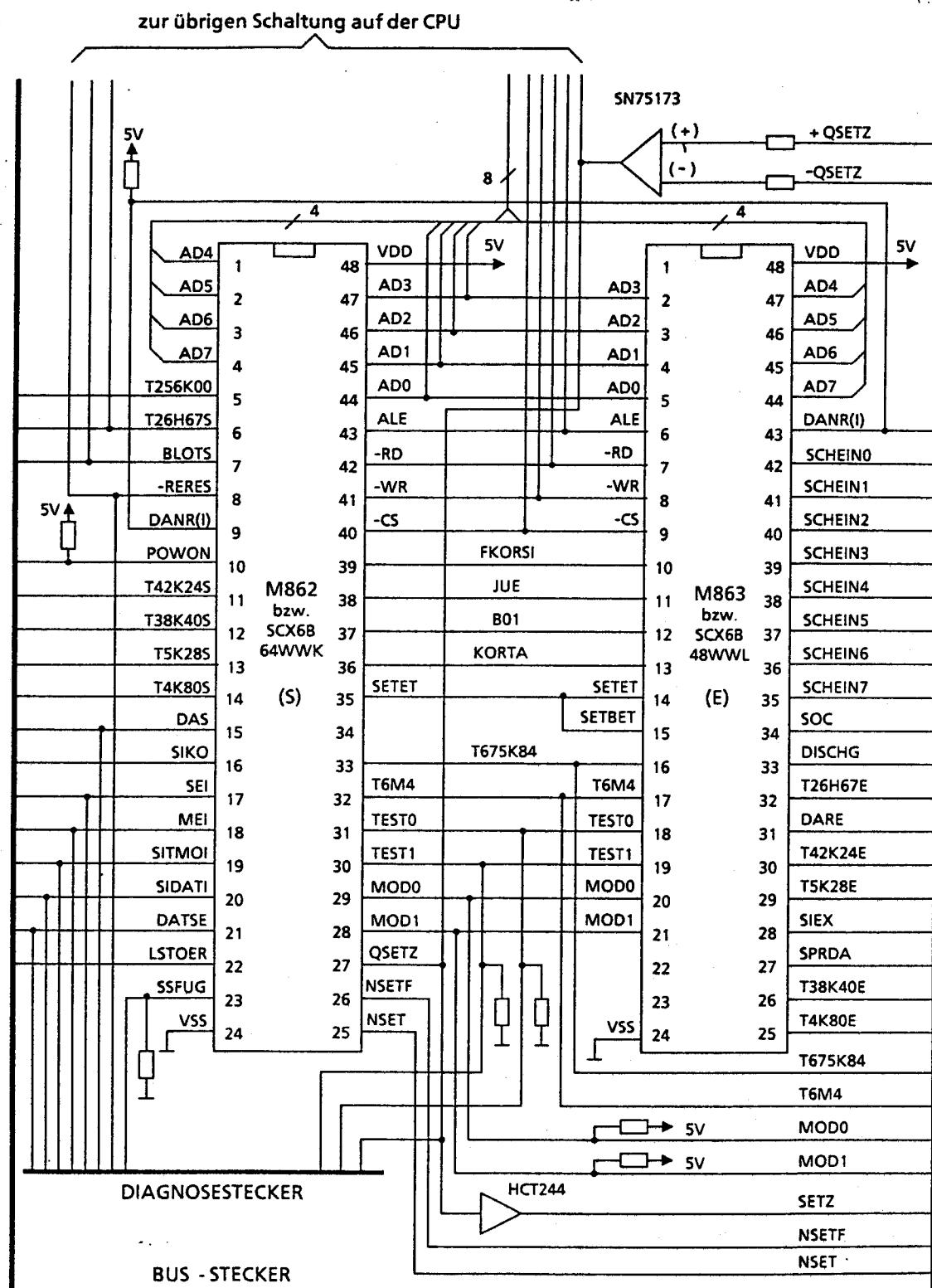


Bild 15 Anschlußschema der VLSI-Bausteine

#### 4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4 MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 16).

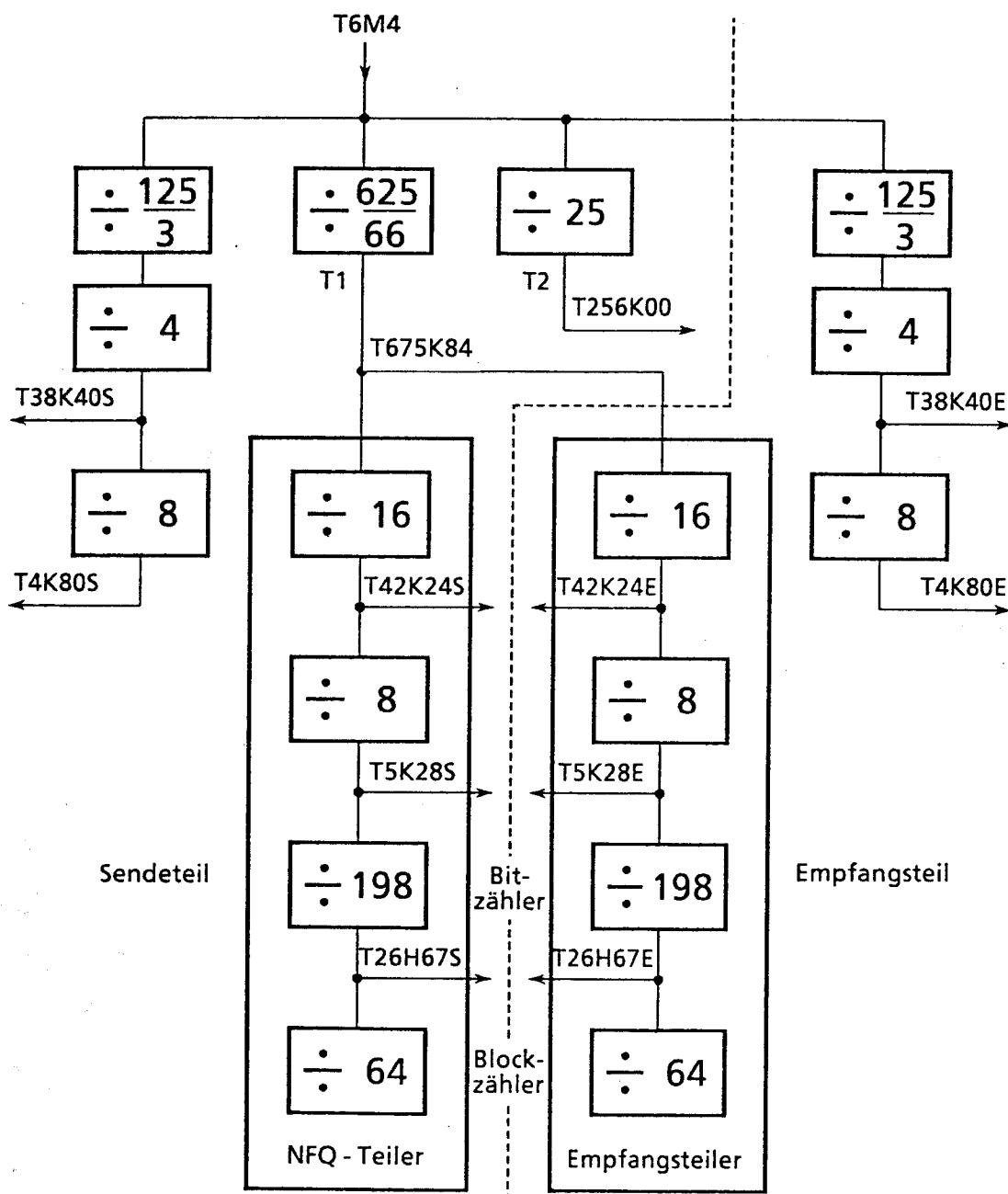


Bild 16 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte lässt sich nicht durch rationale Teilverhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktnamen	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	- 78,15 - 146,78ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	- 4,7 - 146,78ns
T5K28S,E	T42K24S,E	8	- 4,7 - 146,78ns
T26H67S,E	T5K28S,E	198	0

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

**T675K84:** Taktung für A/D-Wandler für Feldstärken und Taktung für Korrelationszusatz

**T256K00:** Takt für serielle Schnittstellen

**T26H67S:** Speichern von Port-Signalen

**T5K28E:** Takt für Umwandlung der Scan-Feldstärke.

#### 4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler und Empfangsteiler) getaktet. Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. T5K28E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. T26H67E, mit dem schließlich der Blockzähler gezählt wird.

64 Blöcke zu je 37,5ms bilden einen Rahmen, der demnach 2,4s lang ist.

Der Bitzählerstand der Sendeteilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des Sendeblockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

## **Externe Signale**

**POWON** entsteht bei Einschalten der Spannung; erzeugt internes POP-Signal  
**(power-on-puls)**

**QSETZ** Rahmensexsignal  
erzeugt mit Rückflanke internes Setzsignal QSET

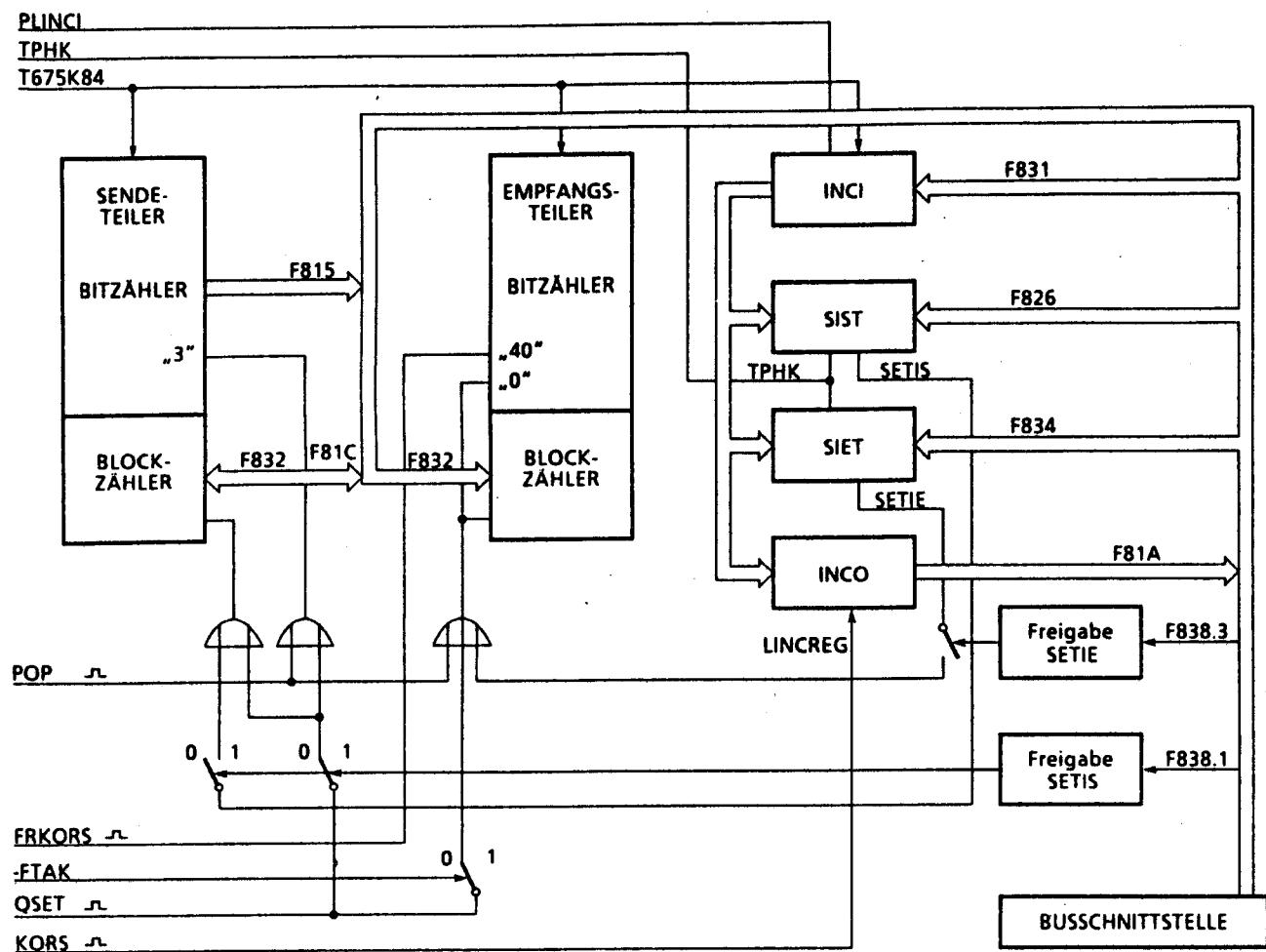
Beide Signale setzen alle Teiler einschließlich Teilerkette

## **Interne Signale**

**FRKORS** freigegebenes Korrelationssignal; SETIS und SETIE Setzsignale für  
indirektes Setzen aus dem Inkrementierungszähler

Mit FRKORS wird der Bitzählerstand der Empfangsteilerkette auf 40, in allen anderen  
Fällen auf 0 gebracht. Die Sendeteilerkette wird auf Bit 3 gesetzt.

Einzelheiten dazu zeigt Bild 17.



LINCREG Laden Incrementierungsregister (INCO)

SIST, SETIS Setzen indirekt, Sendeteiler

SIET, SETIE Setzen indirekt, Empfangsteiler

SIET und SIST sind die Vergleichswerte für die Phase, die auf den Adressen F826 und F834 eingespeichert werden. Bei Gleichheit mit dem Stand des Incrementierungszählers werden die Impulse SETIS bzw. SETIE erzeugt, die die Teilerketten setzen, falls die Impulse über F838.1 und F838.3 freigegeben sind.

TPHK Tor Phasenkorrektur (2 bit lang)

PLINCI Laden Incrementierungszähler.

Bild 17 Teilerketten setzen

#### **4.1.5.3 Ablaufsteuerung**

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil abhängig von der Betriebsart und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

**Konzentrierte Signalisierung:** Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

**Verteilte Signalisierung:** Sprachbetrieb, Aussenden der Signalisierungsinformation in Zeitschlitten während eines Unterrahmens = 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 7) bestimmt den Zustand konzentrierte / verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA  
(SPRDA = "0": verteilte Signalisierung).

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im FME verwendet:

**T26H67S** Takt 26,67Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blockes auf "1", sonst "0".

**BLOTS** "Blocktor senden", von Beginn Bit 191 jeden Blockes bis Ende Bit 6 des folgenden Blockes auf "1", sonst "0".

**SOC** "Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodervorganges erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke.

**DISCHG** "Discharge": Entladeimpuls für Ladekondensator (Feldstärkemessung), zu Beginn jedes Blocks.

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI- intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

#### 4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggert werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, der den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt, er wird erst wieder durch die nächste Retriggerung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei POWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es zwei weitere Fehlermeldungen ("0" bei Fehler):

FTAK (Fehler Teilerkette außer Kontrolle)

FQSET (fehlendes QSET)

FSTK (Fehler Sendeteilerkette).

FTAK tritt auf, wenn Sendeteilerkette und Empfangsteilerkette um mehr als  $\pm 1$  bit auseinanderliegen (überwacht wird nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen). FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird. FSTK tritt auf, wenn die negative Flanke von QSETZ nicht mehr in den Bereich Bit 2,5 bis Bit 3,5 der Sendeteilerkette fällt.

Bei Einschalten der Versorgungsspannung werden FTAK und FQSET in den Zustand "0" (d.h. Fehler) gebracht, WADOG auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 7: FSTK, Bit 2: FQSET, Bit 1: WADOG, Bit 0: FTAK

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung – wenn noch keine andere Störungsmeldung vorliegt – oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister"). In beiden Fällen erscheint am externen Anschluß LSTOER ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am BS-Interface geladen werden.

#### 4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANR(I). Am Anfang jedes Signalisierungsblocks befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

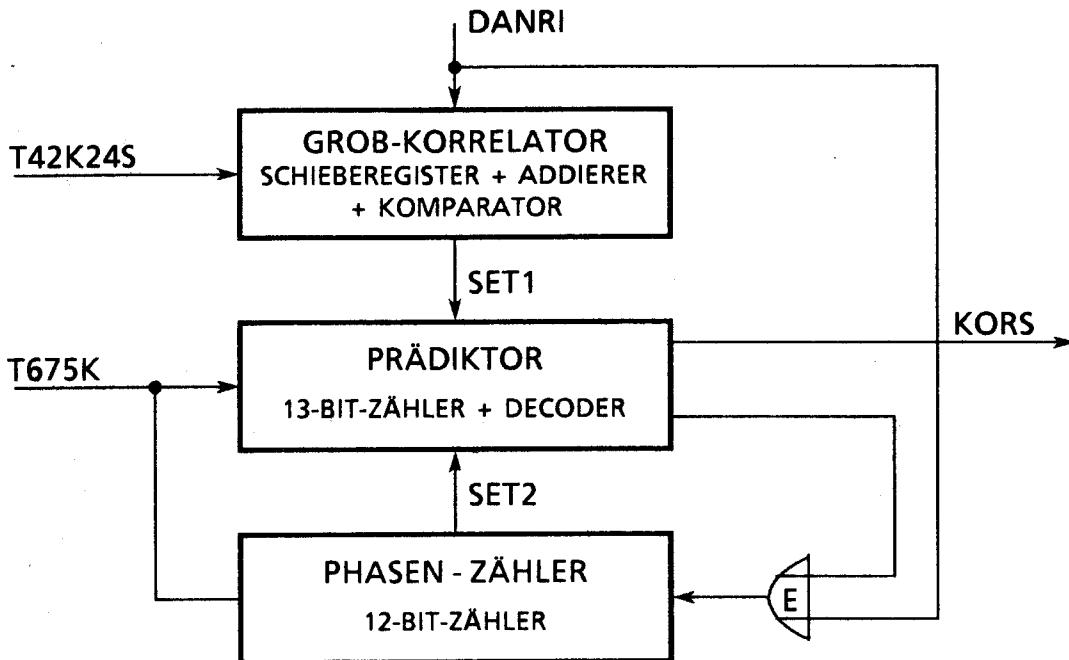


Bild 18 Übersichtsschaltplan Korrelationsempfänger

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von  $t = 1/T5K28$  jedes Signalisierungsbit mindestens die Pulsbreite  $t = 1/T42K24$  hat
- und
- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 19).

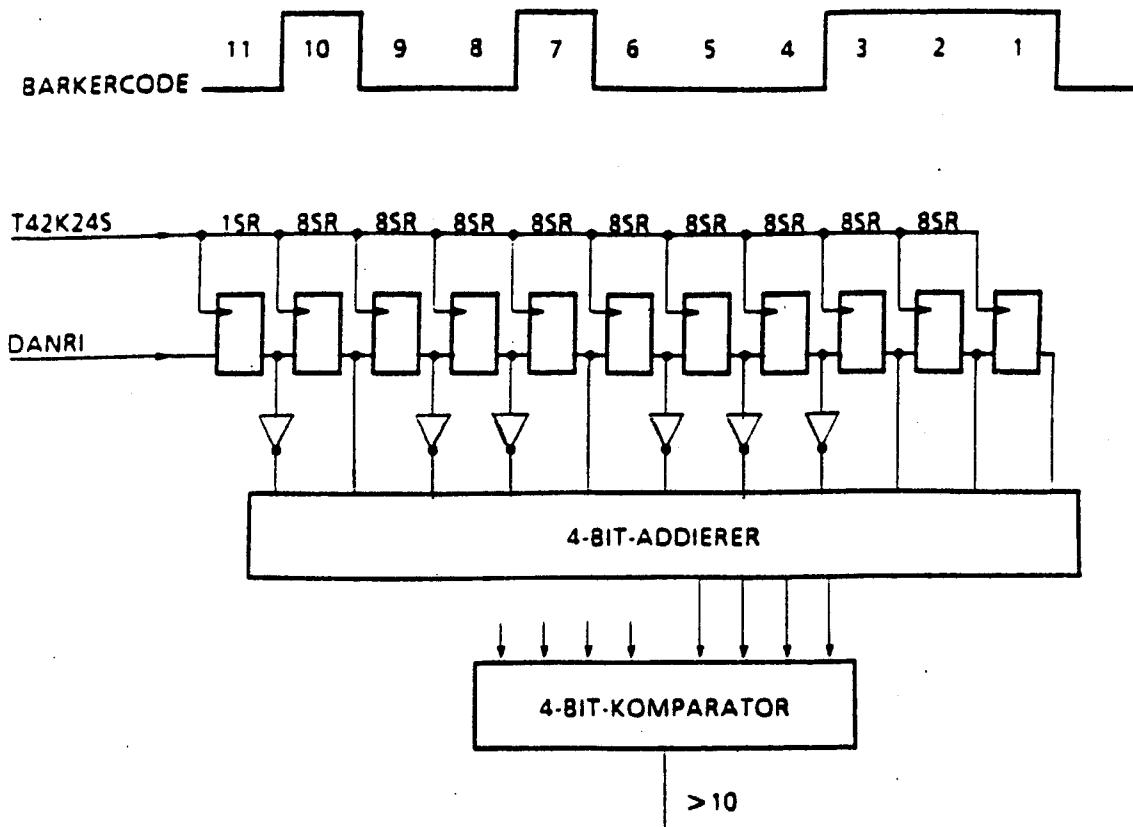


Bild 19 Grob-Korrelator mit 81 bit Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode, und er ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und dann nach weiteren acht Flankenwechseln paßt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

$0,5 \times t_{675K}$  nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind

- Suchlauf (im FME nicht verwendet)
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger

F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind

KORS (siehe oben)

FRKORS Freigabe Korrelationssignal (UND-Verknüpfung von KORS und F82C.6)

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T5K28 vor dem Aussenden des BarkerCodes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

SYNT Synchronisations-Erwartungstor.

Zeittor für das Erkennen des ersten BarkerCodes durch den Grobkorrelator.

Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit, 1 bit: maximale Breite der Grobkorrelation).

SYKON Synchronisationskontrolle.

Zeittor für das Korrelationssignal KORS. Dieses Zeittor ist 2 bit breit.

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeittores SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	3.Barker- code erkannt	Tor SYKON	F82C.6 Freigabe Korrelations- empfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeittor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

#### 4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisfrequenzband ermittelt. Die Jittermessung bewertet die zeitliche Lage aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich bei konzentrierter Signalisierung über eine Blocklänge, bei verteilter Signalisierung über einen Unterrahmen (0,6 sec.). Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128facher Bittakt) betrieben wird (siehe Bild 20).

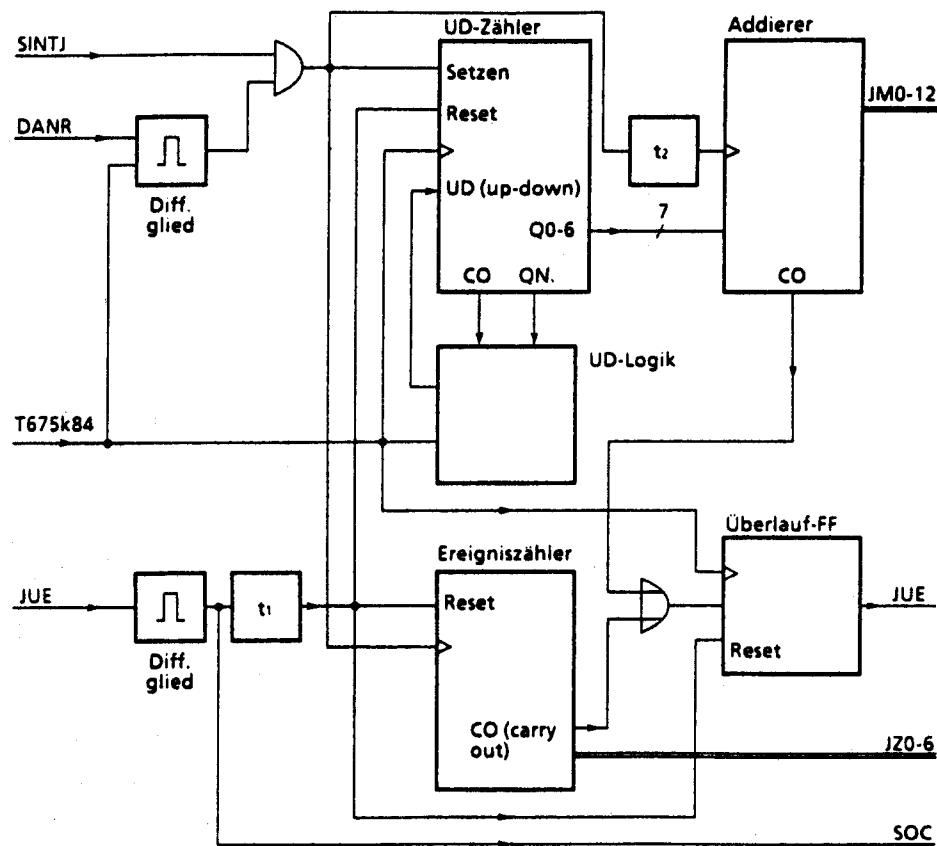


Bild 20 Übersichtsschaltplan Jittermesser

Seine Zählrichtung wird jeweils beim Zählerstand 0 und 63 umgekehrt. Mit dem ersten negativen Flankenwechsel des innerhalb des Bewertungszeitraumes (SINTJ) einlaufenden Dateneingangssignals (DANR) wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang gestartet. Mit jedem negativen Flankenwechsel werden die jeweiligen Zählerstände des Auf-/Abwärtszählers in einen Addierer übernommen und aufaddiert. Gleichzeitig wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang neu gestartet. Nur bei störungsfreier Datenübertragung erreicht der Zähler am Ende jedes Bewertungsvorganges zwischen zwei negativen Flankenwechseln den Wert 0 (siehe Bild 21). Ist der Abstand zweier aufeinanderfolgender negativer Flanken größer oder kleiner als die n-fache Bitbreite ( $n > 1$ ), so ergibt sich aus dem Zählerstand des Modulo-Bit-Zählers der Absolutwert der zeitlichen Abweichung vom Sollwert als Jitterwert (siehe Bild 21), der in den Addierer addiert wird. Die Anzahl aller negativen Flanken innerhalb des Bewertungszeitraumes registriert ein Ereigniszähler (7 bit). Nach Ablauf des Bewertungszeitraumes werden mit dem Signal STD (stop-decoder) der im Addierer aufaddierte Jitterwert (JM) und der Zählerstand des Ereigniszählers (JZ) abgespeichert, und sie stehen zum Auslesen über die Busschnittstelle zur Verfügung. Unter der Adresse F849 lässt sich die Anzahl der negativen Flankenwechsel auslesen. Über die Adressen F84A und F84C kann auf den Jitterwert zugegriffen werden, wobei unter Adresse F84A das MSB (5 bit) und unter Adresse F84C das LSB (8 bit) abgespeichert sind.

Ebenfalls vom Signal STD abgeleitet wird ein Rücksetzsignal, mit dem UD-Zähler, Akkumulator und Ereigniszähler zurückgesetzt werden; diese sind somit für einen neuen Bewertungsvorgang vorbereitet.

Übersteigt der akkumulierte Jitterwert innerhalb eines Bewertungszeitraumes den Wert  $2^{13} = 8192$  oder ist die Anzahl der Zeichenwechsel größer als  $2^7 = 128$ , so steht am Ausgang Jittermesser-Überlauf (JUE) ein H-Pegel an. Das Signal JUE wird im Sendebaustein weiter verarbeitet und kann über die Busschnittstelle (Adresse F819.2) ausgelesen werden.

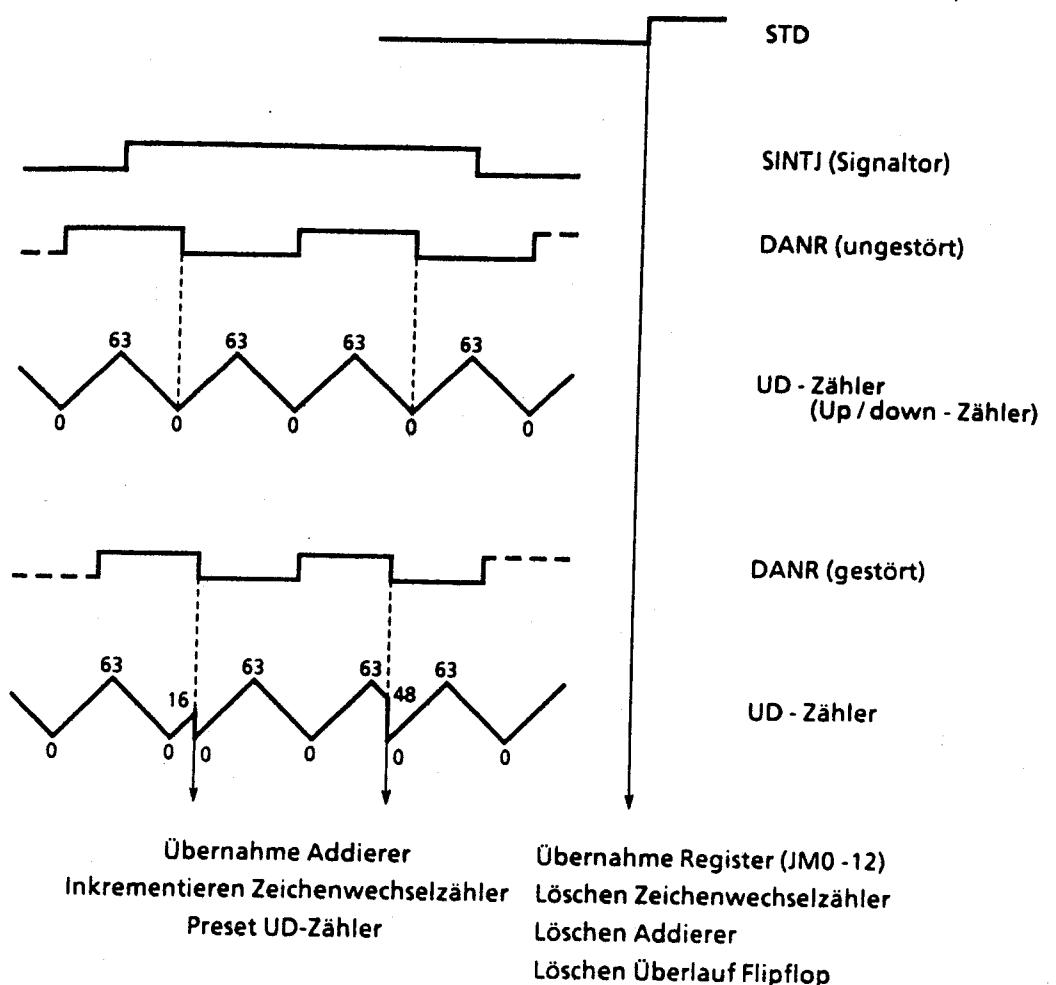


Bild 21 Funktion des Jittermessers

#### 4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 22 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am BS-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

#### Funktionsweise des Offsetmessers

Der 128fache Bittakt (T675K84) zählt während des Bewertungszeitraums SINTO = 1 (das ist während des BarkerCodes, Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts. Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H (OFFE0-7 = SCHEIN0-7 auf Mittenwert) versorgt sein muß, sodaß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraumes wird der Zähler auf 2304 eingestellt, d.i. um 2x128 über dem Mittenwert des Zählers  $4096/2 = 2048$ . Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalle auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Lade Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die Schwellwerteinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0-7.

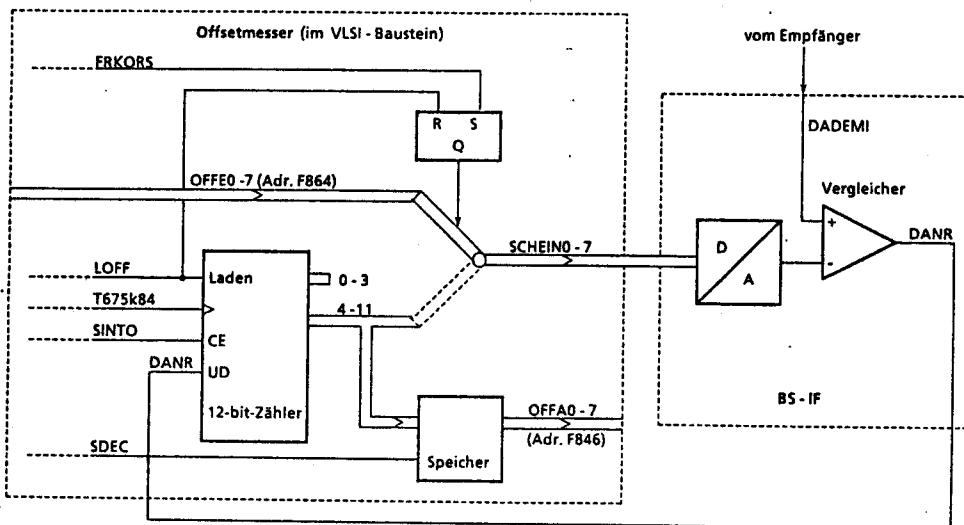


Bild 22 Offsetkorrektur

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 - SCHEIN7 gelegt.

Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die Schwellwerteinstellung.

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an BS-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleicher so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bitlängen aufweist (siehe Bild 23).

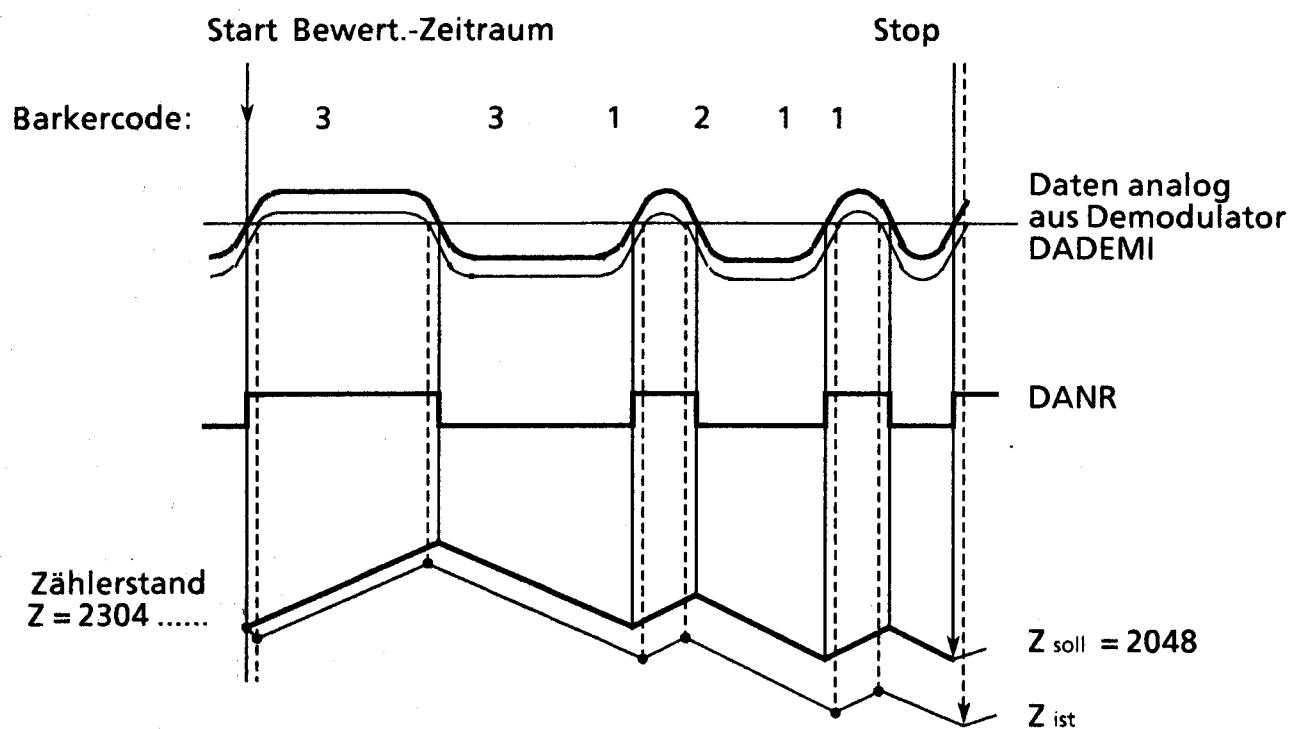


Bild 23 Offsetkorrektur Barkercode

#### 4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar; seine Aufgaben sind:

- Zwischenspeichern der vom Funkteil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.

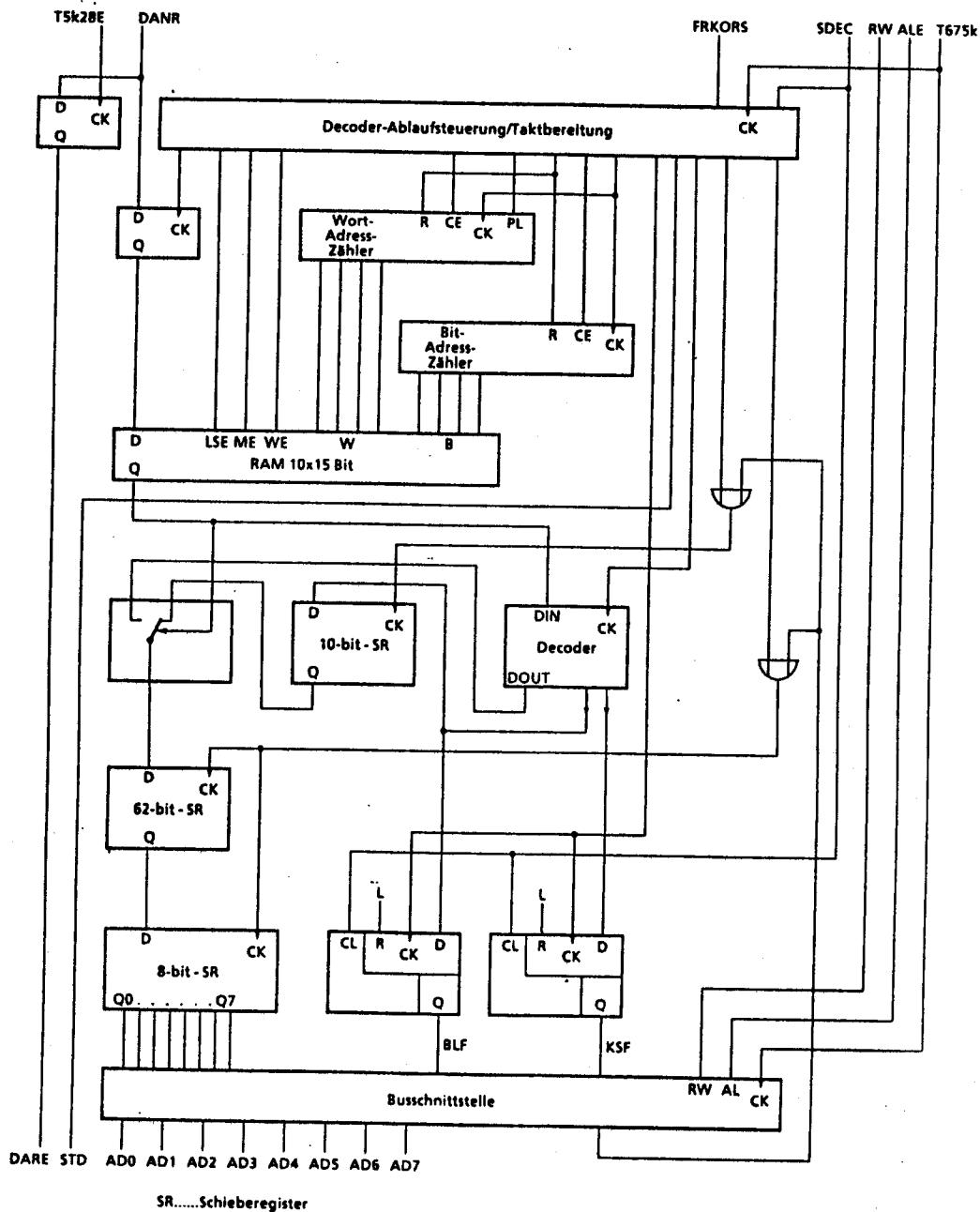


Bild 24 Übersichtsschaltplan Decoder

Der Decoder empfängt über den Eingang DANR (I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode, bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisierungsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen. Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Kapitel 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen/decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorganges zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beenden des Einlesevorgangs, mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5), wird der Decodervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Kapitel 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T675K). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodervorgang ist nach 600 Takten T675K ( $t_{DEC} = 600 \times t_{675K} = 888 \mu s$ ) beendet. Nach Abschluß des Decodervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsbits, stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Ausgelesen werden die Daten in 10 Worten à 8 bit. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten 8 bit für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe:

$$t_{READ} \geq 10 \cdot t_{T675K} = 14,8 \mu s$$

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 (Bit 0 bis 7) und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 bis 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbit "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechnerschnittstelle (Adresse F843) abfragen (siehe oben).

## **4.2 BS-Interface S42024-H379-...**

Die Baugruppe enthält folgende Funktionen, die in den folgenden Unterkapiteln näher beschrieben sind:

- Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)
- Adressendecodierung für Ein- und Ausgabeports
- Abfrage der Gestelladresse
- Ausgabeports für Ansteuerung der Umschaltebaugruppe und des Synthesizers sowie Ausgabe der Bits OKVR und FKORR ("Software-Verfügbarkeit" und "Freigabe Korrelationszusatz")
- Erfassen (Umsetzen) der Feldstärke
- Offset-Korrektur durch Vergleich des empfangenen Signals DADEMI mit eingestellter Schwelle
- Erzeugen des Power-on-Resets; Reset-Taste.

### **4.2.1 Laufzeitkorrektur**

Aus dem 256-kHz-Takt (Signal T256k00 aus dem VLSI) werden die beiden Signale T256kS und T256kE mit Hilfe von zwei Schieberegistern erzeugt; die Signale sind gegenüber dem T256k00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256kS ist um 12 Takte, T256kE um 16 Takte gegenüber T256k00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7 µs) dient zum Ausgleich von Kabellaufzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 25). Die Verschiebung des Taktes T256kE gegenüber T256k00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

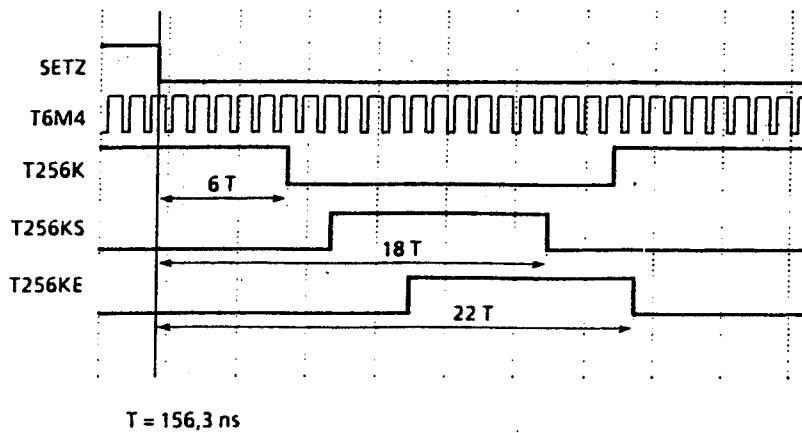


Bild 25 Laufzeitkorrektur

#### 4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HCT138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale WRX2 bis WRX6 sowie RDX0, RDX1, RDX4 bis RDX7 erzeugt (das X bedeutet, daß die Adreß-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung wie auf FF12, FF22 usw., es wird WRX2 aktiviert).

#### 4.2.3 Abfrage der Gestelladresse

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage wird mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese-Adressen-Signal RDX0) vom Adressendecoder vorgenommen.

#### 4.2.4 Ausgabeports

Über Latch-Bausteine werden einige Signale byteweise durch die Software nach folgender Tabelle ausgegeben.

Adresse	D7	D6	D5	D4	D3	D2	D1	D0
FFX2	-	FREQ0-6						
FFX3	OKVR	-	-	-	DUSY0-3			
FFX4	-	FKORR	-	-	FRUE0-3			

Erläuterungen zur Tabelle:

**OKVR** Verfügbarmeldung vom Rechner (SW)

**FREQ0-6** Information für Frequenzeinstellung der Synthesizer

**DUSY0-3** Durchschaltesignale für Umschaltebaugruppen, Maskierung der Synthesizer-Fehlernmeldungen

**FRUE0-3** Übernahmesignal für Frequenzeinstellung der Synthesizer

**FKORR** Freigabe Korrelationszusatz.

Die Signale DUSY werden zusätzlich mit T26H67 getaktet, d.h. Änderung des gespeicherten Inhaltes nur bei Blockwechsel.

#### 4.2.5 Umsetzung der Ident-Feldstärke

Das vom Ident-Empfänger kommende Feldstärkesignal FESTI (0-2,5V) wird mittels RC-Kombination integriert: bei Sprachbetrieb (SPDRA = 0) über eine Unterrahmenlänge, das sind 0,6 s; über eine Blocklänge, das sind 37,5 ms.

Das integrierte Signal gelangt über den Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675k84 betrieben und erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein vom Bus lesbares Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

#### **4.2.6 Offsetkorrektur**

Der vom VLSI-Baustein M863 bzw. SCX 6B 48 WWL gelieferte, digitale Schwellwert (SCHEIN0-7) wird mit Hilfe eines DA-Wandlers in einen Analogwert umgewandelt und über die Op. Amps LM258 dem Vergleicher LM311 zugeführt. Der Analogwert ist als Signal SCHEINA für Meßzwecke auf die Steckerleiste (PIN B9) geführt.

Am anderen Eingang des Vergleichers liegt das Signal DADEMI. Am Ausgang des Vergleichers erscheint das Signal DANR, das zu den VLSI-Bausteinen M863 bzw. SXC 6B 48 WWL zur weiteren Verarbeitung geführt wird.

#### **4.2.7 Power-on-Reset, Reset-Taste**

Die betriebsspannungsabhängige Rücksetzschaltung im Stromversorgungsteil liefert das Signal POR (-FME), das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert.

Das gleiche geschieht bei Drücken der Reset-Taste.

### **4.3 FME-Interface S42024-H380-...**

Die Baugruppe stellt eine Ergänzung des BS-Interfaces dar, es enthält vor allem folgende FME-spezifische Funktionen:

- Zusatz für Softwarekorrelation
- Umsetzen der Scan-Feldstärke in einen digitalen Wert
- Abspeichern der Störungsmeldungen in ein vom Prozessor lesbares Störungsregister.

Außerdem gibt es eine Pegelanpassung für die 6,4MHz. Eine LED dient zur Anzeige der Verfügbarkeit. Schließlich steht der Software noch ein zusätzliches 4k-RAM zur Verfügung.

### 4.3.1 Korrelationszusatz

Der Korrelationszusatz (Bild 26) besteht im wesentlichen aus einem Speicher, in den die empfangenen Daten in den Signalisierungsschlitten der verteilten Signalisierung mit hoher Quantisierung, nämlich mit dem 128fachen Bittakt, seriell eingelesen werden. Die so gespeicherten Informationen können dann vom Prozessor gelesen und im Korrelationsprogramm ausgewertet werden (Bestimmen von Phasenbezug und Offsetwert).

Mit dem vom BS-Interface kommenden Signal FKORR wird der Korrelationszusatz freigegeben. Während der Zeitschlüsse (Signal SIEX = 1, aus dem VLSI) werden die empfangenen Daten, nämlich das Signal DANR, mit Hilfe des Taktes T675k84 in ein Seriell-In-Parallel-Out-Schieberegister eingetaktet. Nach je acht Takten werden die acht Zustände parallel in das 2k-RAM fortlaufend eingespeichert. Das geschieht mit Hilfe von Treiberbausteinen HCT244, die für SIEX = 1 (also während der Zeitschlüsse) durchgeschaltet sind und mit Hilfe des Datenselektors HCT257, der während SIEX = 1 die A-Eingänge durchschaltet.

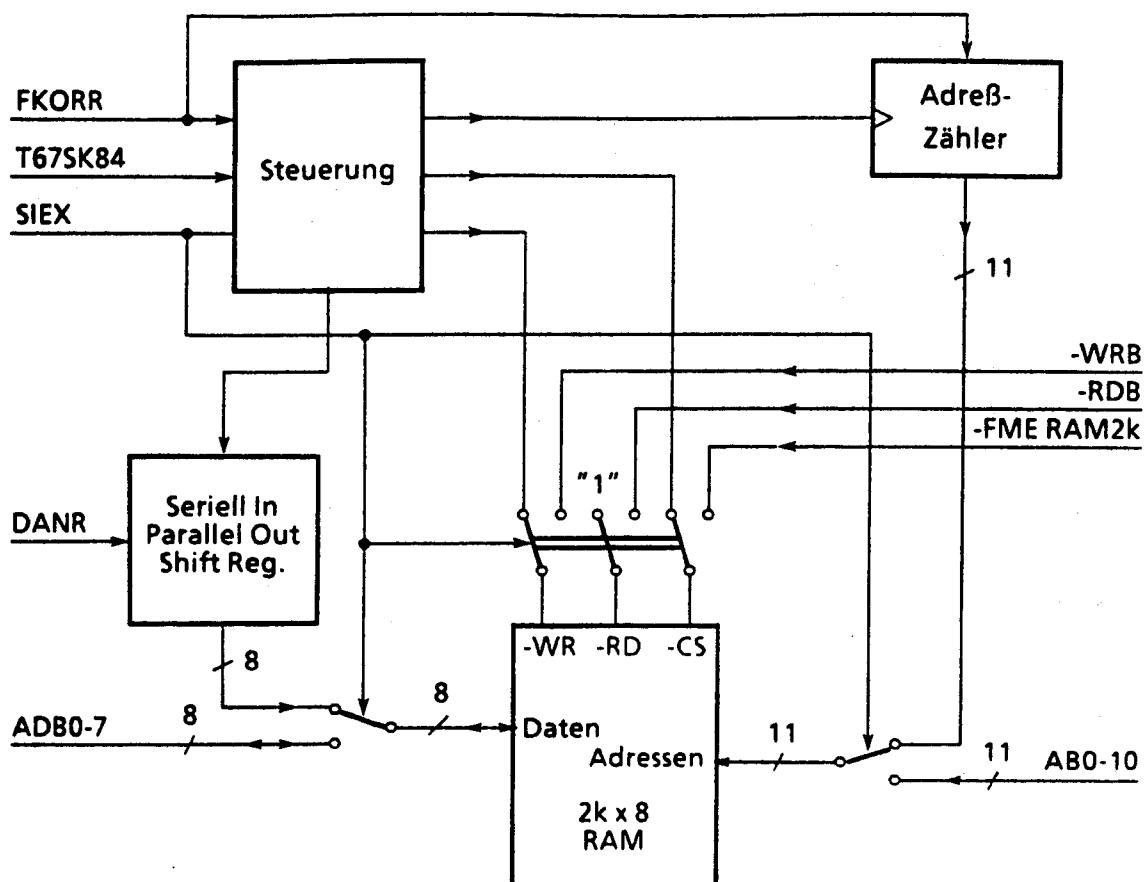


Bild 26 Übersichtsschaltplan Korrelationszusatz

Außerhalb der Zeitschlitz kann der Inhalt des RAMS mit Lesebefehlen im Bereich F000-F7FF vom Prozessor ausgelesen werden. Die Auswahl des Adressenbereiches geschieht mit Signal -FMERAM2k von der CPU; es ist auch ein Beschreiben mit Write-Befehlen außerhalb der Zeitschlitz möglich.

Ob der Korrelationszusatz in Funktion ist (d.i. während der Zeitschlitz), kann durch Abfrage des SIEX-Signales festgestellt werden: dies geschieht über das Störungsregister. Es ist jedoch erforderlich, vorher mittels Signal LSTOER dieses Register zu takten.

Auslesen des Störungsregisters geschieht mit Read auf Adresse FFX6, SIEX liegt auf Bit 0.

#### **4.3.2 Umsetzung der Scan-Feldstärke**

Das vom Scan-Empfänger kommende Feldstärke-Signal FESTS (0 - 2,5 V) wird mittels RC-Glied über eine Blocklänge integriert und gelangt über einen Op. Amp. zum AD-Wandler; dieser wird mit T675k84 getaktet. Der Start der Verschlüsselung geschieht mit der steigenden Flanke von BLOTS (aus dem VLSI) durch Generierung eines Impulses. Nach Ende der Verschlüsselung wird der digitale Wert in das vom Bus lesbare Latch eingespeichert sowie der Ladekondensator entladen.

Der digitale Wert der Feldstärke kann vom Prozessor mit Signal RDX5 (Lesen von Adresse FFX5) eingelesen werden.

#### **4.3.3 Störungsregister**

Der Inhalt des Störungsregisters kann mit Hilfe eines Lesebefehles auf Adresse FFX6 gelesen werden. Das dafür nötige Signal RDX6 – Kombination aus Adressendecodierung und Lesesignal – liefert das BS-Interface.

Eingespeichert werden die an den D-Eingängen des Registers anliegenden Signale mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU) oder bei Auftreten einer Störungsmeldung (letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Meldung ansteht). Zu diesem Zweck werden die Störungsmeldungen über das Gatter HCT30 geführt.

Es gibt folgende Störungsmeldungen:

Bit 2: SYLOK0

und

Bit 4-6 SYLOK1-3 Synthesizer 0-3 nicht gelockt. Die Störungsmeldungen werden nur wirksam, wenn die zugehörigen Durchschaltesignale (DUSY0-3) aktiv sind.

Außerdem lassen sich noch folgende Meldungen einlesen:

Bit 0: SIEX Abfrage des Zeitschlitzsignals (aus dem VLSI auf der CPU)

Bit 1: BGOK Baugruppen gesteckt

Bit 7: UMSCH Umschaltebaugruppe 0 vorhanden.

#### 4.3.4 Sonstige Funktionen

##### Verfügbar-Anzeige

Mit dem Signal OKVR, geliefert von der Software aus dem BS-Interface, wird die Verfügbar-LED angesteuert, sie ist mittels eines Drahtbügelschalters abschaltbar.

##### Pegelanpassung

Das über einen Koaxialstecker kommende Signal QT6,4M (vom Frequenzverteiler) wird über Transistor und Schmitt-Trigger in das TTL-Signal T6M4 umgewandelt. Das  $\pi$ -Glied dient zum Verringern der Flankensteilheit (Verringern von Störeinflüssen), Signal T6,4MA dient nur zu Prüfzwecken.

##### Zusatz-RAM

Auf der Baugruppe ist ein allgemein verwendbares 4k-RAM im Bereich E000 bis EFFF untergebracht.

## **5 Technische Daten**

**Hinweis:** Die technischen Anforderungen entsprechen der FTZ-Richtlinie  
FTZ 171 R60

Betriebsspannung 1 .....	U = +5 V
Stromaufnahme 1 .....	I = 1,5 A
Leistungsaufnahme 1 .....	P (typ) = 7,5 W
Betriebsspannung 2 .....	U = (+10 ± 0,5)V
Stromaufnahme 2 .....	I = 0,72 A
Leistungsaufnahme 2 .....	P (typ) = 7,2 W
Referenzfrequenz .....	6,4 MHz/>0 dBm
Sendeart .....	FM-Duplex
Frequenzhub bei Signalisierungs-Daten .....	2,5 kHz
Funkkanalabstand .....	20 kHz
einstellbare Frequenzschritte .....	10/12,5 kHz
Duplexabstand .....	10 MHz
Bitrate .....	5,28 kbit/s

### **5.1 Empfänger**

Betriebsspannung .....	U = (10 ± 0,5)V
Stromaufnahme .....	I = (90 ± 10)mA
Leistungsaufnahme .....	P (typ) = 0,9 W
Frequenzbereich .....	450 MHz bis 455,74 MHz
Frequenzhub maximal .....	±4 kHz
Empfindlichkeit für S/N = 20dB mit CCITT-Filter .....	≤ -116dBm
Störabstand, bezogen auf Prüfmodulation	
Fremdspannungsabstand .....	≥ 43dB
Geräuschspannungsabstand nach CCITT .....	≥ 48dB

## Datenausgang

konzentrierte Daten ..... NRZ  
verteilte Daten im Sprechkanal  
6 bit breiter Schlitz alle 12,5 ms ..... NRZ

## 5.2 Synthesizer

Betriebsspannung 1 .....  $U_1 = (+10 \pm 0,5)V$   
Stromaufnahme 1 .....  $I_1 = (125 \pm 20)mA$   
Leistungsaufnahme 1 .....  $P_1(\text{typ}) = 1,25 W$   
  
Betriebsspannung 2 .....  $U_2 = (+5 + 0,25, -0,5)V$   
Stromaufnahme 2 .....  $I_2 = (135 \pm 20)mA$   
Leistungsaufnahme 2 .....  $P_2(\text{typ}) = 675 mW$   
  
Frequenzbereich ..... 428,60 MHz bis 434,34 MHz

## 5.3 CPU

Betriebsspannung .....  $U = +5 V$   
Stromaufnahme .....  $I = 260 mA$   
Leistungsaufnahme .....  $P(\text{typ}) = 1,3 W$

## 5.4 FME-Interface

Betriebsspannung .....  $U = +5 V$   
Stromaufnahme .....  $I = 50 mA$   
Leistungsaufnahme .....  $P(\text{typ}) = 250 mW$

## 5.5 Umschalter

Betriebsspannung .....  $U = +5 V$   
Stromaufnahme .....  $I = 350 mA$   
Leistungsaufnahme .....  $P(\text{typ}) = 1,75 W$

## 6 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm (BxHxT)	Gewicht in g
Funkmeßempfänger FME .....	S42023-H129-...	100x595x24	8840
zugehörige Baugruppen:			
Anschlußfeldverdrahtung .....	S42024-H412-...		
und			
Filterbaugruppe .....	S42024-H413-...	100x63x12	
Empfänger .....	S42024-H169-...	100x167x24	
Synthesizer .....	S42024-H168-...	100x167x21	
Umschalter .....	S42024-H385-...	100x167x21	
CPU .....	S42025-H418-...	100x167x12	
	+ Software S42025-H430-A150		
BS-Interface .....	S42024-H379-...	100x167x12	
FME-Interface .....	S42024-H380-...	100x167x12	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, variablen Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.

**SIEMENS**

**Fu Tel C-Netz  
Beschreibung**

**Prüffunkgerät  
PFG  
S42023-H130-..**

**S42023-H130-E2-1-18**

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme  
Hofmannstraße 51, D-8000 München 70

Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung und Mitteilung ihres Inhalts nicht gestattet, soweit nicht ausdrücklich zugestanden. Zu widerhandlungen verpflichten zu Schadenersatz. Alle Rechte vorbehalten, insbesondere für den Fall der Patenterteilung oder GM-Eintragung.  
Technische Änderungen vorbehalten.

© Siemens AG 1990

# Inhalt

	Seite
1      Übersicht .....	5
1.1     Prüffunkgerät (PFG) im Netz C 450 .....	5
1.2     Prüffunkgerät in der Basisstation .....	5
1.2.1   Aufgabenstellung .....	7
1.2.2   Eigenprüfung Prüffunkgerät .....	7
1.2.3   Funkeinrichtungsprüfung (FEP) .....	10
1.2.3.1   Übersicht .....	10
1.2.3.2   Ablauf der Prüfungen .....	10
1.3     Funktionseinheiten des Prüffunkgerätes .....	12
1.3.1   Funkteil .....	12
1.3.2   Funkkanalsteuerung .....	14
2     Schnittstellen .....	17
2.1    Externe Schnittstellen .....	17
2.1.1   Schnittstelle zum Prüfverteiler .....	17
2.1.2   Schnittstelle zum Frequenzverteiler .....	17
2.1.3   Serielle Schnittstelle zur Funkdatensteuerung (FDS) .....	17
2.1.4   Schnittstelle zur Gestellverdrahtung .....	17
2.1.5   Schnittstelle zur Stromversorgung .....	17
2.2    Interne Schnittstellen .....	18
2.2.1   Synthesizer .....	18
2.2.2   Empfänger .....	18
2.2.3   Modulator .....	18
2.2.4   Audio-Teil .....	18
2.2.5   Tonempfänger .....	19
2.2.6   Tonsender .....	19
3     Funkteil .....	20
3.1    Empfänger S42024-H169- ... .....	20
3.1.1   Stromversorgung für PLL-Demodulator .....	20
3.1.2   Eingangsstufe mit Mischer 1 .....	20
3.1.3   Verstärker für 1. Zwischenfrequenz und Mischer 2 .....	22
3.1.4   Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung .....	22
3.1.5   Basisbandaufbereitung .....	23
3.2    Synthesizer S42024-H168- ... .....	24
3.2.1   Prinzip Synthesizer .....	26
3.2.2   Synthesizer-Baustein und Verteiler .....	27
3.2.3   Regelverstärker mit Filter .....	27
3.2.4   Oszillator (VCO) und Entkopplungsverstärker 1 .....	29
3.2.5   Entkopplungsverstärker 2 .....	29
3.2.6   Ausgangsverstärker 1 und 2 .....	29

3.2.7	Testschleife für Laufzeitmessung .....	30
3.2.8	Spannungsregelung +10V/+8V .....	31
3.3	Modulator S42024-H167- ...	32
3.3.1	Aktives NF-Filter .....	36
3.3.2	Oszillator (VCO) und Entkopplungsverstärker .....	36
3.3.3	Modulationsgesteuerte Phasenregelschleife .....	37
3.3.4	Mischer und Sendevorstufe .....	38
3.4	Audio-Teil S42024-H381- ...	39
3.5	Tonsender S42024-H324- ...	41
3.6	Tonempfänger S42024-H331- ...	43
3.6.1	Messen der Prüftöne .....	43
3.6.2	Betriebsarten .....	46
4	Funkkanalsteuerung .....	47
4.1	CPU S42025-H418-*1 + Software S42025-H431-A150 .....	47
4.1.1	CPU-Baustein 80C85, Adressen- Daten- und Steuerbus .....	51
4.1.2	Speicher .....	54
4.1.3	Interruptsteuerung .....	54
4.1.4	Serielle Schnittstelle .....	55
4.1.5	VLSI-Bausteine .....	56
4.1.5.1	Takterzeugung .....	59
4.1.5.2	Ablaufsteuerung .....	63
4.1.5.4	Überwachung und Rechnerreset .....	64
4.1.5.5	Korrelationsempfänger .....	65
4.1.5.6	Jittermesser .....	68
4.1.5.7	Offsetkorrektur .....	71
4.1.5.8	Decoder .....	73
4.1.5.9	Coder .....	75
4.2	Audio-Interface S42024-H382- ...	77
4.2.1	Laufzeitkorrektur .....	78
4.2.2	Adressendecodierung .....	78
4.2.3	Abfrage der Gestelladresse .....	81
4.2.4	Ausgabeports .....	81
4.2.5	Umsetzung der Feldstärke .....	82
4.2.6	Offsetkorrektur, Basisbandanpassung .....	82
4.2.7	Power-on-Reset, Resettaste .....	82
4.2.8	Störungsregister .....	83
4.2.9	Sonstiges .....	83
5.	Technische Daten .....	84
5.1	Empfänger .....	85
5.2	Synthesizer .....	85
5.3	Modulator .....	85
5.4	Audio-Teil .....	86
5.5	Tonsender .....	86
5.6	Tonempfänger .....	86
5.7	CPU .....	87
5.8	Audio-Interface .....	87
6	Geräteübersicht .....	88

## **1. Übersicht**

### **1.1 Prüffunkgerät (PFG) im Netz C 450**

Das Prüffunkgerät (PFG) ist ein Einsatz der Funkperipherie der Basisstation (BS), siehe Bild 1. Es führt eine Eigenprüfung der Einsätze Sprechkanal (SPK), Organisations-/Sprechkanal (OSK) und Funkmeßempfänger (FME) innerhalb der Basisstation durch. Das Prüffunkgerät hat keine BS-übergreifenden Funktionen.

### **1.2 Prüffunkgerät in der Basisstation**

Das Prüffunkgerät übernimmt in der Basisstation die routinemäßige Prüfung der Einrichtungen OSK, SPK und FME. Um Prüffehler durch Eigenfehler auszuschließen, führt das Prüffunkgerät regelmäßig eine Eigenprüfung durch.

Bei Signalisierungsaustausch während der Funkeinrichtungsprüfungen, die teilweise vom Prüffunkgerät selbst (Eigenprüfung), zum Teil von der Funkdatensteuerung angeregt werden, sendet das Prüffunkgerät im Unterband und empfängt im Oberband.

Die RF-Ankopplung des Prüffunkgerätes an die Prüflinge geschieht mit definierter Dämpfung über den Prüfsignalverteiler und die Richtkoppler in den Sende-/Empfangskopplern, die in den Zuführungen der Sende- und Empfangsantennen angeordnet sind. Dadurch können sowohl die gesamten Sendezüge als auch die gesamten Empfangszüge der o. g. Einrichtungen geprüft werden.

Das Prüffunkgerät hat außer der RF-Ankopplung über den Prüfsignalverteiler noch die Versorgungsschnittstelle zum Frequenzverteiler sowie die serielle Datenduplex-Schnittstelle zur Funkdatensteuerung. Über diese werden die Einrichtungsprüfungen von der Funkdatensteuerung angeregt und fehlerhafte Einrichtungen vom Prüffunkgerät an die Funkdatensteuerung gemeldet.

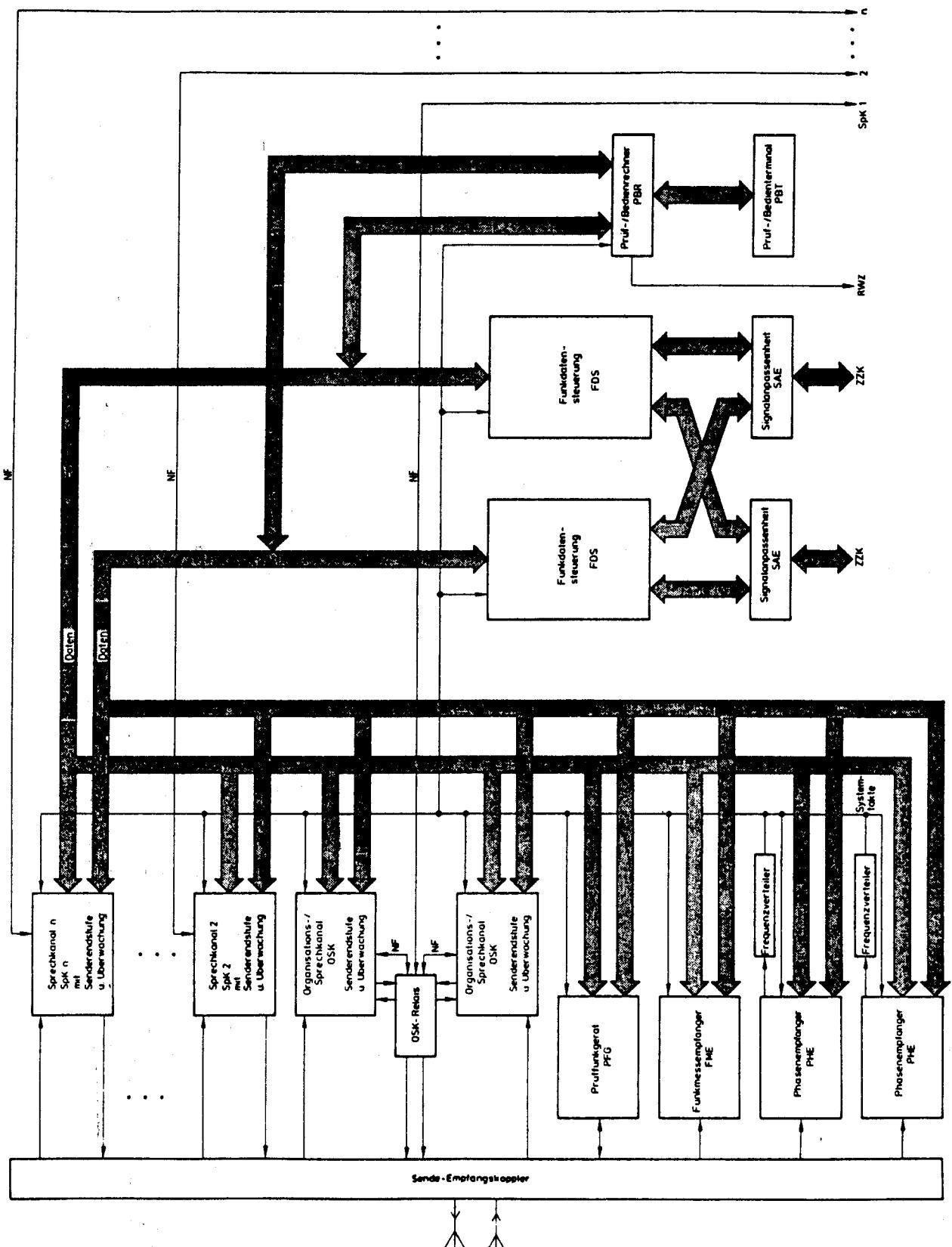


Bild 1 Übersichtsschaltplan der Basisstation

### **1.2.1 Aufgabenstellung**

Das Prüffunkgerät hat die Aufgabe, Hardware-Fehler in den Einsätzen der Basisstation SPK, OSK und FME im Signalisierungsaustausch mit diesen durch Test und Messungen frühzeitig aufzudecken und an die Funkdatensteuerung zu melden. Im wesentlichen werden die Prüflinge nach folgenden Kriterien untersucht und auf Einhaltung der vorgeschriebenen Werte und zulässigen Toleranzen geprüft:

- Gerätelaufzeiten der Sende- und Empfangsseite  
Insbesondere wird hierbei im Prüfling ein Eichen der Empfängerlaufzeit vorgenommen, um die Genauigkeit bei den Entfernungsmessungen zu erhöhen.
- Empfängerempfindlichkeit der SPK's
- Übertragungsqualität  
Amplitudengang,  
S/N und Klirrfaktor (SINAD-Messung)
- Funktion der NF-Betriebsarten  
Sprache klar, Sprache invertiert.

Im Rahmen der Prüfungen mit diesen Kriterien werden gleichzeitig weitere Funktionen der Einrichtungen mitgetestet.

Die Prüflinge sind zum Teil aktiv an der Ermittlung der Prüfergebnisse beteiligt, insbesondere bei der Bestimmung ihrer eigenen Empfängerlaufzeit und des Geräuschabstandes (Jittermessung).

### **1.2.2 Eigenprüfung Prüffunkgerät**

Wird im Rahmen einer Prüfung eine fehlerhafte Einrichtung erkannt, wird dies der Funkdatensteuerung gemeldet. Diese setzt die geprüfte Einrichtung auf den Zustand NICHT VERFÜGBAR. Um eine hohe Aussagesicherheit des Prüffunkgerätes zu gewährleisten, muß es ständig seine eigenen Meßeinrichtungen überprüfen. Das Prüffunkgerät muß für die Bestimmung der Senderlaufzeit im Prüfling die eigene Empfängerlaufzeit kennen. Die mit dem Prüffunkgerät im Signalisierungsaustausch stehenden Prüflinge setzen bei der Ermittlung und Eichung ihrer Empfängerlaufzeit eine im Toleranzbereich liegende Senderlaufzeit im Prüffunkgerät voraus. Aus diesen Gründen wird die Laufzeit im eigenen Sender und Empfänger ständig ermittelt und auf Toleranz geprüft.

Im Verlauf der Eigenprüfung werden folgende Aktionen ausgeführt:

- Sender- und Empfängerlaufzeitbestimmung  
Kontrolle der Toleranz  
Eichen der Empfängerlaufzeit
- Funktionstests  
Test der SINAD-Meßeinrichtung (Signal-to-noise and distortion)  
Test der Amplitudengang-Meßeinrichtung  
Test der Prüf-Hardware für die Prüfung der Betriebsarten im Sprechkanal  
(Betriebsarten: Sender oder Empfänger klar/invertiert).

Für die Eigenprüfung wird durch Aktivieren einer Testschleife das RF-Modulatorausgangssignal mittels Frequenzumsetzung auf den Empfänger geschaltet und wieder demoduliert (mit GERLAU, siehe Bild 2). Dieser Prüfvorgang wird in konzentrierter und verteilter Signalisierung vorgenommen.

Für die Empfängerlaufzeitmessung und -eichung in den Einsätzen der Basisstation ist das Prüfen der Senderlaufzeit und das Eichen der Empfängerlaufzeit im Prüffunkgerät notwendig.

Nach Aktivieren einer Testschleife mit GERLAU lässt sich bei konzentrierter Signalisierung die gesamte Sender- und Empfängerlaufzeit messen und mit dem Erwartungswert vergleichen.

Im Folgeschritt wird mit einer weiteren Testschleife (mit GERLAU1, siehe Bild 2) nur die Sendefilterlaufzeit im Modulator ermittelt und auf ihren Absolutwert sowie die noch zulässige Toleranz kontrolliert. Bei dieser Messung wird das Signal MODLAU unmittelbar vom Modulator über eine Basisbandanpassung - unter Umgehung des Empfängers - zur Auswerteschaltung geführt. Durch Wegfall der Empfängerlaufzeit wird das Signal um zwei Signalisierungsbits verzögert. Aus den Ergebnissen der beiden Messungen berechnet das Prüffunkgerät die eigene Empfängerlaufzeit.

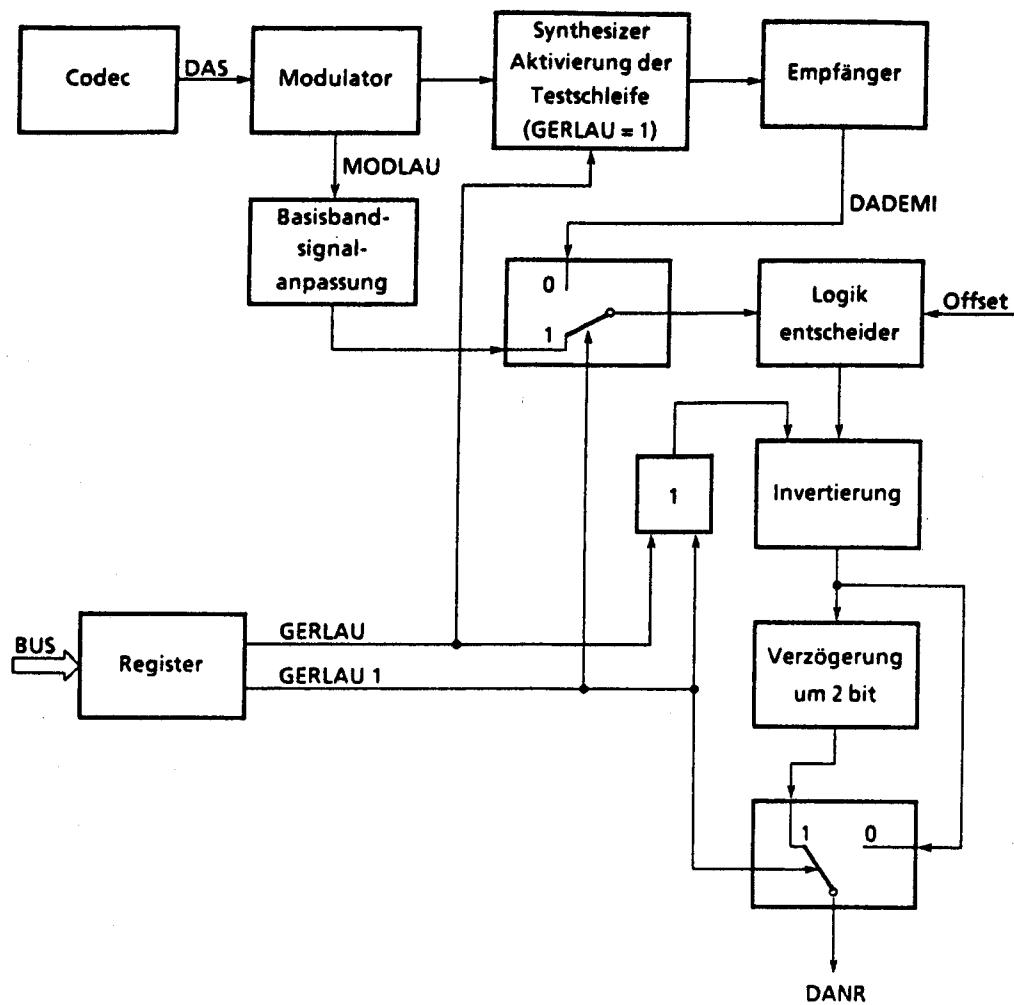


Bild 2 Testschleifen für Gerätelaufzeitmessungen im Prüffunkgerät

### **1.2.3 Funkeinrichtungsprüfung (FEP)**

#### **1.2.3.1 Übersicht**

Alle drei Prüflinge (OSK, SPK und FME) werden folgenden Prüfungen unterzogen:

- Sender- und Empfängerlaufzeitmessung (FME nur Empfängerlaufzeit):  
Kontrolle der Toleranz, Eichen der Empfängerlaufzeit
- Messen der Empfängerempfindlichkeit.

Dabei wird der Organisationskanal auf allen Frequenzen, die in der BS-Datenbasis eingetragen sind, geprüft.

Zusätzlich werden im Sprechkanalbetrieb folgende Prüfungen vorgenommen:

- Prüfen des Amplitudengangs (300Hz; 1kHz; 2,3kHz)
- SINAD-Messung (S/N und Klirrfaktor)
- Prüfen der Betriebsarten (Sender und Empfänger klar/invertiert).

Der FME wird gleichzeitig mit dem Sprechkanal getestet.

Die Ergebnisse der Funkmeßempfänger-Prüfung können vom Prüffunkgerät nicht beurteilt und an die Funkdatensteuerung gemeldet werden.

Der Funkmeßempfänger verwendet die Prüfverbindung PFG ---> Sprechkanal zu seiner Prüfung und sendet die Ergebnisse an die FDS.

#### **1.2.3.2 Ablauf der Prüfungen**

##### **Kontrolle und Eichen der Gerätelaufzeiten**

Der Prüfling setzt während der Prüfprozedur für die Empfängerlaufzeit einen bekannten Wert voraus. Jede Abweichung vom Erwartungswert wird als Korrekturgröße erkannt und bei der Entfernungsbeurteilung von Funkteilnehmern berücksichtigt (Empfängerlaufzeiteichung). Wenn dem Prüffunkgerät die eigene Empfängerlaufzeit bekannt ist, kontrolliert es die Senderlaufzeit des Prüflings auf Einhaltung der Toleranzwerte.

##### **Messen des Amplitudengangs (nur für Sprechkanalbetrieb)**

Diese Messung findet in verteilter Signalisierung statt. Im Sprechkanal wird eine NF-Schleife aktiviert, die die NF-Sende- und Empfängerseite kurzschließt. Gleichzeitig wird die NF des Sprechkanals von den MSC-Sprechleitungen getrennt.

Nacheinander werden ein 300-Hz-, ein 1-kHz- und ein 2,3-kHz-Prüfton, die im Tonsender generiert werden, über die RF-Schnittstelle zum Sprechkanal und über die NF-Schleife zurück zum Tonempfänger übertragen.

Das Ergebnis der dabei im Tonempfänger stattfindenden Breitbandmessung wird am Meldeport des Tonempfängers in Form einer Gut-/Schlechtaussage (Signal TEMEL, HIGH/LOW) ausgegeben und über die Baugruppe Audio-Interface von der CPU abgefragt.

### SINAD-Messung

(Klirrfaktor und Empfindlichkeitsmessung)

Diese Messung wird im Sprechkanal mit der NF-Schleife und abgekoppelter MSC-Sprechleitung durchgeführt.

Ein über die Meßstrecke übertragener 1-kHz-Prüfton aus dem Tonsender wird im Tonempfänger mit der SINAD-Meßeinrichtung ausgewertet. Das Ergebnis wird am Meldeport angezeigt. Zum Prüfen der Empfängerempfindlichkeit wird die gleiche Messung bei abgesenktem RF-Pegel wiederholt. Im Modulator des Prüffunkgerätes wird zu diesem Zweck ein Dämpfungsglied aktiviert (Einschalten mit Signal SELEI0).

Zur Kontrolle der Empfängerempfindlichkeit und des Geräuschabstandes werden auch die in den Prüflingen gemessenen Feldstärke- und Jitterwerte zur Bewertung herangezogen und mit Erwartungswerten verglichen.

### Prüfen der Invertierungseinrichtungen (nur für Sprechkanal)

Ebenso wie bei der SINAD-Messung wird ein 1-kHz-Prüfton über die Meßstrecke vom Tonsender zum Tonempfänger übertragen. Die Invertierungseinrichtungen der Send- und Empfangsseite im Prüffunkgerät und im Sprechkanal lassen sich über die Betriebsartenports (Audio-Teil) einzeln ein- oder ausschalten, wodurch eine fehlerhafte Einrichtung eindeutig lokalisiert wird. Es werden alle Einstellkombinationen im Sprechkanal geprüft. Der Tonempfänger liefert nur dann eine Gutaussage am Meldeport, wenn eine ungerade Anzahl von Invertierungen (Verschleierungen) in die Meßstrecke eingeschaltet ist, z.B.:

Sprechkanal		Prüffunkgerät	
Sender	Empfänger	Sender	Empfänger
v	k	k	k
k	v	k	k

k = klar

v = verschleiert (invertiert)

### **1.3 Funktionseinheiten des Prüffunkgerätes**

Das Prüffunkgerät (siehe Bilder 3 und 4) besteht aus den Funktionseinheiten Funkteil und Funkkanalsteuerung.

#### **1.3.1 Funkteil**

Der Funkteil enthält folgende Baugruppen: Modulator, Synthesizer, Empfänger, Audio-Teil, Tonsender, Tonempfänger

Die Ankopplung der HF-Sende- und Empfangssignale der Prüflinge geschieht über den Koppler im Anschlußfeld des Prüffunkgerätes.; dabei wird der HF-Ausgang des Modulators mit dem HF-Eingang des Empfängers zusammengeschaltet. Das über die Versorgungsschnittstelle zugeführte 6,4-MHz-Referenzsignal versorgt den Audio-Teil, den Modulator und den Synthesizer. Die Synthesizerfrequenz wird von der Funkkanalsteuerung durch Wahl der entsprechenden Kanalnummer eingestellt.

Die digitalen Sendedaten werden vom Coder unmittelbar zum Modulator, die analogen Empfangsdaten vom Empfänger zum Logikentscheider auf der Baugruppe Audio-Interface übertragen.

In verteilter Signalisierung werden im Modulator die verteilten Datenblöcke in das komprimierte Sprachsignal eingebettet und entsprechend im Empfangszug ausgebettet.

Der Modulator wird über die Funkkanalsteuerung ein- und ausgeschaltet.

Störungen im Modulator (Signal MODLOK!) und im Synthesizer (Signal SYLOK!) werden über Ports an die Funkkanalsteuerung gemeldet.

Der Empfänger liefert das demodulierte Sprachsignal an den Audio-Teil, das demodulierte Datensignal und das Feldstärkesignal an die Funkkanalsteuerung.

Der RF-Ausgangspegel des Modulators wird beim Überprüfen der Empfindlichkeitsgrenze der Prüflinge um 26 dB herabgesetzt. Zum Messen der Modulatorlaufzeit wird das Basisband-Sendesignal aus dem Modulator über einen Anpassungsverstärker (anstatt des Empfangsdatensignals aus dem Empfänger) auf den Eingang des Logikentscheiders (Baugruppe Audio-Interface) geschaltet.

Für die Messung der Gesamlaufzeit über Modulator und Empfänger wird eine Testschleife vom Modulator zum Empfänger über den Synthesizer (10-MHz-Umsetzung) geschlossen. Die Schleife wird für den Eigentest der Prüf-Hardware im Prüffunkgerät aktiviert.

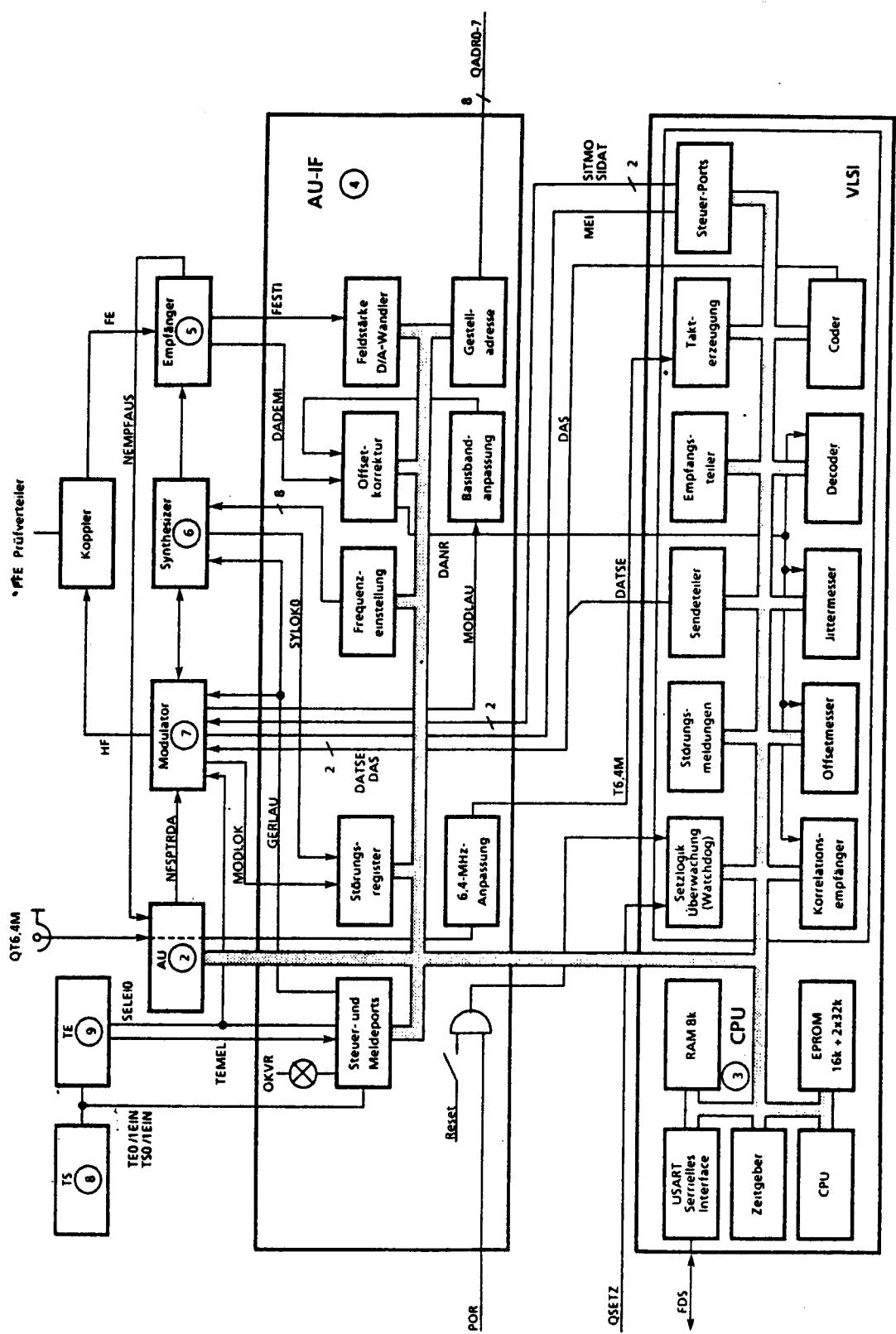


Bild 3 Übersichtsschaltplan Prüffunkgerät (PFG)

Tonsender und Tonempfänger werden entsprechend den Prüfschritten in der Funk-einrichtungsprüfung (FEP) über die zugeordneten Betriebsartenports vom Rechner eingestellt (siehe Abschnitt 1.2.3.2).

Je nach Prüfmodus ist die Betriebsart der Baugruppe Audio-Teil auf "klar" oder "invertiert" (über die Betriebsartenports) eingestellt.

In verteilter Signalisierung wird das Prüfsignal vom Tonsender über Inverter und Zeitkompressor auf dem Audio-Teil in den Modulator übertragen. Entsprechend gelangt auf der Empfangsseite das demodulierte Basisbandsignal vom Empfänger über Zeitexpander und Inverter auf dem Audio-Teil in den Tonempfänger.

### 1.3.2 Funkkanalsteuerung

Zur Funkkanalsteuerung gehören die Baugruppen CPU und Audio-Interface.

Die CPU-Baugruppe besteht im wesentlichen aus der CPU (80C85), RAM, EPROM, Zeitgeber, USART und den beiden VLSI-Bausteinen. Sie organisiert datenblock- und zeitplatzorientiert die gesamte Hardware-Steuerung für den Sende- und Empfangsbetrieb, das Lesen und Auswerten von Meßwerten und den Datenaustausch mit der Funkkanalsteuerung.

Die VLSI-Bausteine enthalten die Funktionseinheiten Korrelationsempfänger, Jittermesser, Offsetmesser, Coder, Decoder sowie die Taktaufbereitung mit den Teilerketten, sowie die Watchdog-Steuerung.

Der Korrelationsempfänger ermittelt aus dem Barkercode des Empfangsdatenblockes den Phasenbezug des Signals, mit dem direkt die Empfangsteilerkette in der Taktaufbereitung eingestellt wird (die Sendeteilerkette wird mit dem Rahmensetsignal QSETZ gesetzt).

Mit dem Jittermesser wird der Geräuschabstand des NF-Datensignals ermittelt.

Der Offsetmesser ermittelt die Gleichspannungsablage des analogen Datensignals durch Erfassen der Veränderung der Zeichendauerzustände im nicht taktregenerierten Datensignal. Der gemessene Ablagewert lässt sich direkt (über die Hardware) oder auch indirekt (über die Software) zur Korrektur der Schwelle am Logikentscheider heranziehen (Offsetkorrektur).

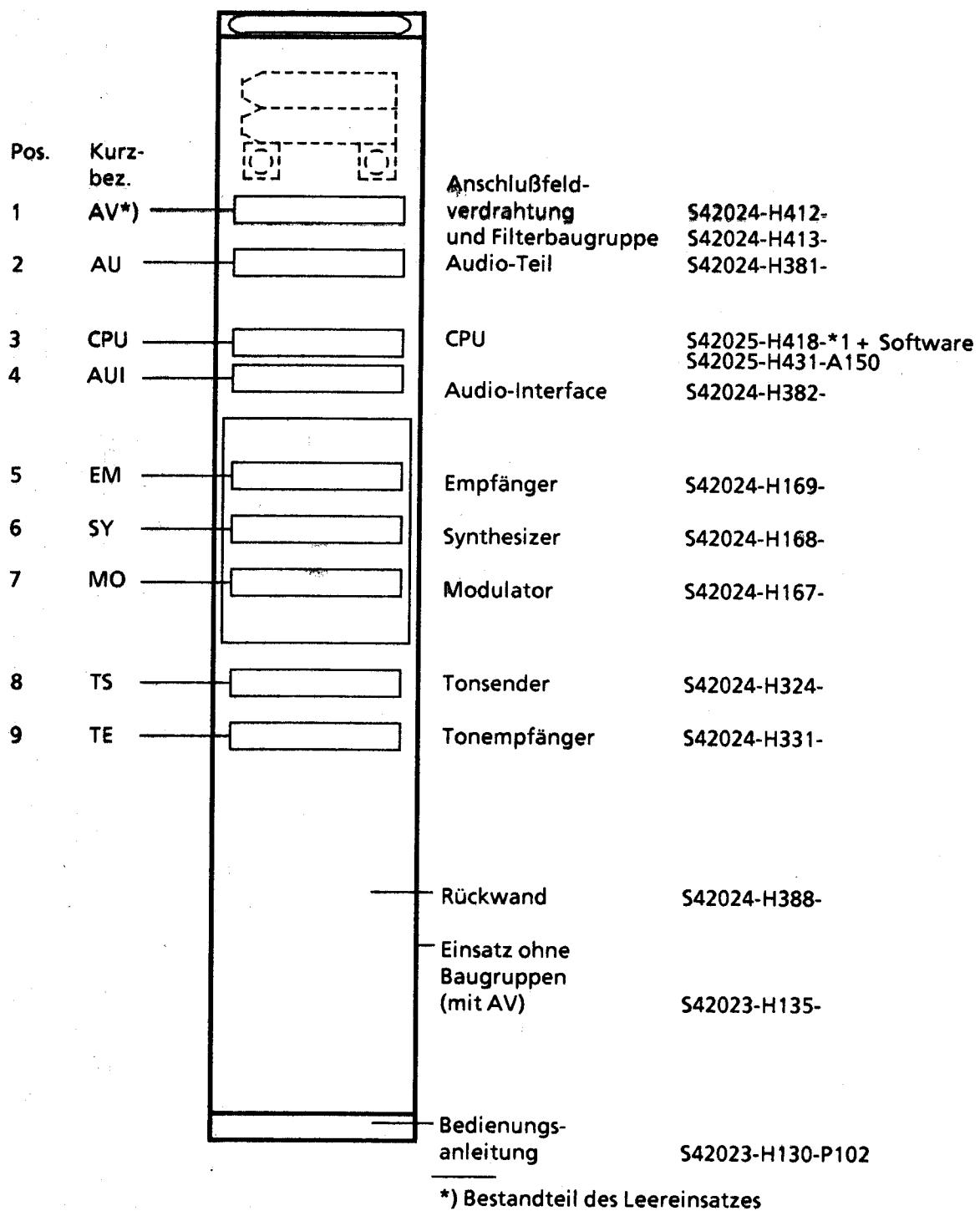
Die Taktaufbereitung im VLSI enthält die Empfangs- und Sendeteilerkette sowie die Überwachungseinrichtung, die den Bezug der Teilerketten zueinander und zum Rahmensetsignal (QSETZ) kontrolliert. Sind die Teilerketten zueinander asynchron, wird eine Störungsmeldung erzeugt.

**Der Coder unterzieht die Daten vom Rechner einer Datensicherung (Codierung), bevor sie dem Modulator zugeführt werden.**

**Der Decoder ermittelt die Nutzinformation aus den codierten Empfangsdaten. Fehler lassen sich unterhalb einer definierten Korrekturschwelle korrigieren. Die Nutzinformation wird vom Rechner aus dem Empfangsdatenpuffer des Decoders ausgelesen.**

**Die Baugruppe Audio-Interface übernimmt folgende Aufgaben:**

- Pegelregeneration des demodulierten (analogen) Datensignals vom Empfänger
- Einstellen der Hardware im Funkteil (Betriebsarten, Frequenzen, Testschleifen, Pegelabsenkung)
- Übernahme der Störungsmeldungen
- Lesen der Kanaladresse für den Datenaustausch mit der Funkdatensteuerung
- Erzeugen eines Rücksetzsignals für Taktaufbereitung und CPU
- Umwandeln des Feldstärkesignals aus dem Empfänger
- Offsetkorrektur
- Anzeige der Verfügbarkeit des Prüffunkgeräts.



**Bild 4 Aufbau des Prüffunkgeräts (PFG)**

## **2 Schnittstellen**

### **2.1 Externe Schnittstellen**

#### **2.1.1 Schnittstelle zum Prüfverteiler**

Der HF-Ein/Ausgang des Prüffunkgerätes dient zur Ankopplung des PFG an den Prüfverteiler.

#### **2.1.2 Schnittstelle zum Frequenzverteiler**

Hier werden der Takt QT6,4M (Koaxstecker) und das Rahmensetzsiegel QSETZ (symmetrische Leitung), die vom Frequenzverteiler kommen, eingespeist.

Über Koaxleitungen gelangt der 6,4-MHz-Takt einerseits zu den Synthesizern sowie zum Modulator, andererseits zum Audio-Teil, von wo er über die Einsatzrückwand-Platine zum Audio-Interface geführt wird; dort wird zur Versorgung der Steuerung die Umsetzung auf TTL-Pegel vorgenommen.

#### **2.1.3 Serielle Schnittstelle zur Funkdatensteuerung (FDS)**

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Daten-austausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Die Bausteine befinden sich auf der CPU (siehe Übersichtsschaltplan der CPU).

#### **2.1.4 Schnittstelle zur Gestellverdrahtung**

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestell-adresse (auch als Kanaladresse bezeichnet) übergeben (Auswertung auf Audio-Interface; Leitungen QADR0-7).

#### **2.1.5 Schnittstelle zur Stromversorgung**

Zur Generierung eines Power-on-Resets nach Spannungsausfall wird neben den Versorgungsspannungen +5 V und +10 V das Signal POR(-PFG) aus der Strom-versorgung zugeführt.

## **2.2 Interne Schnittstellen (Funkteil ↔ Funkkanalsteuerung)**

### **2.2.1 Synthesizer**

Die Frequenzeinstellung geschieht mit Hilfe der Signale FRUE0 und FREQ0-6 aus dem Audio-Interface. Der Synthesizer liefert im nicht gerasteten Zustand die Fehlermeldungen -SYLOK0.

Das Signal GERLAU aus dem Audio-Interface wird für die Gerätelaufzeitmessung benötigt.

### **2.2.2 Empfänger**

Die Signale FESTI (Feldstärke) und DADEMI (analoges Datensignal) werden im Audio-Interface verarbeitet.

### **2.2.3 Modulator**

Aus der CPU (VLSI-Bausteine) gelangen folgende Signale zum Modulator:

MEI	Modulator ein
SITMOI	Signalton Modulator (Umschaltung Sprache/Daten im Sprechkanal)
SIDATI	Signalton Daten
DATSE	Daten senden (Datentor)
DAS	Daten senden (ausgesendete Signalisierungsdaten).

Das Signal-MODLOK meldet das Einrastkriterium der Phasenregelschleife des Modulators an den Rechner (Audio-Interface), es wird LOW bei Fehler.

### **2.2.4 Audio-Teil**

Der Audio-Teil ist an den Rechnerbus mit folgenden Signalen angeschlossen:

-WRX0, -RDB, -WRB, ALEB, ADB0-7.

Für die Komprimierung der Daten werden das Signal SIKO (Signalton Komprimierung) sowie die Takte T38K40S und T42K24S aus der CPU (VLSI) zugeführt.

Die entsprechenden Signale für die Expandierung sind SIEX (Signalton Expandierung), T38K40E und T42K24E, ebenfalls aus der CPU.

Die CPU bzw. das Audio-Interface liefert das Signal SPRDA (Umschalten Sprache/Daten).

Das Signal DYNKOMP (Dynamikkompandierung) dient für Testzwecke und kann über den Diagnosestecker der CPU (z.B. mit Hilfe des CPU-Adapters) gesteuert werden (das Signal ist auf der CPU nur vom Diagnose- zum Busstecker durchgeschleift).

## 2.2.5 Tonempfänger

Die Steuerung des Tonempfängers geschieht mit Hilfe der Signale SELEI0 (Pegelabsenkung bei Empfänger-Empfindlichkeitsprüfung) und TEEIN0,1 sowie TSEIN0,1 (Betriebsmodi des Tonempfängers) aus dem Audio-Interface.

Das Meldesignal TEMEL (0) des Tonempfängers gelangt zum Audio-Interface.

## 2.2.6 Tonsender

Mit dem Signal TSEIN0,1 aus dem Audio-Interface wird der Betriebsmodus eingestellt.

### **3 Funkteil**

#### **3.1 Empfänger S42024-H169-....**

Der Empfänger (siehe Bild 5) ist Bestandteil des Funkteils im Prüffunkgerät; er stellt die Verbindung zum Koppler her (siehe externe Schnittstellen 2.1.1).

Der Empfangsfrequenzbereich beträgt 460,0 MHz bis 465,74 MHz.

Das vom Koppler kommende Empfangssignal wird über die 1. Zwischenfrequenz (21,4 MHz) in die 2. Zwischenfrequenz (100 kHz) umgesetzt, demoduliert und über den Datenweg (DADEMI) und NF-Weg (NFEMPFaus) der Funkkanalsteuerung und der Baugruppe Audio-Teil zugeführt.

##### **3.1.1 Stromversorgung für PLL-Demodulator**

Die besonderen Anforderungen an die Konstanz des PLL-Demodulators 304 erfordern eine Betriebsspannung (+ 12 V) hoher Stabilität. Diese Spannung wird mit Hilfe eines Gleichspannungswandlers aus der extern zugeführten Betriebsspannung (10 V) gewonnen. Dazu erzeugt der IC305 Rechteckimpulse mit einer Frequenz von etwa 6 kHz. Diese Impulse werden mit Hilfe der Diode 250 und dem Kondensator 175 der Betriebsspannung (10 V) überlagert und zusammen gleichgerichtet (Diode 251 und Kondensator 176). Nach der anschließenden Stabilisierungsschaltung (Widerstand 57, Referenzdiode 252 und Kondensator 170) steht die gewünschte Ausgangsspannung (+ 12 V) zur Verfügung. Sie versorgt den IC304 und dient zum Erzeugen der Arbeitspunkte der Operationsverstärker 303 und 307.

##### **3.1.2 Eingangsstufe mit Mischer 1**

Das ankommende HF-Eingangssignal (FE) wird vom Transistor 271, dessen Arbeitspunkt vom Transistor 270 stabilisiert ist, verstärkt. Über das nachfolgende Zweikreis-Helical-Filter 240 gelangt das verstärkte Eingangssignal zum Ringmischer 320. Dort wird es mit Hilfe der Umsetzfrequenz, die der Synthesizer des Funkteils liefert, auf die 1. Zwischenfrequenz (1. ZF) von 21,4 MHz umgesetzt.

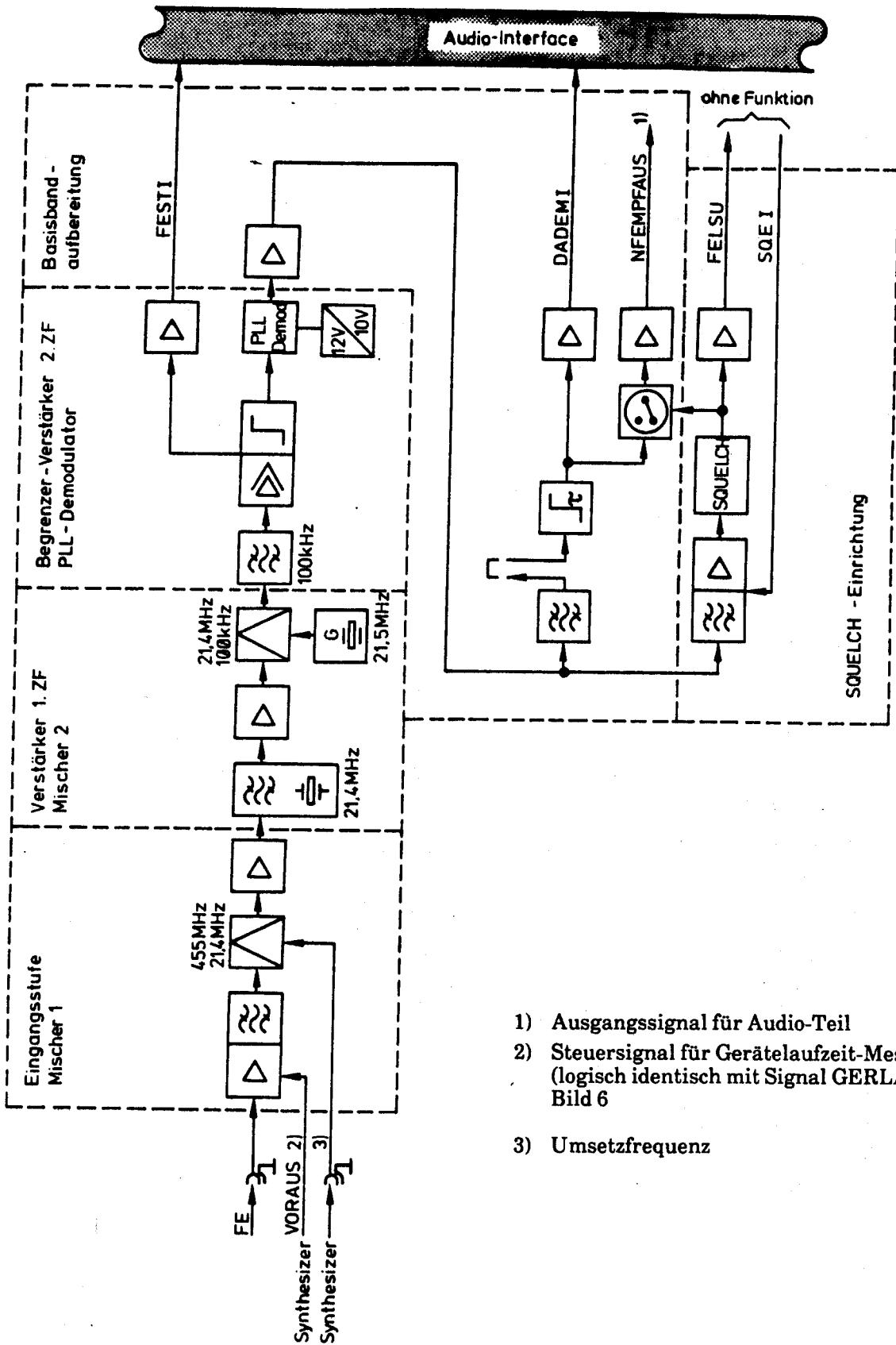


Bild 5 Übersichtschaltplan Empfänger

### **3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2**

Der Transistor 272 verstärkt die vom Ringmischer 320 gelieferte 1. ZF und leitet sie über eine Anpaßschaltung (Kondensator 139 und Spule 225) zum 8poligen Quarzfilter 300, in dem die Hauptselektion des Empfängers vorgenommen wird.

Der nach der Anpaßschaltung (Kondensator 142 und Spule 226) folgende Schaltungsteil mit dem Transistor 273 verstärkt das vom Quarzfilter 300 kommende 21,4-MHz-Signal und führt es zum Mischer 2 (301).

Das IC 301 wird als selbstschwingender Mischer betrieben; dabei bestimmt der angeschlossene 21,5-MHz-Quarz die Umsetzfrequenz und damit die Umsetzung auf die 2. Zwischenfrequenz von 100 kHz.

### **3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung**

Das am Ausgang von Mischer 2 austretende 100-kHz-Signal (2. Zwischenfrequenz) gelangt über ein 100-kHz-Zweikreis-Bandfilter (Kondensatoren 155, 156, 157 sowie Spulen 229 und 230) zum Begrenzer-Verstärker 302. Dieser leitet es an den Demodulator (IC 304) weiter. Das 100-kHz-Zweikreis-Bandfilter dient sowohl zum Unterdrücken der durch den Mischer 2 erzeugten Umsatzfrequenz als auch zur weiteren Selektion des Empfangssignals.

Das Begrenzer-IC302 erfüllt zwei Aufgaben; es verstärkt und begrenzt das ZF-Signal, sodaß unabhängig vom Eingangspegel des Empfängers ein konstanter Pegel am Pin 11 für den nachfolgenden PLL-Demodulator zur Verfügung steht. Außerdem erzeugt es eine dem Empfangspegel proportionale Spannung (PIN 15), die im Operationsverstärker 303 auf einen Ausgangspegel zwischen 0 V und 2,5 V gebracht wird. Diese Spannung dient zum Messen des HF-Eingangspegels des Empfängers im Bereich von etwa -120 dBm bis etwa -60 dBm.

Das IC304 enthält einen spannungsgesteuerten 100-kHz-Oszillatator (VCO), einen Phasenkomparator und ein Loop-Filter, die zusammen als PLL-Demodulator geschaltet sind. Die beim Übertragen von NRZ-Daten (Modulationssignal) notwendige Gleichspannungskopplung bei der Demodulation erfordert eine hohe Konstanz des Oszillators, die durch den Präzisions-IC304 bei der 2. ZF von 100 kHz gewährleistet ist. Am Ausgang des PLL-Demodulators 304 (Pin 10) steht das demodulierte Basisbandsignal zur Verfügung.

### **3.1.5 Basisbandaufbereitung**

Das demodulierte Basisbandsignal wird vom nachfolgenden Operationsverstärker 306 verstärkt. Im Operationsverstärker 306 wird auch die gemeinsame Pegeleinstellung für den Daten- und NF-Ausgang vorgenommen. Ein Besselfilter 3. Ordnung begrenzt das Basisfrequenzband anschließend auf etwa 4 kHz, gelangt dann an den Allpaß 308. Dieser Allpaß ermöglicht das Einstellen der erforderlichen Soll-Laufzeit im Empfänger.

Nach dem Allpaß 308 wird in den Daten- und NF-Weg aufgetrennt. Der Operationsverstärker 303 verstärkt das Daten-Signal (DADEMI) auf einen Pegel von 2 V (Spitze-Spitze) und übergibt es an die Baugruppe Audio-Interface. Das NF-Signal (NFEMPFAUS) gelangt bei durchgeschaltenem Transistor 276 zum Operationsverstärker 307, der es auf 860 mV (Spitze-Spitze) verstärkt. Der Transistor 276 wirkt dabei als Schalter, der mit Hilfe der Steuerschaltung kurzzeitige Störgeräusche unterdrückt (Squelch-Einrichtung, im PFG nicht verwendet).

### **3.2 Synthesizer S42024-H168-....**

Der Synthesizer (siehe Bild 7) erzeugt im Prüffunkgerät die Umsetzfrequenz für den Empfänger und den Modulator. Die Frequenz des Synthesizers kann digital durch ein 8-bit-Wort in Schritten von 10 kHz oder 12,5 kHz im Frequenzbereich von 481,40 MHz bis 487,14 MHz eingestellt werden. Der Signalpegel für das 8-bit-Wort beträgt + 5 V. Nach Erreichen der gewünschten Frequenz wird das Signal SYLOK0 erzeugt. Für das Messen der Laufzeit des Modulators und Empfängers befindet sich auf dieser Baugruppe ein 31,4-MHz-Verstärker, ein 10-MHz-Oszillatior und ein Mischer, der die Test-Zwischenfrequenz von 21,4 MHz bildet. Mit dem 31,4-MHz-Signal des Modulators, der 21,4-MHz-Zwischenfrequenz und dem demodulierten ZF-Signal des Empfängers wird die Testschleife gebildet (siehe Bild 7).

Der Synthesizer benötigt eine Referenzfrequenz von 6,4 MHz.

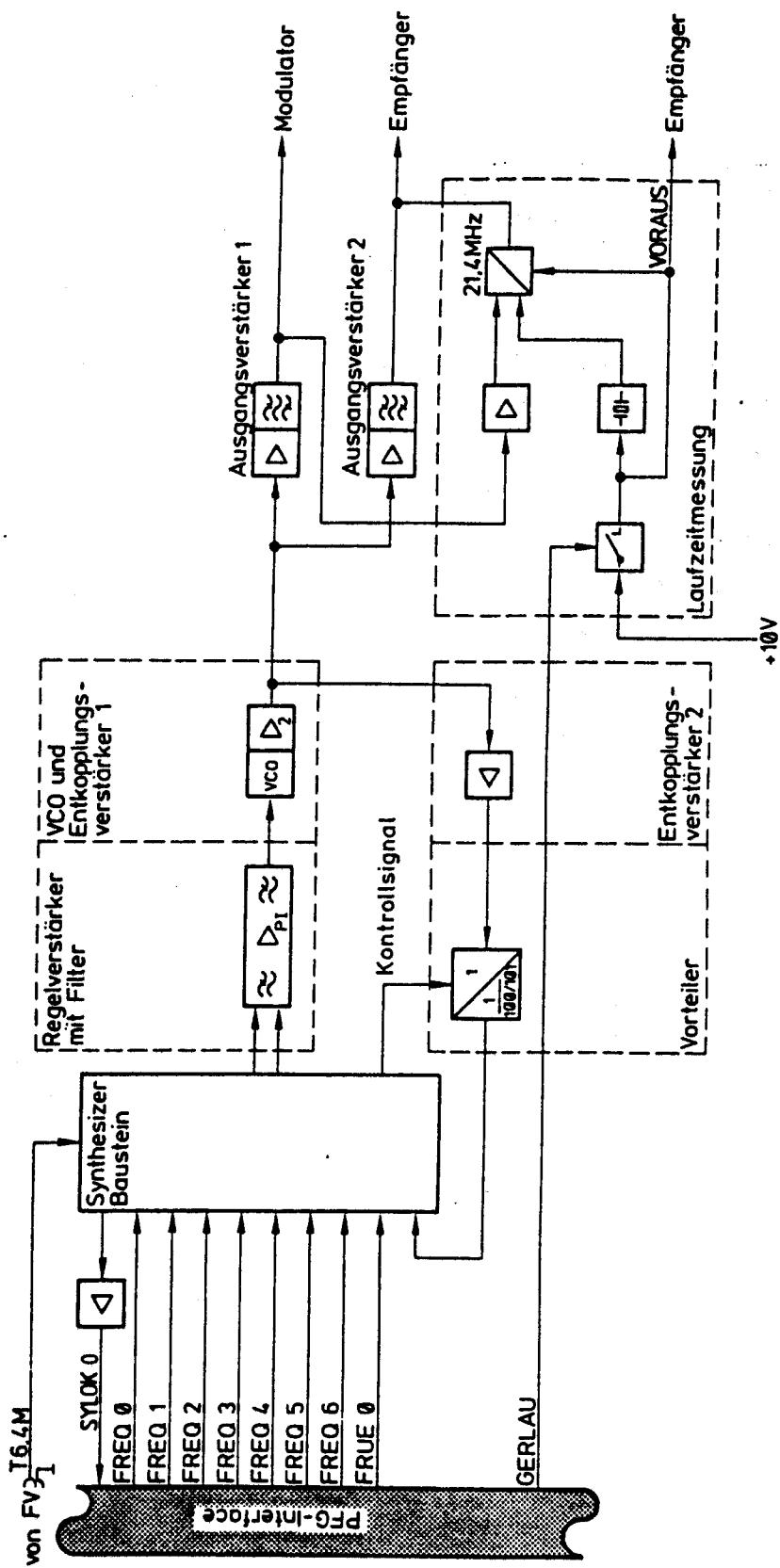


Bild 6 Übersichtsschaltplan Synthesizer

### 3.2.1 Prinzip Synthesizer

Bild 7 zeigt in vereinfachter Darstellung die indirekte Frequenzsynthese, wie sie im Synthesizer verwendet wird.

Der Frequenzteiler T2 dient zum Einstellen des Kanalrasters (10/12,5 kHz). Die Ausgangsfrequenz  $F_k$  stellt die Referenz für die Phasenbrücke ( $\Phi$ ) dar.

Der VCO ist ein spannungsgesteuerter Oszillator, der die Frequenzen von 481,40 MHz bis 487,14 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß  $n \times F_k$  die gewünschte Frequenz  $F_{syn}$  ergibt.

Am Ausgang der Phasenbrücke entsteht die Gleichspannung X, die proportional der Phase von  $F_k/(F_{syn}/n)$  ist. Die Oberwellen der Frequenz  $F_k$  werden mit dem Filter  $F_1$  unterdrückt.

Die Gleichspannung X dient als Steuersignal für den Oszillator und steuert diesen solange nach, bis  $F_k$  und  $(F_{syn}/n)$  gleich sind.

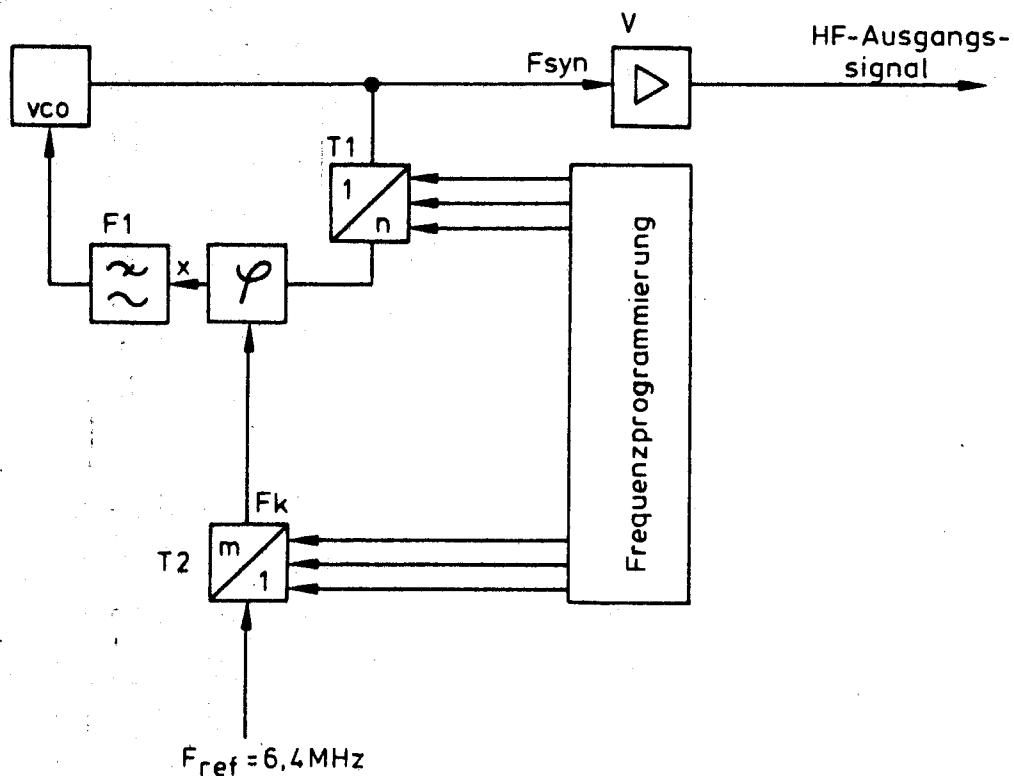


Bild 7 Prinzip Synthesizer

### **3.2.2 Synthesizer-Baustein und Vorteiler**

In den Synthesizer-Baustein (Bild 8) integriert sind die Frequenzteiler für die Referenz (12-bit-R-Teiler) und ein Teil der Frequenzteiler, die die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz oder 12,5 kHz teilen. Außerdem sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrolllogik zur Steuerung eines externen Vorteilers und eine Programmierlogik enthalten.

Der vollständige Frequenzteiler besteht aus dem 7-bit-A-Teiler, dem 10-bit-N-Teiler, den beiden externen Bausteinen 552, 553 sowie der Kontrolllogik. Die Bausteine 552, 553 bilden einen 100/101-Vorteiler, der mit dem Kontrollsiegel definiert umgeschaltet wird.

Die Frequenzprogrammierung (Signale FREQ0 bis 6 von der Baugruppe Audio-Interface) geschieht an den Eingängen D0 bis 3, A0 bis 2 und St (Signal FRUE0).

Die Adreßeingänge A0 bis 2 wählen die Speicher (S0 bis 7) aus, die die Daten von D0 bis 3 empfangen sollen. Das Signal FRUE0 bestimmt am Eingang St den Übernahmezeitpunkt.

Um die Steuerspannung für den Oszillator zu gewinnen, stehen zwei Phasendetektoren (A, B) zur Verfügung; hier wird der Phasendetektor B verwendet. Dieser Phasendetektor hat einen symmetrischen Ausgang, um Störspannungen von außen zu unterdrücken.

### **3.2.3 Regelverstärker mit Filter**

Der Operationsverstärker 551 erzeugt aus der symmetrischen Spannung vom Phasendetektor B eine unsymmetrische Spannung zur Ansteuerung des VCO. Die Widerstände 22 bis 25 sowie die Kondensatoren 202 bis 204 und 207 bilden zwei in Serie geschaltete Tiefpässe. Die Widerstände 26, 27 und Kondensatoren 205, 206 stabilisieren den Regelkreis (Lag-Glieder). Die Widerstände 28, 29, 30 und die Kondensatoren 208, 229, 230 stellen ebenfalls drei Tiefpässe dar; sie unterdrücken die Referenzfrequenz und deren Oberwellen.

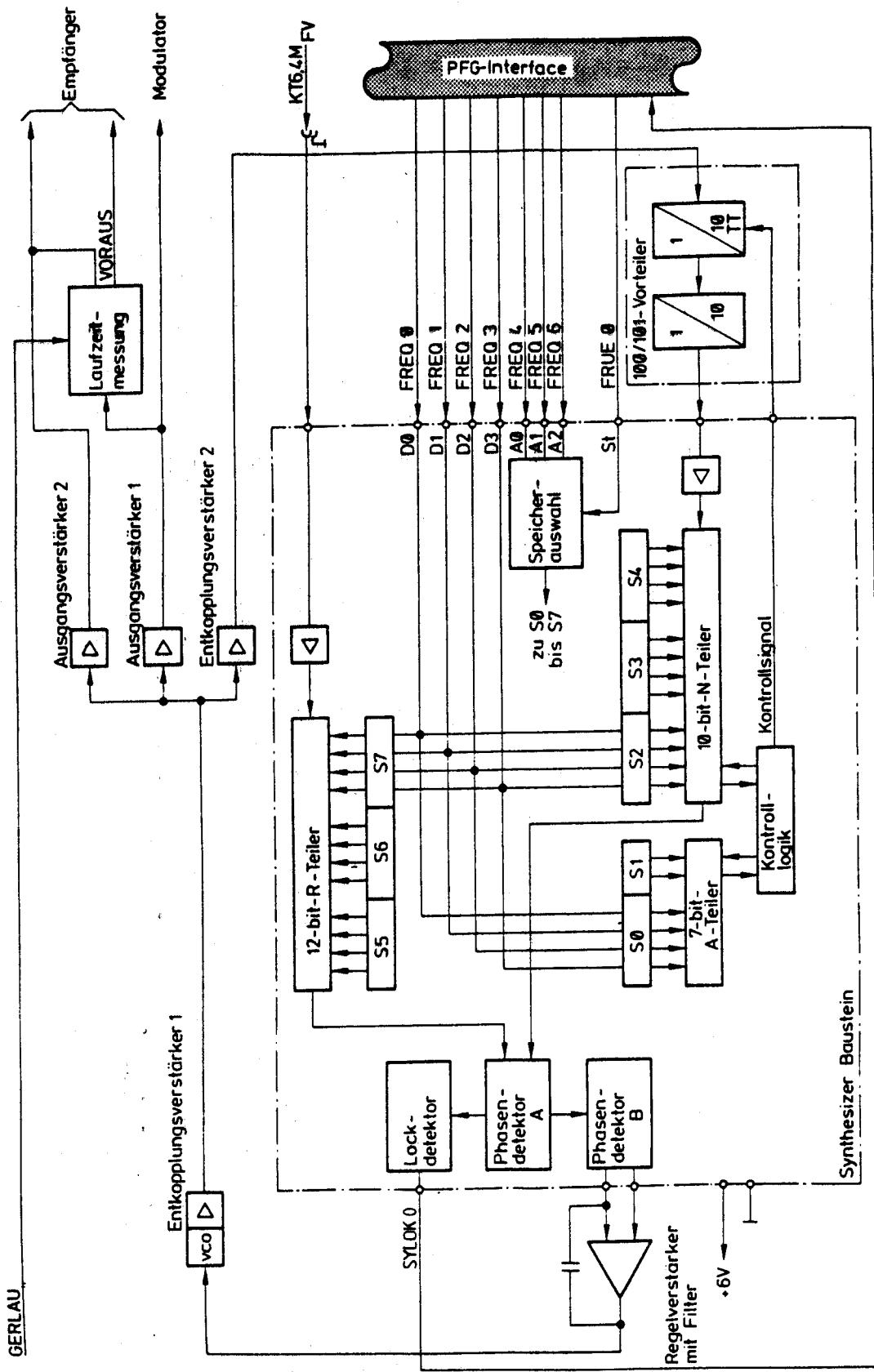


Bild 8 Übersichtsschaltplan Synthesizer-Baustein

### **3.2.4 Oszillator (VCO) und Entkopplungsverstärker 1**

Der spannungsgesteuerte Oszillator (VCO) besteht im wesentlichen aus dem Feldeffekttransistor 507, sowie dem Rückkoppelnetzwerk 235 und 236.

Mit den Kapazitätsdiode 472 und 473, die über die Kondensatoren 231, 232, 233 an den Schwingkreis angekoppelt sind, lässt sich der Oszillator in seiner Frequenz verändern. Um Rückwirkungen vom Ausgang und von den Frequenzteilern 552 und 553 möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker (Transistoren 508 und 509) erforderlich.

Das Dämpfungsglied (Widerstände 63, 64, 65) dient zum Erhöhen der Entkopplung und zum Anpassen der Ausgangsleistung. Um die Störmodulation, z.B. bedingt durch mechanische Erschütterung, klein zu halten, befinden sich der VCO und die beiden Stufen in einem fest umschlossenen Gehäuse.

### **3.2.5 Entkopplungsverstärker 2**

Der hochfrequente Teiler 553 wird vom Verstärker mit dem Transistor 505 gesteuert. Der Verstärker ist beidseitig mit einem Dämpfungsglied abgeschlossen, um den Pegel an Teiler 553 anzupassen.

Der Entkopplungsverstärker 2 hält Nebenwellen, die im Frequenzteiler entstehen, vom Oszillator fern.

### **3.2.6 Ausgangsverstärker 1 und 2**

Der Transistor 517 bildet den Ausgangsverstärker 1. Die Verstärkung beträgt etwa 10 dB und die Ausgangsleistung liegt zwischen 10 mW und 30 mW.

Der Transistor 515 dient der Arbeitspunktregelung der Verstärkerstufe. Um eine Amplitudenmodulation der Endstufe (Transistor 517) durch überlagerte Störspannungen auf der 10-V-Versorgungsspannung zu verhindern, sind die Zenerdiode 483 und der Widerstand 90 eingebaut. Das Helicalfilter 375 hat eine Bandfiltercharakteristik; es unterdrückt restliche Nebenwellen, die in den Frequenzteilern entstehen.

Den Ausgangsverstärker 2 bildet Transistor 523. Mit dieser Stufe wird eine Ausgangsleistung zwischen 15 mW und 40 mW erreicht.

Der Transistor 521 dient zur Arbeitspunktregelung der Verstärkerstufe. Die Zenerdiode 485 unterdrückt Störspannungen, die auf der +10-V-Versorgungsspannung überlagert sind. Der Helicalfilter 381 übernimmt die gleiche Funktion wie beim Ausgangsverstärker 1.

### 3.2.7 Testschleife für Laufzeitmessung

Für die Entfernungsmessung müssen auch die Laufzeit des Modulators und Empfängers gemessen werden.

In Bild 9 ist das Prinzip der Testschleife dargestellt.

Im Modulator wird die Sende Frequenz durch Mischen der Synthesizerfrequenz mit einem modulierten 31,4-MHz-Signal erzeugt. Durch die endliche Entkopplung des Sendemischers gelangt das modulierte 31,4-MHz-Signal mit einem Pegel von etwa -50 dBm zum Synthesizer. Dieses Signal erreicht, nachdem es den Tiefpaß 410 durchlaufen hat, die Verstärkerstufe V (31,4). Das verstärkte Ausgangssignal setzt der additive Mischer M (21,4) mit dem 10-MHz-Oszillator auf 21,4 MHz um. Über die Spule 415 gelangt das 21,4-MHz-Signal zum Empfänger.

Im Empfänger wird der Mischer mit der Drossel 231 umgangen und das Signal unmittelbar in die 1. Zwischenfrequenz eingespeist. Am Demodulatorausgang läßt sich das NF- bzw. Datensignal unmittelbar mit dem Modulatoreingangssignal vergleichen und die Laufzeit messen.

Der Verstärker V (31,4) besteht aus dem Transistor 535. Er hat eine Verstärkung von etwa 15 dB. Mit dem Trimmer 317 wird die Frequenz des Oszillators auf 10 MHz abgeglichen. Der Transistor 536 arbeitet als additiver Mischer, seine Mischerverstärkung beträgt etwa 10 dB.

Als Signal für die Testschleife dient das Signal GERLAU, das von der Baugruppe Audio-Interface an den Synthesizer geführt ist. Dieses Einschaltsignal bewirkt, daß das Signal VORAUS von LOW auf HIGH kippt. VORAUS schaltet die Empfängervorstufe aus und vermindert die Empfängerempfindlichkeit um etwa 30 dB; dadurch werden beim Eigentest Störungen durch starke Empfangssignale vermieden.

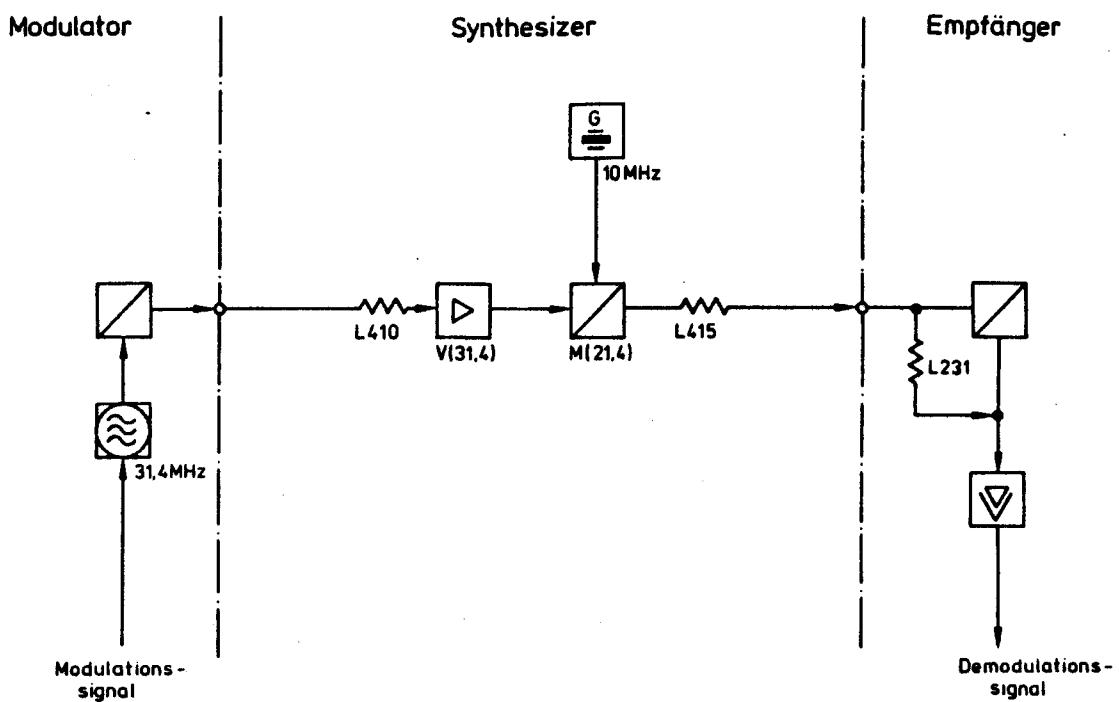


Bild 9 Testschleife zum Messen der Eigenlaufzeit des Prüffunkgerätes

### 3.2.8 Spannungsregelung +10 V/+8 V

Für besonders empfindliche Schaltungen und Bauteile der Baugruppe Synthesizer sind die von der Gestellstromversorgung gelieferten Spannungen zusätzlich stabilisiert.

Zu den empfindlichen Schaltungen gehören der Oszillator und die Entkopplungsverstärker mit den Transistoren 505, 508 und 509.

Die Stabilisierungsschaltung ist mit dem Baustein 554 und dem Transistor 530 aufgebaut. Der Transistor ist notwendig, um einen möglichst geringen Spannungsabfall an der Stabilisierungsschaltung zu erhalten.

### **3.3 Modulator S42024-H167-....**

Der Modulator (siehe Bild 10) im Prüffunkgerät erzeugt ein frequenzmoduliertes HF-Signal zum Prüfen der Empfangszüge in den Funkmodems der Basisstation.

Das zugeführte Modulationssignal ist ein Sprach- bzw. Wechselstromtelegraphiesignal und ein Datensignal (Signalisierungsdaten).

Die Modulationssignale werden auf der Baugruppe Audio-Teil zeitkomprimiert. In die hierdurch entstehenden Zeitschlüsse der Modulationssignale werden auf der Modulatorbaugruppe Signalisierungsdaten (NRZ-Daten) eingefügt, die zur Verbindungsüberwachung zwischen Prüffunkgerät und Basisstation erforderlich sind.

Der Ausgangspegel des Modulators kann über ein Steuersignal (SELEI 0) um 26 dB vermindert werden, so daß die Empfangszüge der Feststation sowohl an ihrer Empfindlichkeitsgrenze ( $P_e = 20$  dB, S/N) als auch bei hohem Eingangspegel vermessen werden können.

Der Modulator ist im wesentlichen ein phasengeregelter, modulierbarer Quarzoszillator (VCO), dessen Mittenfrequenz 31,4 MHz beträgt. Um eine Frequenzdrift des Oszillators zu vermeiden, wird er mittels einer Phasenregelschleife an die systemeigene Referenzfrequenz von 6,4 MHz angebunden.

Die Phasenregelschleife besteht aus Phasenvergleicher, steuerbaren Verteilern, Frequenzverdopplerschaltung, Verteiler für Referenzfrequenz, aktivem Tiefpaßfilter zum Umwandeln des digitalen Regelsignales in analoge Regelspannung und Überwachungssignalerzeugung bei gerasteter Phasenregelschleife (Signal MODLOK). Für die Modulationssignale ist eine Betriebsartenumschaltung notwendig. Hierzu dienen die Signale SIDATI, SITMOI und DATSE von der Funkkanalsteuerung. Diese Ansteuersignale werden auf der Modulatorbaugruppe decodiert. Das Umschalten der Modulationssignale wird von integrierten Analogschaltern vorgenommen.

Bei Datenbetrieb steuert das Modulationssignal einen Verteiler der Phasenregelschleife. Durch diese Maßnahme wird vermieden, daß modulationsbedingte Frequenzänderungen des Oszillators durch die Phasenregelschleife ausgeregelt werden.

Die 31,4-MHz-Zwischenfrequenz wird im Mischer 1 auf die Sendefrequenz (450,0 MHz bis 455,74 MHz) umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz für den Mischer. Ein zweistufiger Verstärker erzeugt den erforderlichen HF-Ausgangspegel.

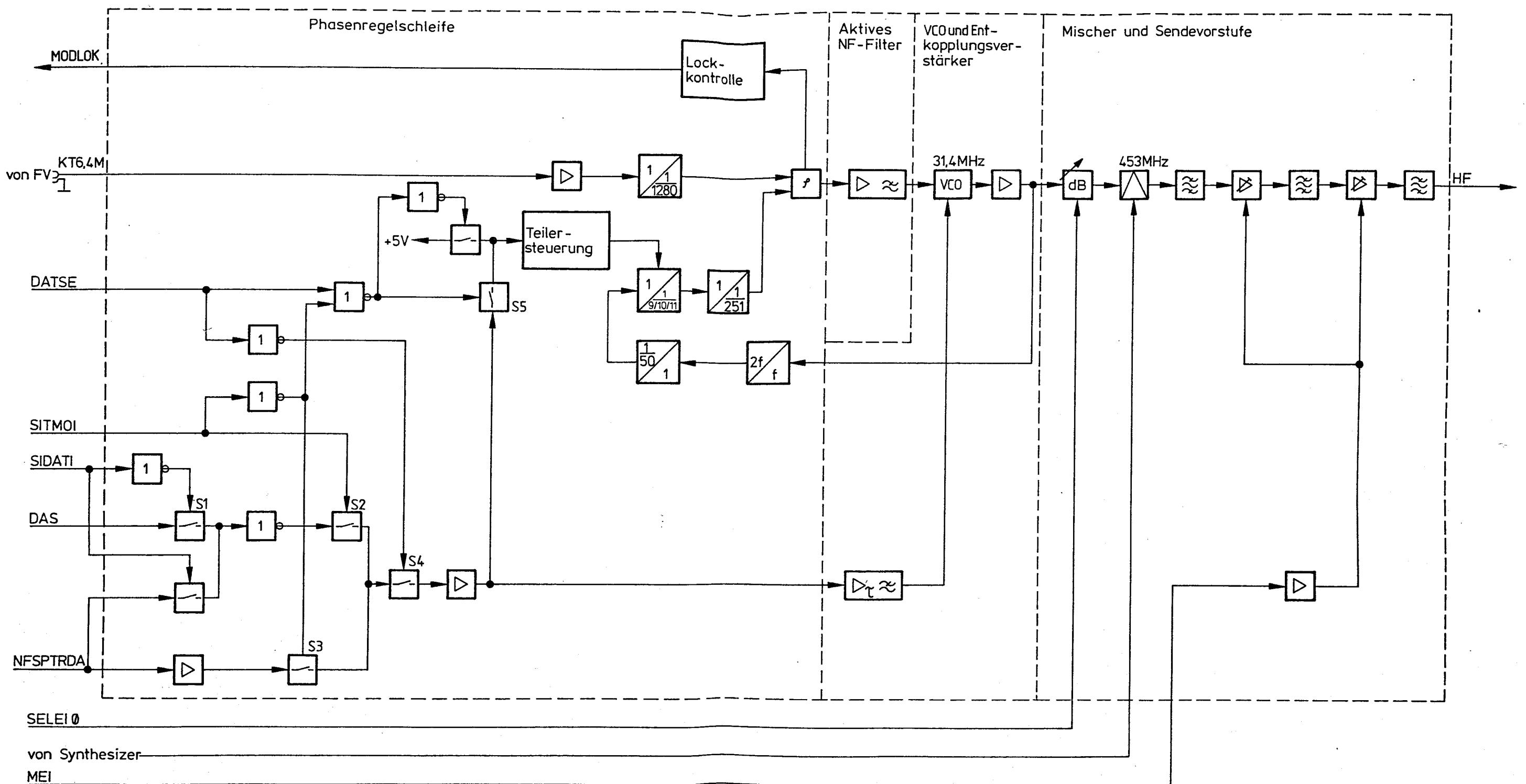
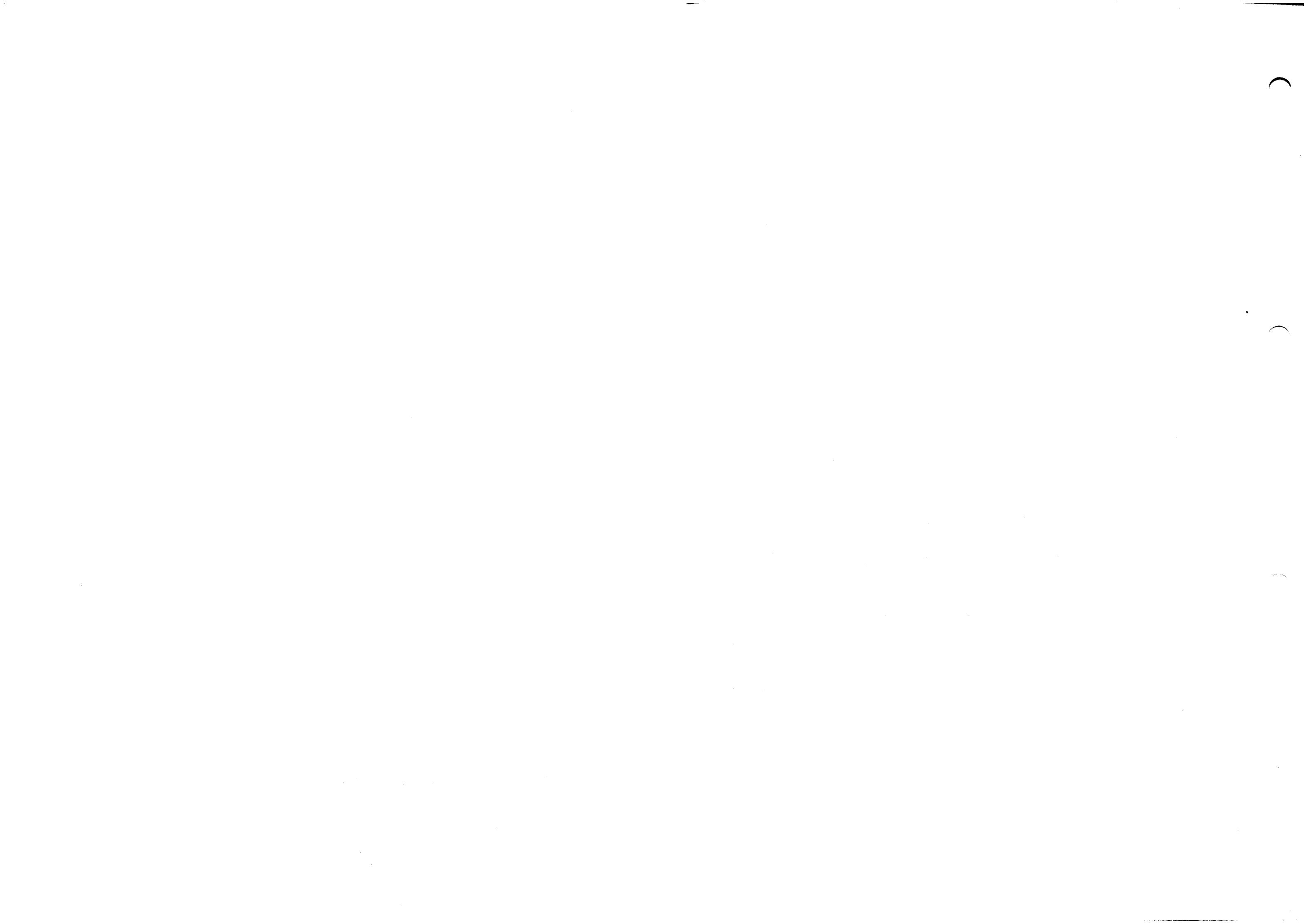


Bild 10 Übersichtschaltplan Modulator



## Betriebsartenumschaltung

Am Eingang NFSPTRDA des Modulators können folgende Nutzsignale anstehen:

- komprimierte Sprache
- komprimierte Wechselstromtelegraphie.

Am Eingang DAS des Modulators können folgende Nutzsignale anstehen:

- Signalisierungsdaten (NRZ), 4-bit-Datenblock alle 12,5 ms bei verteilter Signalisierung .
- Signalisierungsdaten (NRZ), konzentriertes Datensignal 5,28 kBaud.

Bei Betrieb im Sprechkanal wird der Datenblock dem auf der Baugruppe Audio-Teil komprimierten Modulationssignal zum Zeitpunkt des Komprimierungsschlitzes zugeschaltet (siehe Bild 11).

Aus der nachfolgenden Tabelle sind Betriebsarten, Zustand der Steuereingänge und der Signalweg des Modulationssignals zu ersehen.

Tabelle Steuerung des Modulationssignals (siehe Bild 10)

Betriebsart	Zustand der Steuereingänge			Signalweg (s. Bild 10)
	SIDATI	SITMOI	DATSE	
komprimierte Sprache bzw. WT	-	0	0	vom Eingang NFSPTRDA über Schalter S3 und S4
Signalisierungsdaten	0	1	0	vom Eingang DAS über Schalter S1, Inverter, Schalter S2, Schalter S4. Über Schalter S5 wird der Verteiler gesteuert.
Modulation AUS	-	-	1	Schalter S4 trennt alle Signalwege auf, Modulator schaltet auf Mittenfrequenz

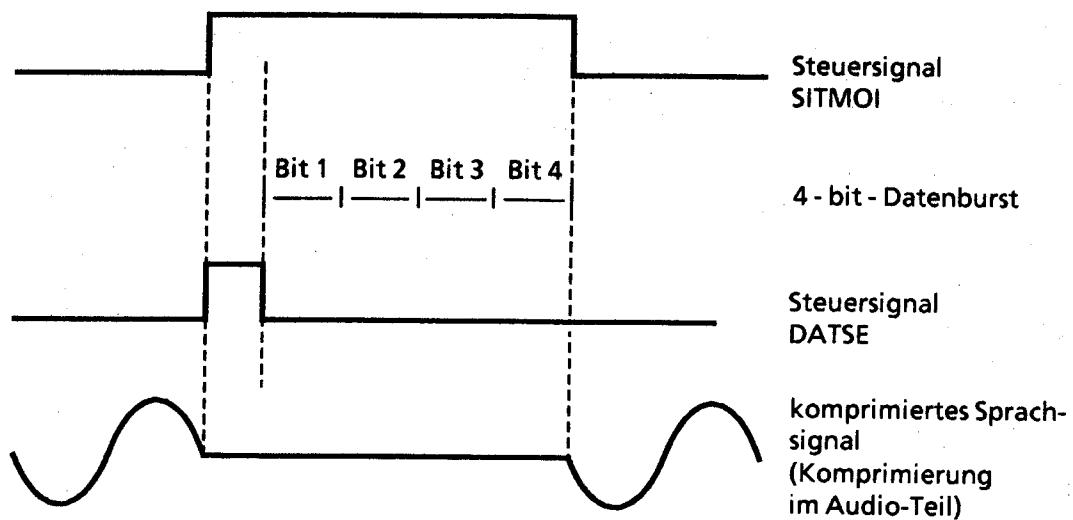


Bild 11 Zuschalten des Datenblocks

### 3.3.1 Aktives NF-Filter

Das aktive NF-Filter besteht aus den Bausteinen 231, 232, den Widerständen 25 bis 33 und den Kondensatoren 111 bis 121. Das Filter ist laufzeitgeebnet (Bessel-Charakteristik), es hat die Aufgabe, das Frequenzspektrum der ankommenden Modulationssignale zu begrenzen. Das Datensignal und das im Audio-Teil amplitudenbegrenzte Sprachsignal würde ohne Frequenzbandbegrenzung eine unzulässig große Störung im Nachbarkanal hervorrufen.

Die Gruppenlaufzeit des Filters läßt sich mit Widerstand 26 abgleichen. Für die Entfernungsmessung zwischen Mobil- und Feststation ist es wichtig, daß die Gruppenlaufzeit des Filters und damit des Modulators konstant bleibt.

### 3.3.2 Quarzoszillator (VCO) und Entkopplungsverstärker

Der spannungsgesteuerte Oszillatator (VCO) besteht aus dem Feldeffekttransistor 212, dem Quarz 252 und den Rückkopplungskondensatoren 128, 129.

Über die Spulen 181, 182 und den Koppelkondensator 122 ist die Kapazitätsdiode 202 angekoppelt.

Am Ausgang des aktiven NF-Filters (Baustein 232, Pin 7) steht das Modulationssignal (Sprache/WT oder Daten) für die Frequenzmodulation des Oszillators zur Verfügung.

Die am Ausgang der Phasenregelschleife (Baustein 240, Pin 6) anliegende Regelspannung gelangt über die Kapazitätsdiode 203 und den Koppelkondensator 123 zum Oszillatator. Die Spannung regelt die Phase des 31,4-MHz-ZF-Signals.

Um Rückwirkungen vom Ausgang des Modulators auf den Oszillatator möglichst gering zu halten, ist der Entkopplungsverstärker (Transistor 213) erforderlich. Der Ausgangspegel des Oszillators mit Entkopplungsverstärker ist mit Widerstand 94 einstellbar.

Temperaturbedingte Änderungen des Pegels werden mit dem Heißleiter 311 ausgeglichen.

### 3.3.3 Modulationsgesteuerte Phasenregelschleife

Der Oszillatator (VCO) wird mittels einer Phasenregelschleife, die ihre Referenzfrequenz (6,4 MHz) über die Schnittstellen vom Frequenzverteiler erhält, geregelt. Die Phasenregelschleife besteht aus einem einstellbaren Verteiler (IC 239), einem digitalen Frequenzaufbereitungsbaustein (IC 238) und einem aktiven Tiefpaß (IC 240) zum Erzeugen der analogen Regelspannung für den VCO.

Die Phasenregelschleife regelt langsame Frequenzänderungen aus, die durch Temperaturschwankungen und Alterung des VCO auftreten.

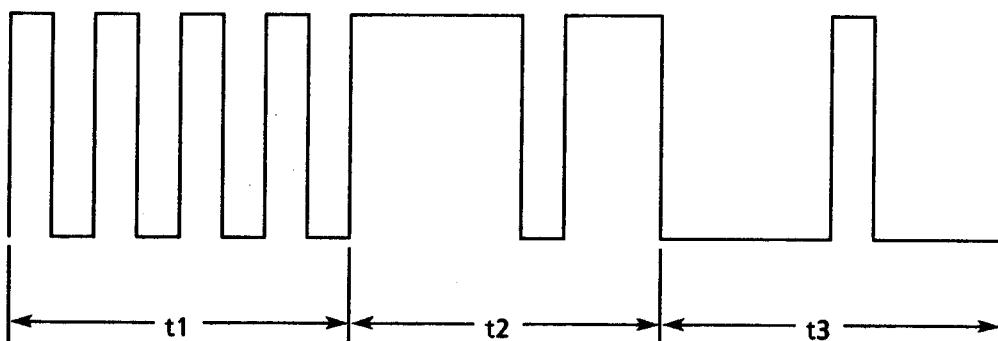


Bild 12 Modulation des 31,4-MHz-Oszillators (Beispiel)

Wird das dargestellte Signal (Bild 12) auf die Modulationsdiode gegeben, ergibt sich während:

- t1: Symmetrischer Wechsel der Oszillatofrequenz um die Mittenfrequenz von 31,4 MHz ( $31,4 \text{ MHz} \pm 2,5 \text{ kHz}$ ).
- t2: Die Oszillatofrequenz nimmt häufiger den Wert  $31,4 \text{ MHz} + 2,5 \text{ kHz}$  an.
- t3: Die Oszillatofrequenz nimmt häufiger den Wert  $31,4 \text{ MHz} - 2,5 \text{ kHz}$  an.

Unter der Voraussetzung, daß  $t_2$  und  $t_3$  größer sind als die Einschwingzeit der Phasenregelschleife, wird die Nutzmodulation durch die Phasenregelschleife ausgeregelt. Dies wird durch eine Steuerlogik (Bausteine 227, 230 und 234 bis 236) vermieden, die in Abhängigkeit vom Modulationssignal die programmierbaren Teiler der Phasenregelschleife so umschaltet, daß das Modulationssignal nicht mehr beeinflußt wird.

Die steuerbaren Vorteiler IC 239 und Hauptteiler IC 237 der Phasenregelschleife arbeiten nach dem Swallow-Teiler Prinzip. Für das störungsfreie Arbeiten der modulationsgesteuerten Umschaltung der Zähler ergibt sich die Forderung, daß die Vergleichsfrequenz am Phasenvergleicher (in IC 238) höher ist als die höchste Bitfrequenz des Datensignals. Im Modulator beträgt die Vergleichsfrequenz 5 kHz (höchste Bitfrequenz = 2,64 kHz). Da die Vergleichsfrequenz den Frequenzhub bei Datenmodulation bestimmt und dieser  $\pm 2,5$  kHz betragen soll, ist zwischen dem Ausgang der Oszillatorstufe und dem Eingang des Vorteilers (IC 239) eine Frequenzverdopplerstufe geschaltet und damit die o.g. Bedingung erfüllt..

Der Frequenzverdoppler arbeitet nach dem Prinzip der Doppelweggleichrichtung. Wesentliche Bauteile sind der Balun-Trafo 198 zum Erzeugen eines symmetrischen 31,4-MHz-Signals und die Dioden 206, 207 zur Gleichrichtung. Am Summationspunkt der Dioden entsteht das 62,8-MHz-Signal.

### 3.3.4 Mischer und Sendevorstufe

Das frequenzmodulierte 31,4-MHz-Signal wird im Ringmischer 233 auf die Sende-frequenz umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz mit einem Pegel von etwa 13 dBm.

Darauf folgt die Sendevorstufe mit den Transistoren 215 und 218; die Ausgangsleistung beträgt +6 dBm bzw. -20 dBm.

Die Transistoren 214 und 217 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Die Helicalfilter 246, 247 und 248 unterdrücken unerwünschte Nebenwellen.

Der Ausgangspegel läßt sich mit einem schaltbarem Dämpfungsglied um 26 dB absenken. Als Steuersignal dient SELEI0 aus der Baugruppe Audio-Interface. Der Schalttransistor 216 liefert den Schaltstrom für die Dioden 208 und 209. Mit dem Abgleichwiderstand 305 ist die Absenkung des Ausgangspegels einstellbar.

### **3.4 Audio-Teil S42024-H381- ...**

**Der Audio-Teil (Bild 13) hat in den Sprechkanälen der Basisstation folgende Aufgaben:**

- Die von der Drahtseite kommenden Nutzsignale (Sprache, Wechselstromtelegraphie ) für den Sendezweig der Basisstation aufzubereiten.
- Die vom Empfänger kommenden Nutzsignale (Sprache, Wechselstromtelegraphie ) für die Drahtseite aufzubereiten.
- Die von der Steuerung bestimmten Betriebsarten durch Umschalten auf unterschiedliche Signalwege zu realisieren.

Die Signalaufbereitung besteht im wesentlichen aus folgenden Teilen (siehe auch Übersichtschaltplan Bild 13).

#### **Sprache und Wechselstromtelegraphie**

Amplituden-Frequenzgangkorrektur durch Preemphasis und Deemphasis bei "Sprache klar".

#### **Dynamik-Komprimierung und -Expandierung**

Dabei handelt es sich um eine Dynamikkompression des Sendesignals von 2 zu 1 (z.B. von 60 dB auf 30 dB) und eine Dynamikexpansion des Empfangssignals von 1 zu 2 (z.B. von 30 dB auf 60 dB). Beides ist für Meßzwecke über DYNKOMP (siehe Diagnosestecker der CPU) abschaltbar.

Sendeseitige Signalamplitudenbegrenzung, um den Modulationsspitzenhub von  $\pm 4 \text{ kHz}$  nicht zu überschreiten.

Verschleierter oder klarer Sprachbetrieb, durch Zu- bzw. Abschalten einer Invertierungs- bzw. einer Reinvertierungsschaltung. Dabei handelt es sich um die Spiegelung des Sprachbandes von 300 Hz bis 3 kHz an einem Hilfsträger von 3,3 kHz (Signal S1S bzw. S2S und S1E bzw. S2E in folgender Tabelle).

Zeitkomprimierung auf der Sendeseite, um einen Zeitschlitz zu erzeugen, in den im Modulator Signalisierungsdaten eingefügt werden. Zeitexpandierung auf der Empfangsseite zum Beseitigen des vorher beschriebenen Zeitschlitzes. Durch diese Maßnahme ist es möglich, Signalisierungsdaten (NRZ), die zur Verbindungsüberwachung notwendig sind, ohne zusätzlichen Schaltungsaufwand (Umformer, Hilfsträger) zu übertragen.

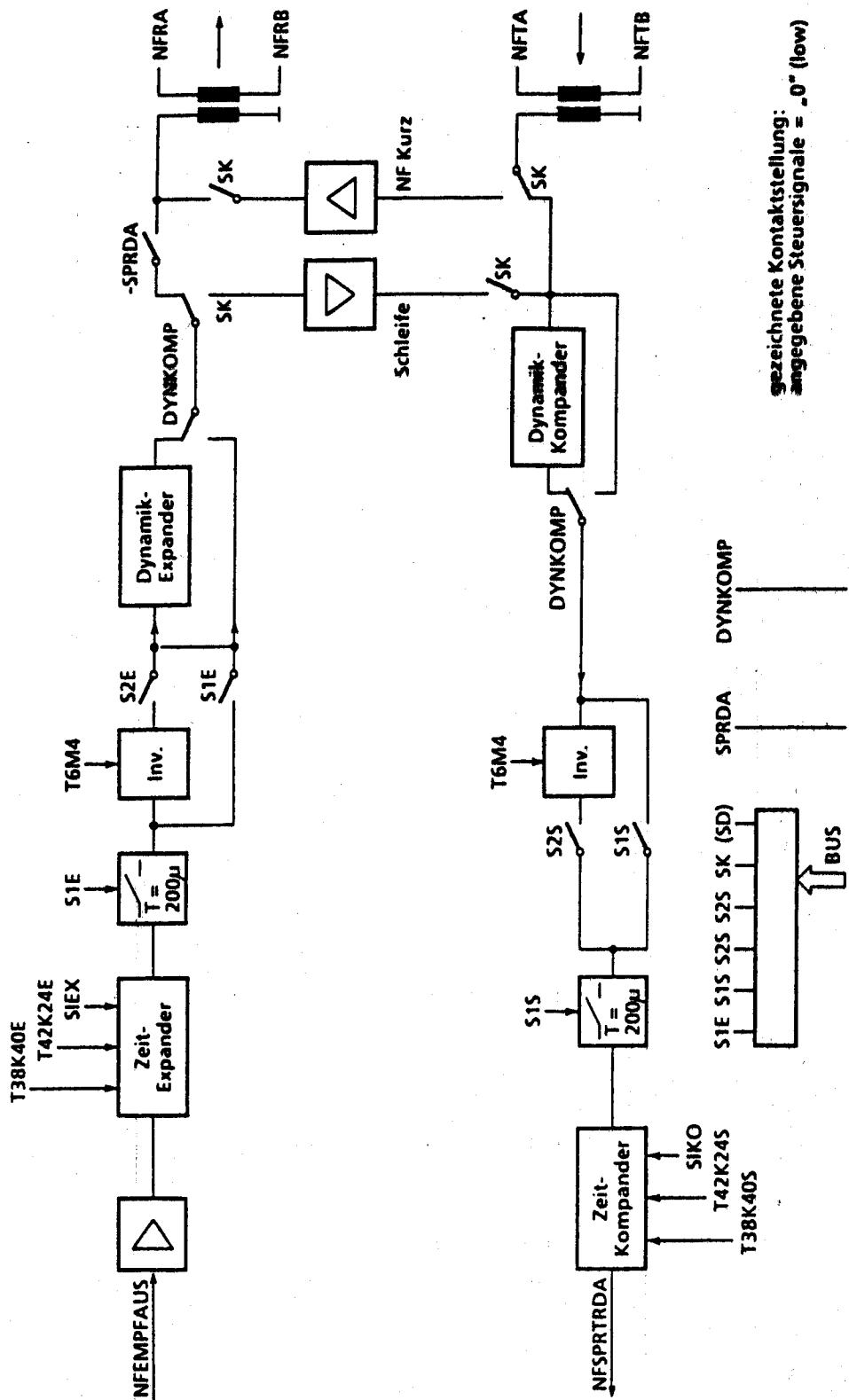


Bild 13 Übersichtsschaltplan Audio-Teil

## **Referenzfrequenz 6,4 MHz (Koaxialeingang)**

Die Referenzfrequenz wird auf der Baugruppe Audio-Teil verstärkt und dem integrierten Filter- und Invertierungsbausteinen als Taktfrequenz zugeführt. Außerdem wird die Referenzfrequenz über ein Anpaßglied den Steuerungsbaugruppen zugeführt.

### **Betriebsarten (BART 0-5)**

Die Betriebsarten werden mittels Schreibbefehl WRX0 über Programm (Adresse FFX0) in ein Latch geschrieben.

Belegung der Bits: BART 0-5 auf Bit 0-5, Bit 6 und 7 unbenutzt. Über Pegelumsetzer gelangen die Signale sowohl normal als auch invertiert zu den einzelnen Schaltern (siehe folgende Tabelle).

Bezeichnung der Steuereingänge	Befehle aus der Steuerung					
	BART 0 (S1S)	BART 1 (SD)	BART 2 (S2S)	BART 3 (SK)	BART 4 (S1E)	BART 5 (S2E)
Sprache klar						
Senden	H	L	L	L	L	L
Empfangen	L	L	L	L	H	L
Sprache invertiert						
Senden	L	L	H	L	L	L
Empfangen	L	L	L	L	L	H

### **3.5 Tonsender S42024-H324-....<sup>1)</sup>**

Die Baugruppe Tonsender (siehe Bild 14) übernimmt im Prüffunkgerät folgende Aufgaben:

- Generieren von drei Prüftönen zum Prüfen des Amplitudenfrequenzganges, der Invertierungsfunktion, des Klirrfaktors und der Empfängerempfindlichkeit der Sprechkanäle der Basisstation
- Einstellen der Betriebsarten mit Hilfe von Steuersignalen aus der Baugruppe Audio-Interface.

1) ab Variante -C102

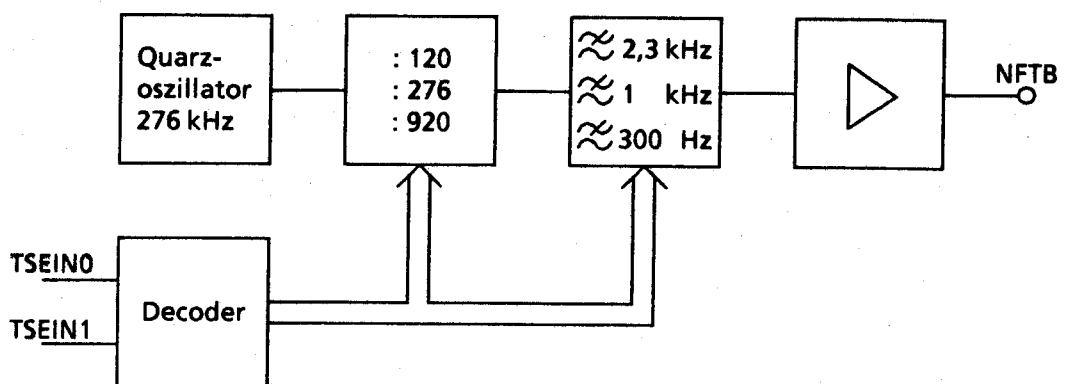


Bild 14 Übersichtsschaltplan Tonsender

Ein Quarzoszillator erzeugt ein Signal mit einer Frequenz von 276 kHz, das mit Hilfe von Zählern mit einstellbarem Teilungsverhältnis auf 2,3 kHz, 1 kHz oder 300 Hz heruntergeteilt wird. Anschließend wird das Signal über drei einstellbare Filter geführt. Die Einstellung der gewünschten Frequenz sowie der zugehörigen Filter wird mit den Signalen TSEIN0 und TSEIN1 vorgenommen.

Betriebsart	Steuersignale	
	TSEIN1	TSEIN0
Tonsender AUS	0	0
300 Hz	0	1
1 kHz	1	0
2,3 kHz	1	1

### **3.6 Tonempfänger S42024-H331-....**

**Die Baugruppe Tonempfänger (siehe Bild 15) übernimmt im Prüffunkgerät folgende Aufgaben:**

- Prüfen des Amplitudenfrequenzganges, der Invertierungsfunktion, des Klirrfaktors und der Empfängerempfindlichkeit der Sprechkanäle der Basisstation.
- Erzeugen eines Meldesignals für die Prüffunkgerät-Steuerung (Audio-Interface) bei positivem oder negativem Prüfergebnis.

#### **3.6.1 Messen der Prüftöne**

**Das Aufbereiten der Signale auf der Baugruppe Tonempfänger wird von folgenden Funktionseinheiten vorgenommen:**

##### **Amplituden-Frequenzgangmessung**

Für die Amplituden-Frequenzgangmessung wird mit Hilfe des Operationsverstärkers 507 (Pin 3, 2, 1) eine Amplituden- und Offsetkorrektur vorgenommen. Das Signal NFRB liegt am Eingang 2 des Operationsverstärkers.

##### **Klirrfaktor- und Empfängerempfindlichkeitsmessung**

Die Signale für diese Messung durchlaufen die Operationsverstärker 507, 508 und 509.

Das aktive Sperrfilter IC 509 und 508 ermöglicht eine SINAD-Messung (Signal-to-noise and distortion) mit einem Prüfton von 1 kHz.

Bei hohem Empfangspegel bestimmt der Klirrfaktor das Meßergebnis. Bei niedrigem Empfangspegel (SINAD 20 dB) geht das Störgeräusch mit in das Meßergebnis ein.

Über den IC 507(Pin 5, 6, 7), der eine Amplituden- und Offsetkorrektur ausführt, wird das Prüfsignal dem Effektivwertmesser (IC 504) zugeführt.

##### **Messen der Verschleierungseinrichtungen (Invertierung)**

Sendet das Prüffunkgerät einen 1-kHz-Prüfton auf die Prüfstrecke, muß eine ungerade Anzahl von Invertierungen eingeschaltet sein, um eine richtige Auswertung zu gewährleisten. Am Eingang des Tonempfängers muß dann ein 2,3-kHz- Prüfton anliegen.

Dieser Prüfton wird mit Hilfe des aktiven Bandpasses 510 ausgefiltert. Baustein 524 führt eine Amplituden- und Offsetkorrektur durch.

**Die in den oben genannten Funktionsgruppen aufbereiteten Signale liegen an Multiplexer 506. Dieser schaltet sie, entsprechend der Codierung mit TEEIN0 und TEEIN1, zum Eingang 4 des Effektivwertmessers (IC 504).**

**Das Meßsignal vom Ausgang 8 des Effektivwertmessers wird an einen Fensterkomparator (IC 501) geführt. Die Multiplexer 502 und 503 liefern die obere und untere Schwellenspannung des Meßfensters.**

**Mit Widerstandskombinationen werden an den Eingängen unterschiedliche Schwellenspannungen angelegt.**

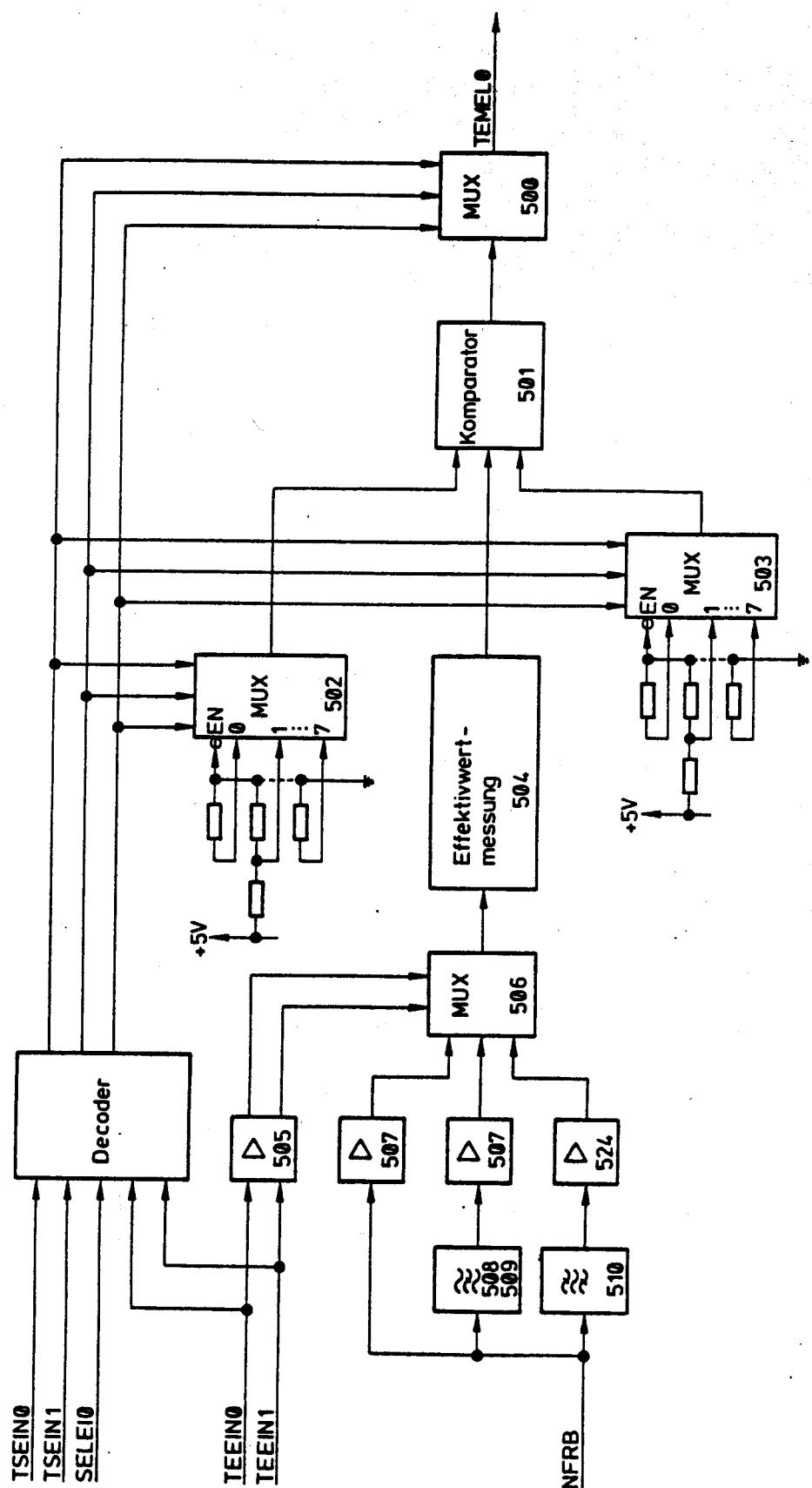


Bild 15 Übersichtsschaltplan Tonempfänger

Diese werden, entsprechend der Codierung an den Eingängen 9, 10 und 11 zum Ausgang 4 des Multiplexers und damit zum Komparator durchgeschaltet.

Die Auswahlsignale für die Multiplexer liefert ein Decoder (ICs 511, 512, 513); er decodiert die Signale TSEIN0 und 1, TEEIN0 und 1 und SELEI0.

Liegt das Meßergebnis des Effektivwertmessers in den von den Multiplexern gelieferten Spannungsfenstern, geht der Ausgang des Komparators auf HIGH. Dieses Ergebnis wird über den Multiplexer 500 als Signal TEMEL der Baugruppe Audio-Interface zugeführt.

### 3.6.2 Betriebsarten

Die Baugruppe Audio-Interface liefert, entsprechend der eingestellten Betriebsart, Steuersignale zur Auswahl der unterschiedlichen Messungen und zum Durchschalten der dafür nötigen Signale (siehe folgende Tabelle).

Die Pegelanpassung der Steuersignale nimmt der IC 505 vor. Die Signale werden im Decoder, der aus den ICs 511, 512 und 513 besteht, decodiert.

Betriebsart	Steuersignale					
	TEEIN1	TEEIN0	TSEIN1	TSEIN0	SELEI0	RESET
Tonempfänger AUS	0	0	0	0	x	x
Amplituden-frequenz-gang-Messung bei 300 Hz	0	0	0	1	0	1
bei 1 kHz	0	0	1	0	0	1
bei 2,3 kHz	0	0	1	1	0	1
Klirrfaktor und Empfindlich- keitsmessung durch SINAD	0	1	1	0	0	1
durch SINAD (20 dB)	0	1	1	0	1	1
Invertierung	1	0	1	0	0	1

## **4 Funkkanalsteuerung**

### **4.1 CPU S42025-H418-\*1**

Die CPU-Baugruppe (Bild 16) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuerung des Datendialoges über serielle Schnittstelle zur FDS und die Funkschnittstelle (Datensicherungsverfahren).
- Verarbeitung der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungsbeurteilung).
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Sendeleistung, Offsetkorrektur).
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich  
EPROM: Grundbereich 16k, zwei Bänke à 32k  
RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- zwei VLSI-Bausteine mit den Funktionen:
  - Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät.
  - Erkennen des Zeitbezugs aus den empfangenen Signalisierungsdaten.
  - Aufbereiten der Signalisierungsdaten (Codieren) zum gesicherten Aussenden.
  - Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren).

## **Ermitteln der Signalgüte der empfangenen Signalisierungsdaten**

**Messen des Geräuschabstandes (Jittermesser)**

**Messen der Gleichspannungsabgabe des Analogsignals  
und Ausgabe des Offsetkorrekturwertes.**

**Fehlerüberwachung**

**fehlendes Setzsignal**

**Fehler Sendeteilerkette**

**Synchronlauf Sende- und Empfangsbaustein**

**Watchdog.**

Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit einem ICE (In-Circuit-Emulator)).

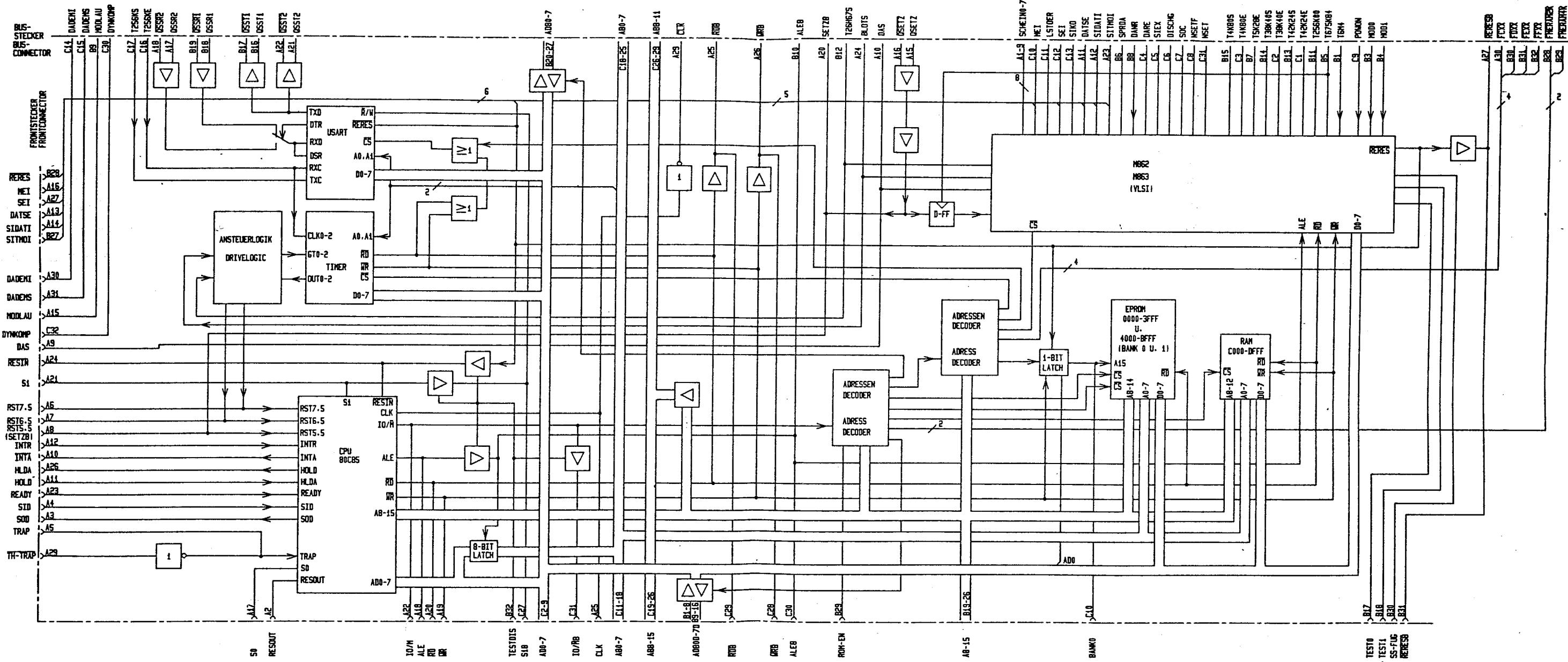
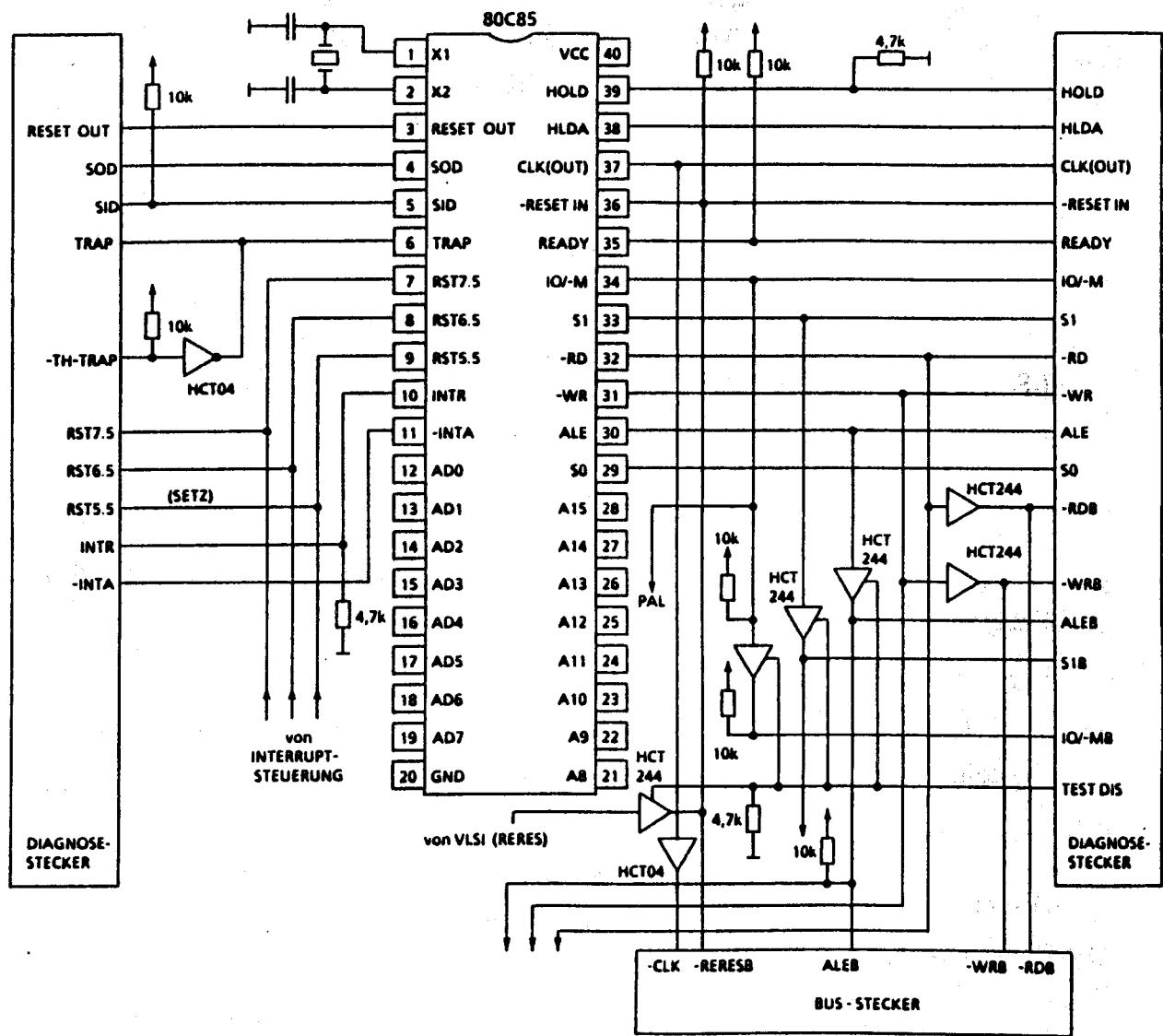


Bild 16 Übersichtsschaltplan CPU



#### 4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 17 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.



## Bild 17 "80C85" Steuersignale

Wie Bild 17 zeigt, sind alle CPU-Signale grundsätzlich direkt zum Diagnosestecker geführt, da über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benutzt ist (SID = "1", INTR = "0", HOLD = "0", READY = "1", -TH-TRAP = "1"). Um einen TRAP auszulösen, muß der Eingang -TH-TRAP benutzt werden.

Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

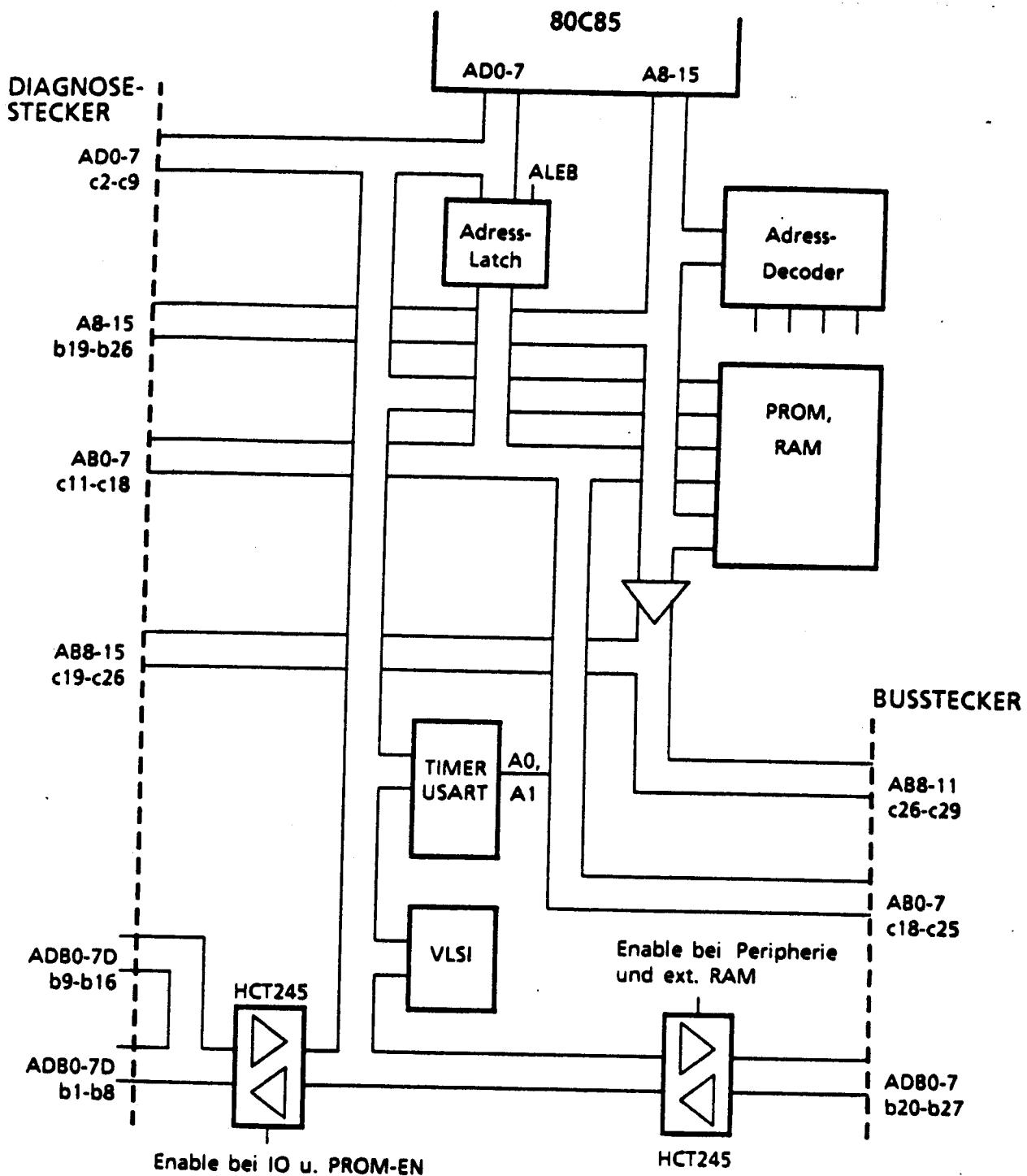
Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sendebaustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter HCT04 und ein RC-Glied (Verringern der Flankensteilheit, um Störeinflüsse zu vermindern).

Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B, IO/-M für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen AD0-7 und A8-A15 des 80C85 direkt auf den Diagnosestecker geführt sind.

Bild 18 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Der Treiber wird mittels Adressenbereichs- Auswahl-Signal aus einem PAL-Baustein aktiviert.

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 (IC 39) geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL (IC 32) sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert u. bei PROM-EN von 0-BFFF, Memory adressiert).



A.....Adr. Bus  
 AD...Adr. - Datenbus  
 AB....Adr. Bus, gepuffert  
 ADB...Adr. - Datenbus, gepuffert

Bild 18 Schema der Adressen- und Datenleitungen

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL (IC32) vorgenommen, das die Signale IO-/M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen, z.B. auf dem CPU-Adapter, auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO-/M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

#### 4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bankbereich.

Der Bankbereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM (IC35). Die Bankumschaltung wird durchgeführt durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0. Wird die Bankumschaltung nicht benutzt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit  $V_{pp} = \text{high}$  ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bankumschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt, und zwar invers.

Das RAM liegt im Bereich von C000 bis DFFF.

#### 4.1.3 Interruptsteuerung

Standardmäßig werden die Interrups RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benutzt werden.

Der RST5,5 wird durch das Rahmen-Setzsignal ausgelöst, das über den Empfängersbaustein SN75173 aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockraster auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) - das ist zu Blockwechsel - wird er wieder zurückgenommen (siehe Bild 19).

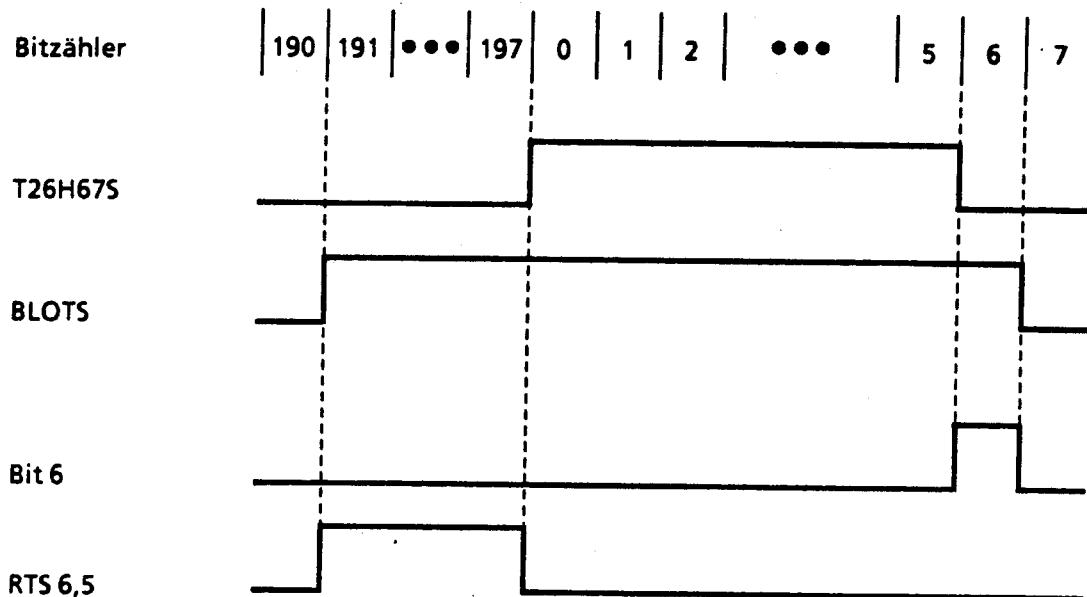


Bild 19 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Der Timer wird mit den Adressen FA00 bis FA03 adressiert.

#### 4.1.4 Serielle Schnittstelle

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzten. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 kBd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialogs der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Kapitel 4.1.3).

Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256 KE und dem Sendetakt T256 KS aus der Interfacekarte betrieben. Der Sendetakt T256 KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungskabellänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine (in 74ALS1631N) werden parallel vom USART angesteuert.

Für die Empfangseinrichtung gibt es ebenfalls zwei Bausteine (in SN75173). Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

#### 4.1.5 VLSI-Bausteine

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL (im folgenden mit VLSI-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 8085-kompatible Busschnittstelle, die die Signale AD0-7 (8-bit-Adressen-Daten-Bus), ALE (Adress Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprechbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signals über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den PFG liegen MOD0 und MOD1 auf "0".

TEST0 und TEST1 sind "0" bei Normalbetrieb.

Für Testzwecke kann mit TEST0 = 0 und TEST1 = 1 die verteilte Signalisierung abgeschaltet werden (wird über den Diagnosestecker mit Hilfe des CPU-Adapters durchgeführt).

Das Bild 20 zeigt die wesentlichsten Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich jeder Baustein eine eigene Schnittstelle hat).

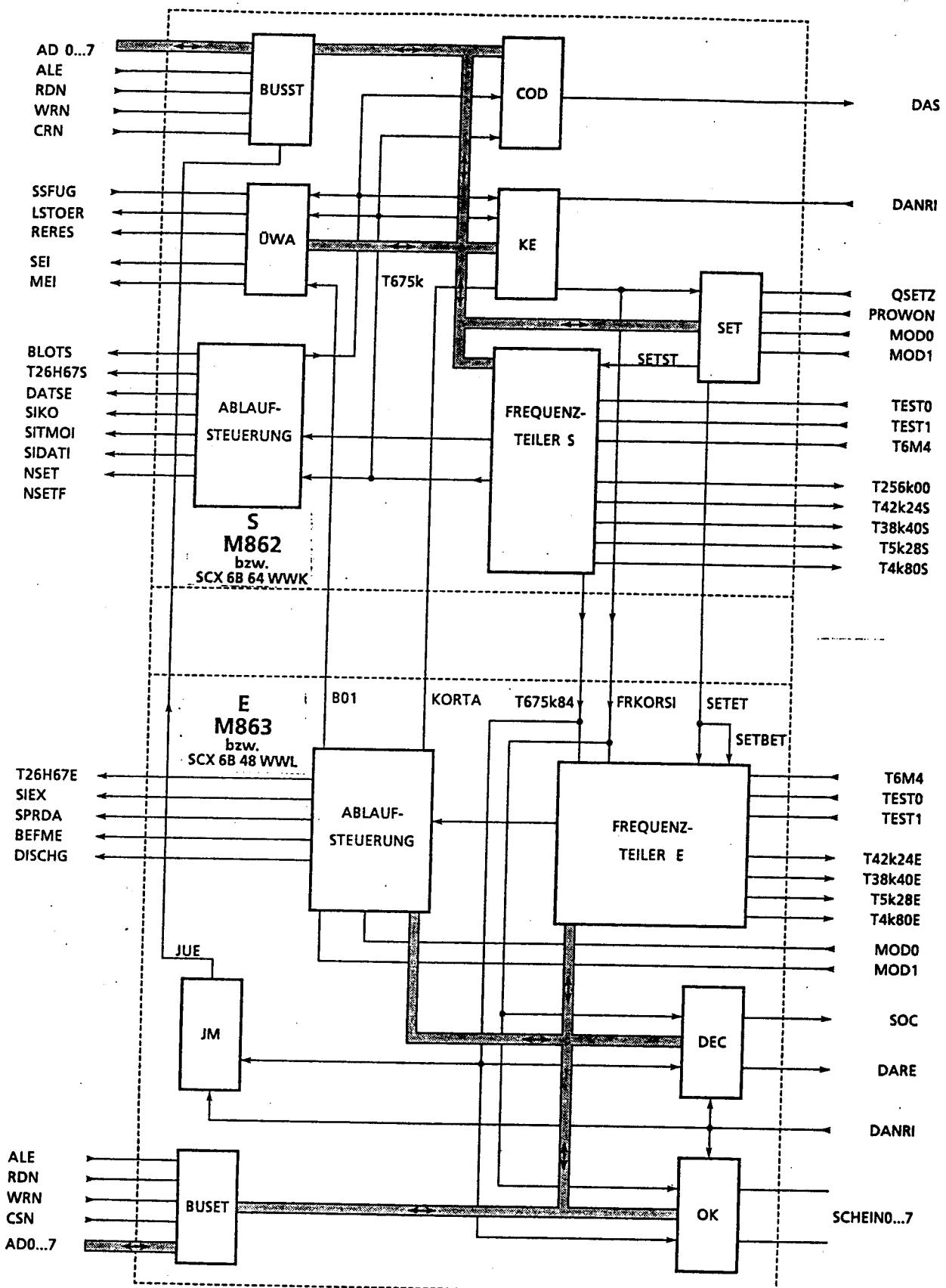


Bild 20 Übersichtsschaltplan der Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL

**Das Bild 21 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.**

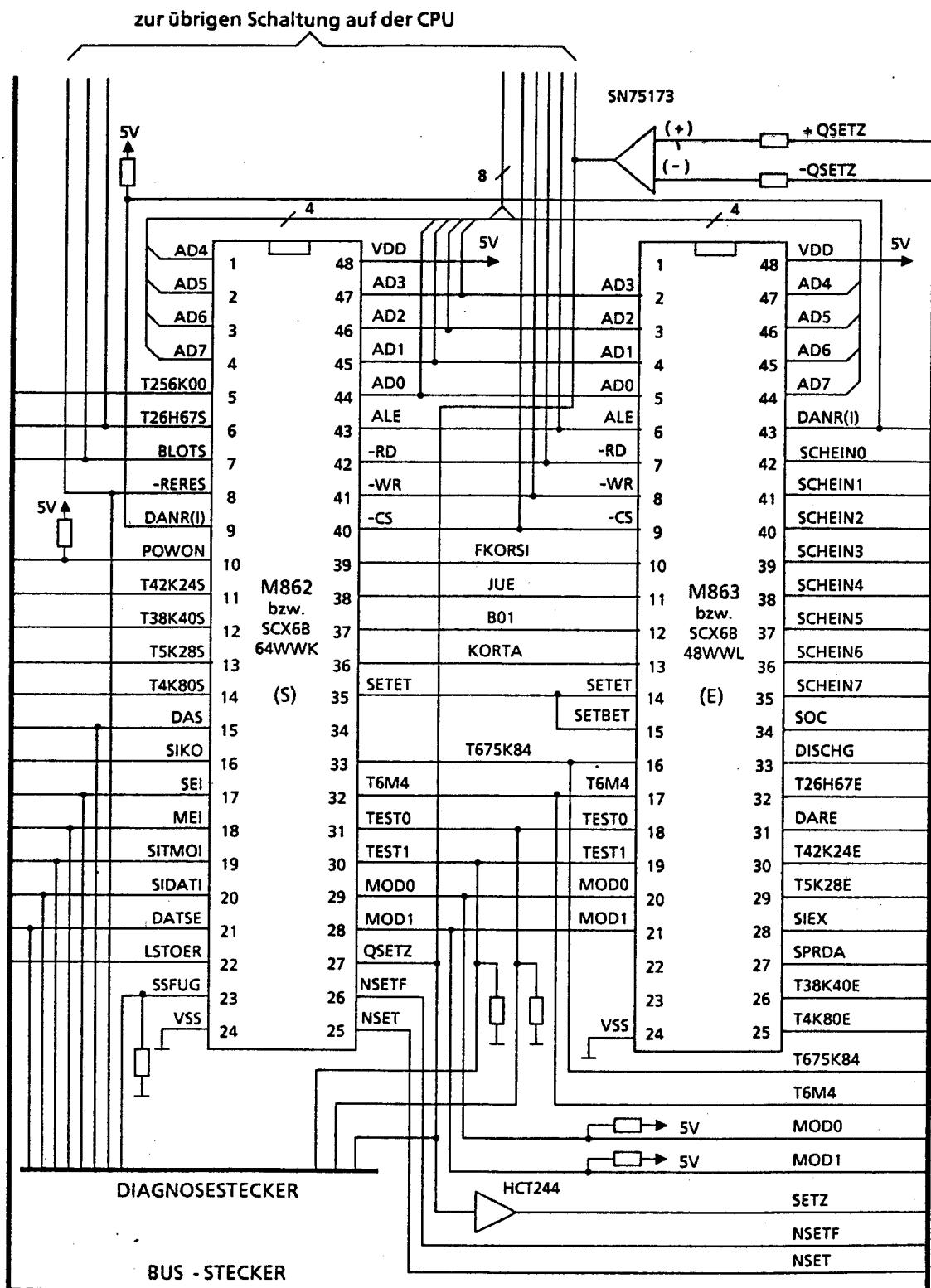


Bild 21 Anschlußschema der VLSI-Bausteine

#### 4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4 MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 22).

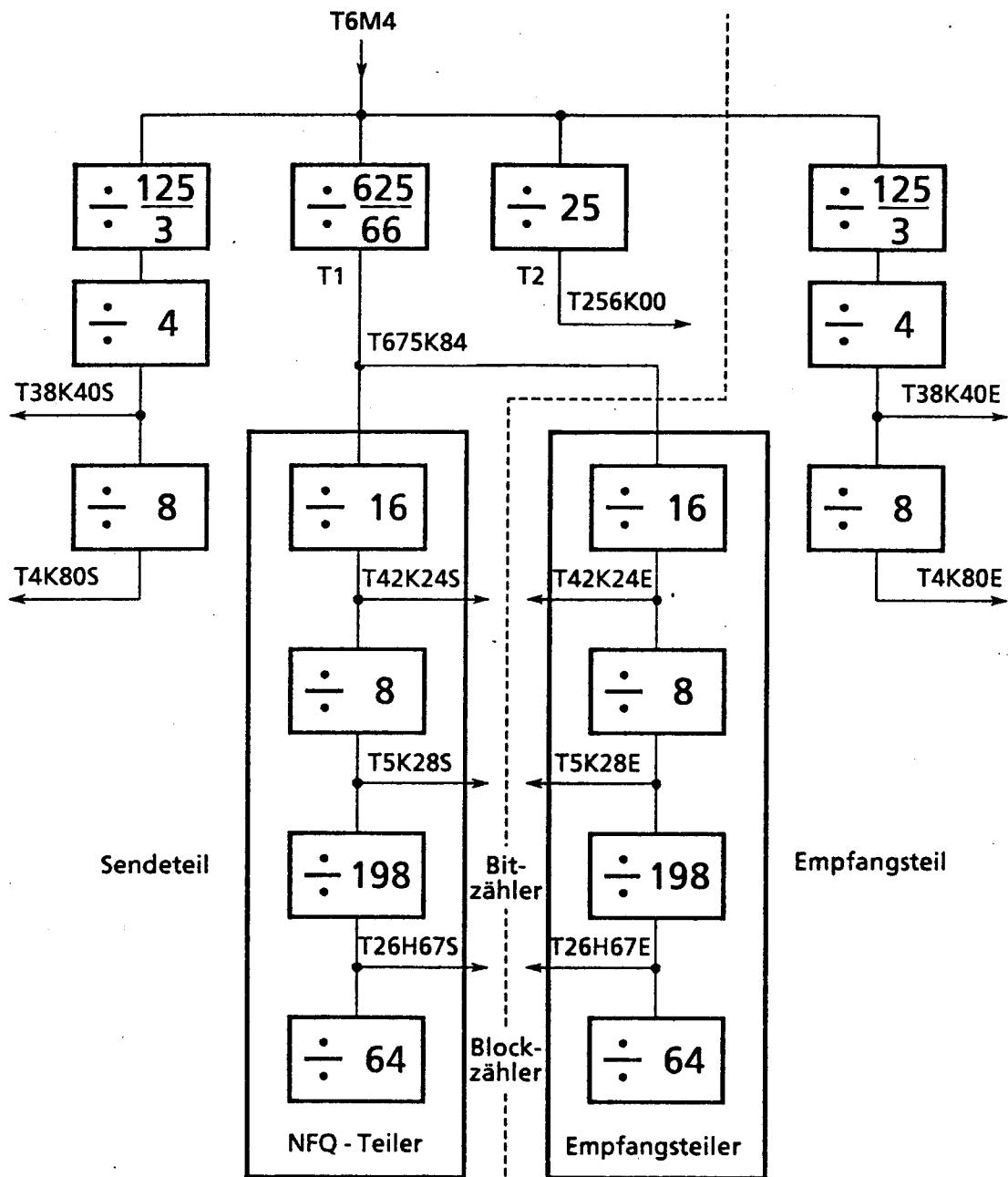


Bild 22 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte lässt sich nicht durch rationale Teilverhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktnamen	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	-78,15 - 146,78ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	-4,7 - 146,78ns
T5K28S,E	T42K24S,E	8	-4,7 - 146,78ns
T26H67S,E	T5K28S,E	198	0
T38K40S,E	T6M4	500/3	104,17ns

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

T675K84: Taktung für A/D-Wandler für Feldstärke

T256K00: Takt für serielle Schnittstellen

T26H67S: Speichern von Port-Signalen

T38K40S,E

und

T42K24S,E: Takte für Komprimierung und Expandierung der Sprache.

#### 4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler und Empfangsteiler) getaktet. Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. T5K28E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. T26H67E, mit dem schließlich der Blockzähler gezählt wird. 64 Blöcke zu je 37,5ms bilden einen Rahmen, der demnach 2,4s lang ist.

Der Bitzählerstand der Sendeteilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des Sendeblockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

## **Externe Signale**

**POWON** entsteht bei Einschalten der Spannung oder bei RESET; erzeugt internes POP-Signal (power-on-puls).

**QSETZ** Rahmensetzsignal  
erzeugt mit Rückflanke internes Setzsignal QSET).

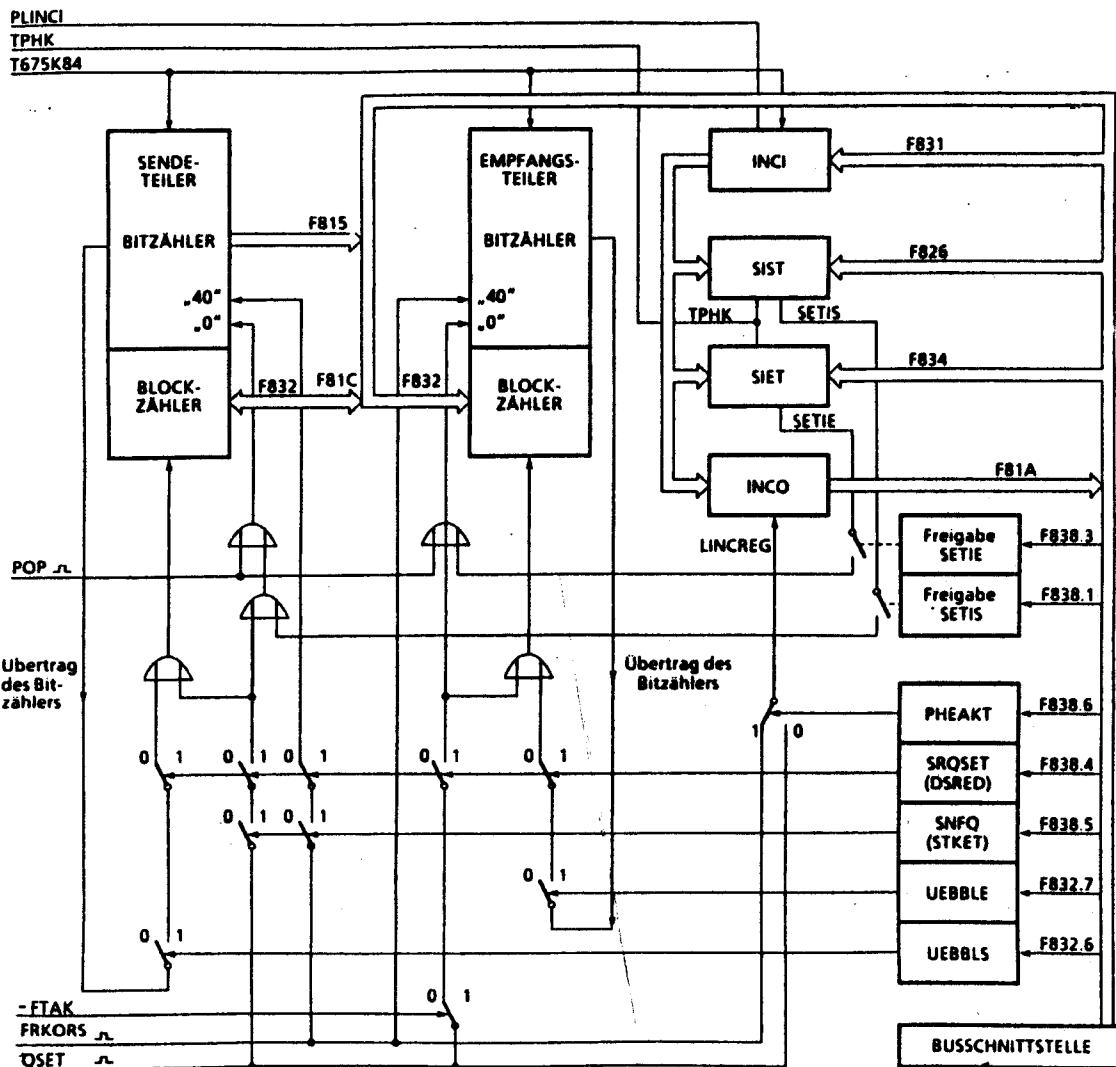
Beide Signale setzen alle Teiler einschließlich Teilerketten.

## **Interne Signale**

FRKORS ("freigegebenes Korrelationssignal") und die Setzsignale SETIS und SETIE (indirektes Setzen) aus dem Inkrementierungszähler setzen die beiden Teilerketten (ab T675k84).

Mit FRKORS wird der Bitzählerstand der Empfangsteilerkette auf 40, mit den anderen Setzsignalen auf 0 gesetzt. Die Sendeteilerkette wird auf Bit 3 gesetzt.

Einzelheiten dazu zeigt Bild 23.



LINCREG

Laden Incrementierungsregister (INCO)

SIST, SETIS

Setzen indirekt, Sendeteiler

SIET, SETIE

Setzen indirekt, Empfangsteiler

SIET und SIST sind die Vergleichswerte für die Phase, die auf den Adressen F826 und F834 eingespeichert werden. Bei Gleichheit mit dem Stand des Incrementierungsählers werden die Impulse SETIS bzw. SETIE erzeugt, die die Teilerketten setzen, falls die Impulse über F838.1 und F838.3 freigegeben sind.

TPHK

Tor Phasenkorrektur (2 bit lang)

PLINCI

Laden Incrementierungszähler

Bild 23 Teilerketten setzen

#### **4.1.5.3 Ablaufsteuerung**

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil von der Betriebsart abhängig, und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

**Konzentrierte Signalisierung:** Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

**Verteilte Signalisierung:** Sprachbetrieb, Aussenden der Signalisierungs-information in Zeitschlitten während eines Unterrahmens = 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 7) bestimmt den Zustand konzentrierte / verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA (SPRDA = "0": verteilte Signalisierung).

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im PFG verwendet:

- |         |   |
|---------|---|
| T26H67S | Takt 26,67Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blocks auf "1", sonst "0".  |
| BLOTS   | "Blocktor senden", von Beginn Bit 191 jeden Blocks bis Ende Bit 6 des folgenden Blocks auf "1", sonst "0".  |
| SOC     | "Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodervorgangs erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke. |
| DISCHG  | "Discharge": Entladeimpuls für Ladekondensator (Feldstärke-messung), zu Beginn jedes Blocks bei konzentrierter Signalisierung, zu Beginn jedes Unterrahmens bei verteilter Signalisierung.                    |

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI- intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

#### 4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggert werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, der den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt, er wird erst wieder durch die nächste Retriggerung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei PPOWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es weitere Fehlermeldungen ("0" bei Fehler):

**FTAK** Fehler Teilerkette außer Kontrolle

**FQSET** fehlendes QSET

**FSTK** Fehler Sendeteilerkette.

FTAK tritt auf, wenn Sendeteilerkette und Empfangsteilerkette um mehr als  $\pm 1$  bit auseinanderliegen (Überwachung nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen).

FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird.

FSTK tritt auf, wenn die negative Flanke von QSETZ nicht mehr in den Bereich Bit 2,5 bis Bit 3,5 der Sendeteilerkette fällt.

Bei Einschalten der Versorgungsspannung (PPOWON = "0") werden FTAK und FQSET in den Zustand "0" (d.h. Fehler) gebracht, WADOG auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 0: FTAK

Bit 1: WADOG

Bit 2: FQSET

Bit 7: FSTK.

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung - wenn noch keine andere Störungsmeldung vorliegt - oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister").

In beiden Fällen erscheint am externen Anschluß LSTOER ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am Audio-Interface geladen werden.

#### 4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANR(I). Am Anfang jedes Signalisierungsblocks befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

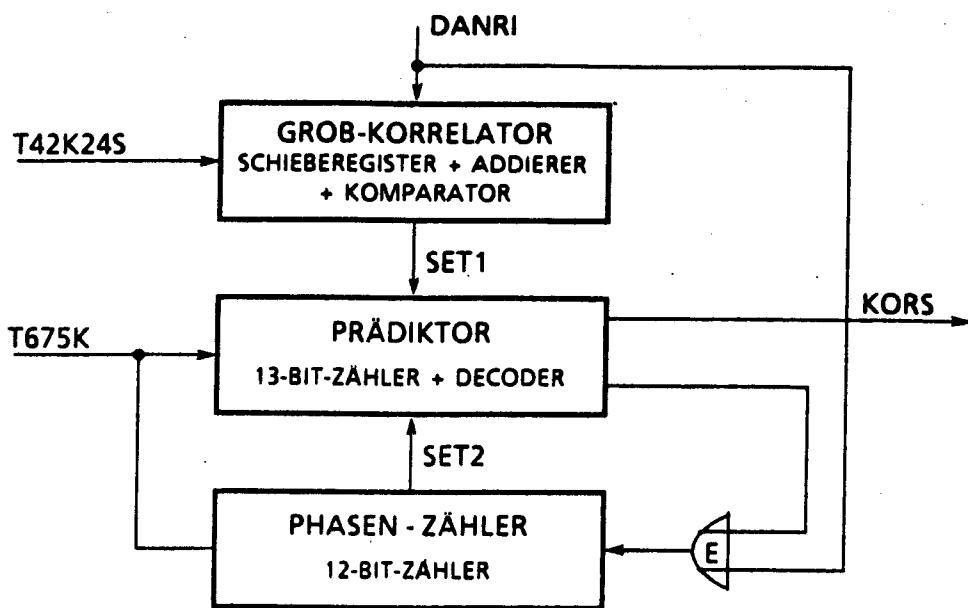


Bild 24 Übersichtsschaltplan Korrelationsempfänger

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24 kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von  $t = 1/T5K28$  jedes Signalisierungsbit mindestens die Pulsbreite  $t = 1/T42K24$  hat
- und
- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 24).

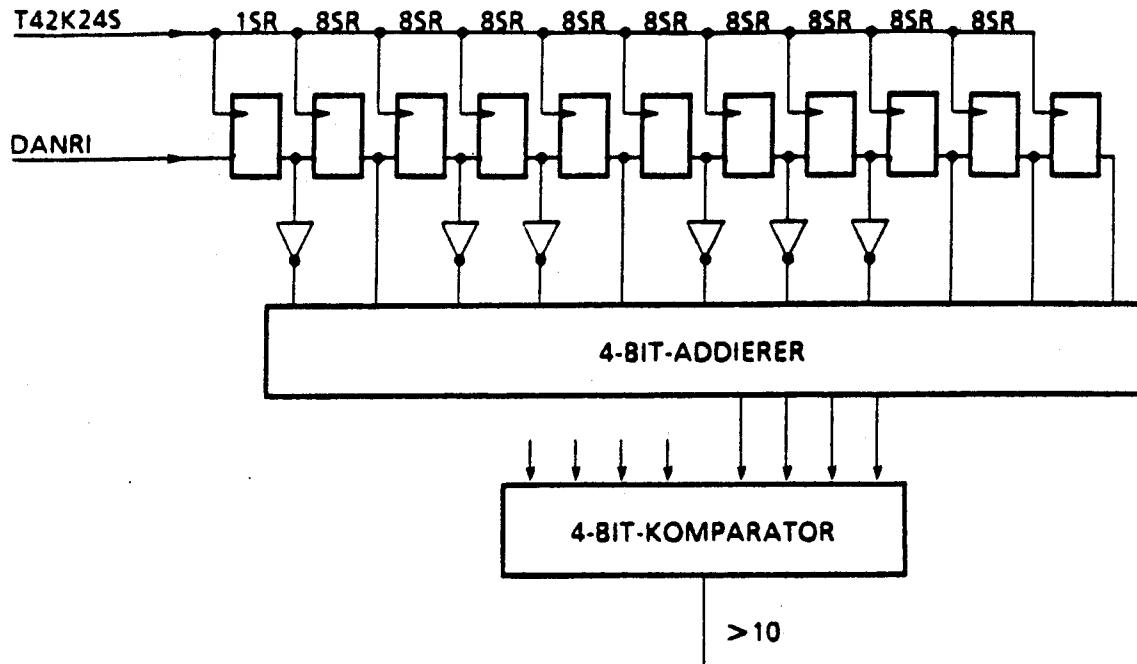


Bild 25 Grobkorrelator mit 81-bit-Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode, und er ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und nach weiteren acht Flankenwechseln passt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

$0,5 \cdot t_{675K}$  nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind:

- Suchlauf (im PFG nicht verwendet)
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt, und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger

F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind:

KORS (siehe oben)

FRKORS Freigabe Korrelationssignal (UND-Verknüpfung von KORS und F82C.6)

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T5K28 vor dem Aussenden des Barkercodes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

SYNT Synchronisations-Erwartungstor  
Zeittor für das Erkennen des ersten Barkercodes durch den Grobkorrelator. Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit, 1 bit: maximale Breite der Grobkorrelation).

SYKON Synchronisationskontrolle  
Zeittor für das Korrelationssignal KORS; dieses Zeittor ist 2 bit breit.

## Normalbetrieb

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeitintervalls SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	3.Barker- code erkannt	Tor SYKON	F82C.6 Freigabe Korrelations- empfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeittor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

### 4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisfrequenzband ermittelt. Die Jittermessung bewertet die zeitliche Lage aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich bei konzentrierter Signalisierung über eine Blocklänge, bei verteilter Signalisierung über einen Unterrahmen (0,6 sec). Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128facher Bittakt) betrieben wird (siehe Bild 26).

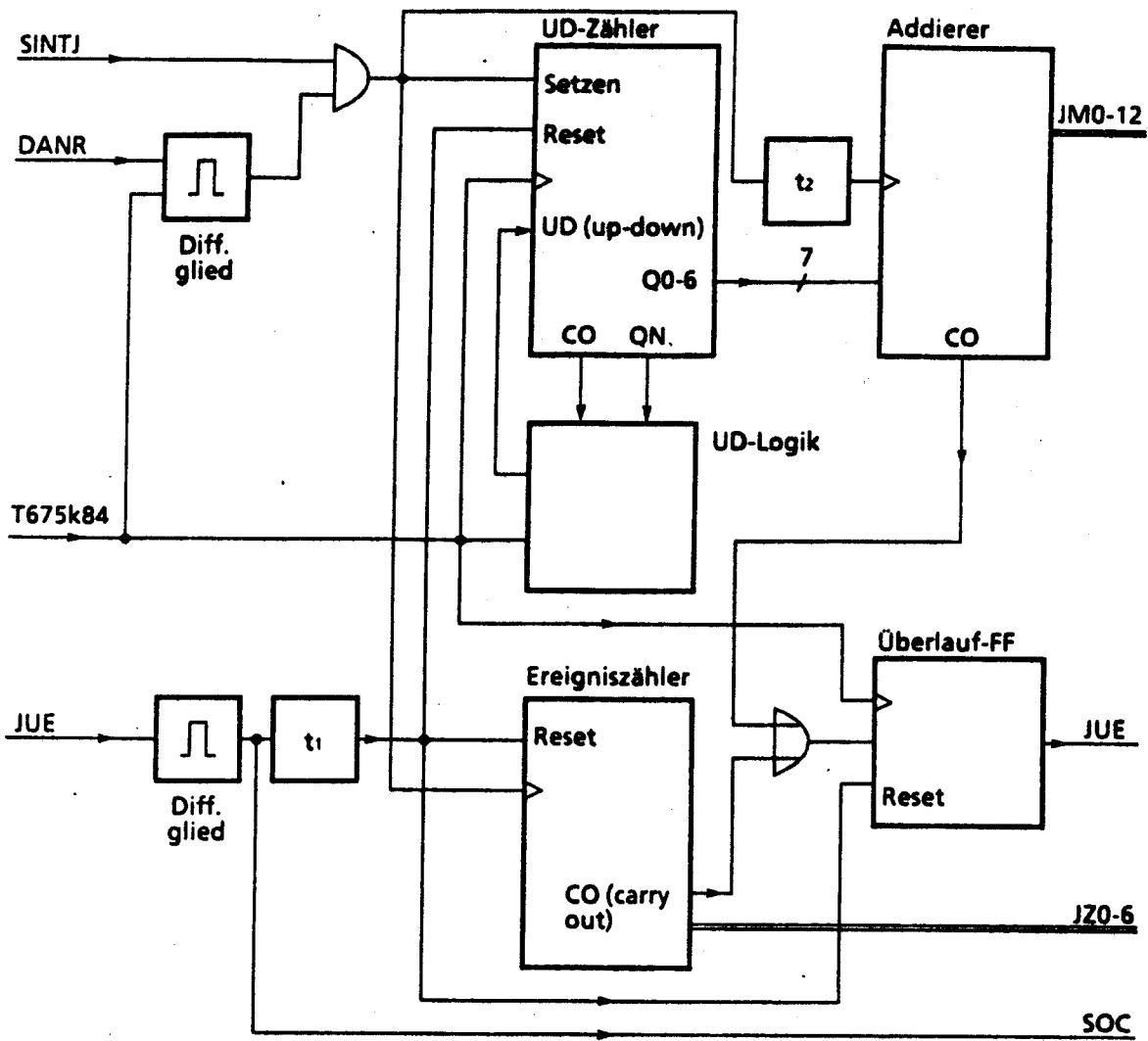


Bild 26 Übersichtsschaltplan Jittermesser

Seine Zählrichtung wird jeweils beim Zählerstand 0 und 63 umgekehrt. Mit dem ersten negativen Flankenwechsel des innerhalb des Bewertungszeitraums (SINTJ) einlaufenden Dateneingangssignals (DANR) wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang gestartet. Mit jedem negativen Flankenwechsel werden die jeweiligen Zählerstände des Auf-/Abwärtszählers in einen Addierer übernommen und aufaddiert. Gleichzeitig wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang neu gestartet. Nur bei störungsfreier Datenübertragung erreicht der Zähler am Ende jedes Bewertungsvorgangs zwischen zwei negativen Flankenwechseln den Wert 0 (siehe Bild 26). Ist der Abstand zweier aufeinanderfolgender negativer Flanken größer oder kleiner als die n-fache Bitbreite ( $n > 1$ ), so ergibt sich aus dem Zählerstand des Modulo-Bit-Zählers der Absolutwert der zeitlichen

Abweichung vom Sollwert als Jitterwert (siehe Bild 27), der in den Addierer addiert wird. Die Anzahl aller negativen Flanken innerhalb des Bewertungszeitraums registriert ein Ereigniszähler (7 bit). Nach Ablauf des Bewertungszeitraums werden mit dem Signal STD (Stop Decoder) der im Addierer aufgezählte Jitterwert (JM) und der Zählerstand des Ereigniszählers (JZ) abgespeichert, und sie stehen zum Auslesen über die Busschnittstelle zur Verfügung. Unter der Adresse F849 lässt sich die Anzahl der negativen Flankenwechsel auslesen. Über die Adressen F84A und F84C kann auf den Jitterwert zugegriffen werden, wobei unter Adresse F84A das MSB (5 bit) und unter Adresse F84C das LSB (8 bit) abgespeichert sind.

Ebenfalls vom Signal STD abgeleitet wird ein Rücksetzsignal, mit dem UD-Zähler, Akkumulator und Ereigniszähler zurückgesetzt werden; diese sind somit für einen neuen Bewertungsvorgang vorbereitet.

Übersteigt der akkumulierte Jitterwert innerhalb eines Bewertungszeitraums den Wert  $2^{13} = 8192$  oder ist die Anzahl der Zeichenwechsel größer als  $2^7 = 128$ , so steht am Ausgang Jittermesser-Überlauf (JUE) ein H-Pegel an. Das Signal JUE wird im Sendebaustein weiter verarbeitet und kann über die Busschnittstelle (Adresse F819.2) ausgelesen werden.

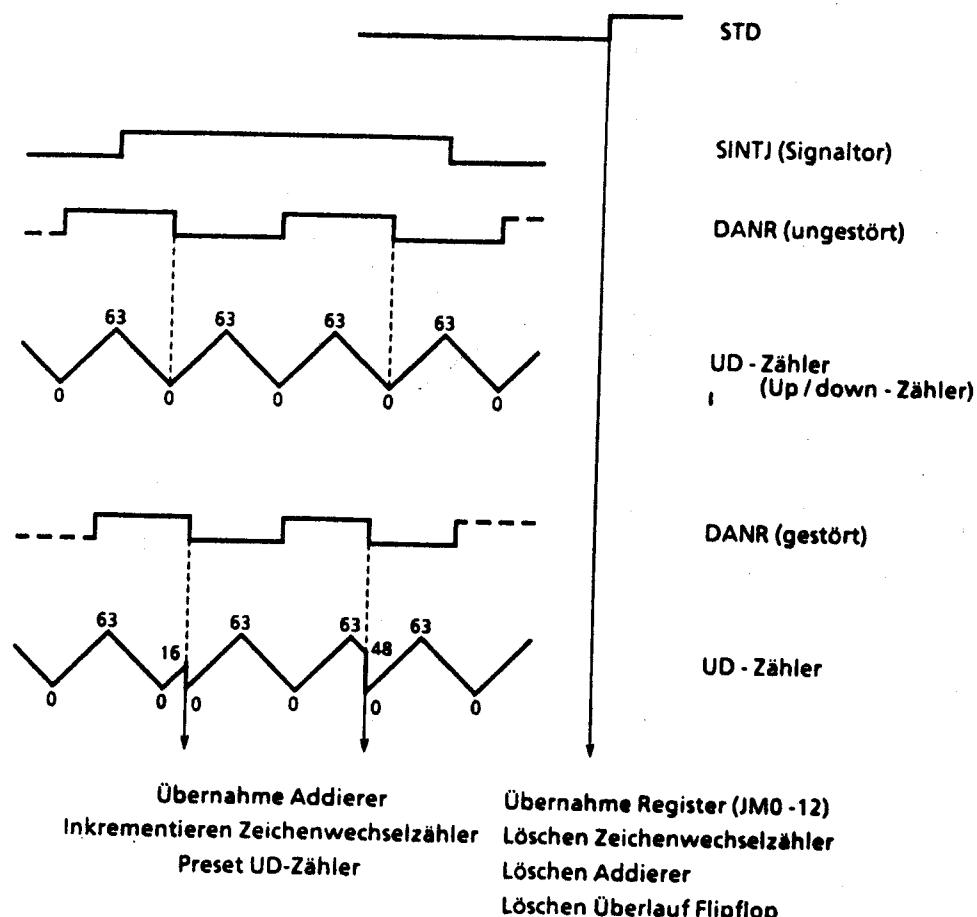


Bild 27 Funktion des Jittermessers

#### 4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 28 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am AU-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

#### Funktionsweise des Offsetmessers

Der 128fache Bittakt ( $T = 675\text{K}84$ ) zählt während des Bewertungszeitraums  $SINTO = 1$  (das ist während des BarkerCodes Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts.

Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H (OFFE0-7 = SCHEIN0-7 auf Mittenwert) versorgt sein muß, so daß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraums wird der Zähler auf 2304 eingestellt, d.h. um  $2 \times 128$  über dem Mittenwert des Zählers  $4096/2 = 2048$ . Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalls auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Laden Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die Schwellwerteinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0 – SCHEIN7.

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B 64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 – SCHEIN7 gelegt. Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die Schwellwerteinstellung.

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an AU-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleicher so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bitlängen aufweist (siehe Bild 29).

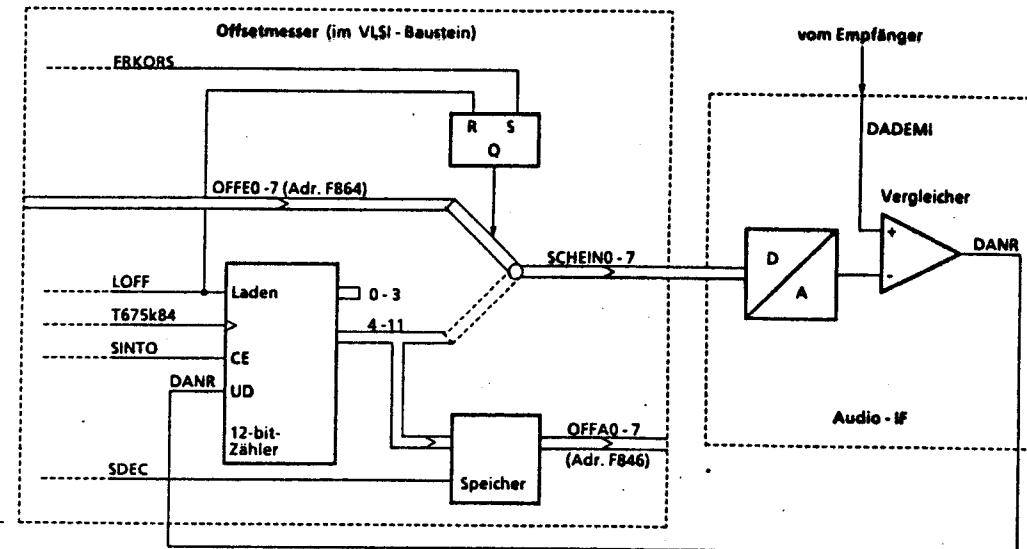


Bild 28 Offsetkorrektur

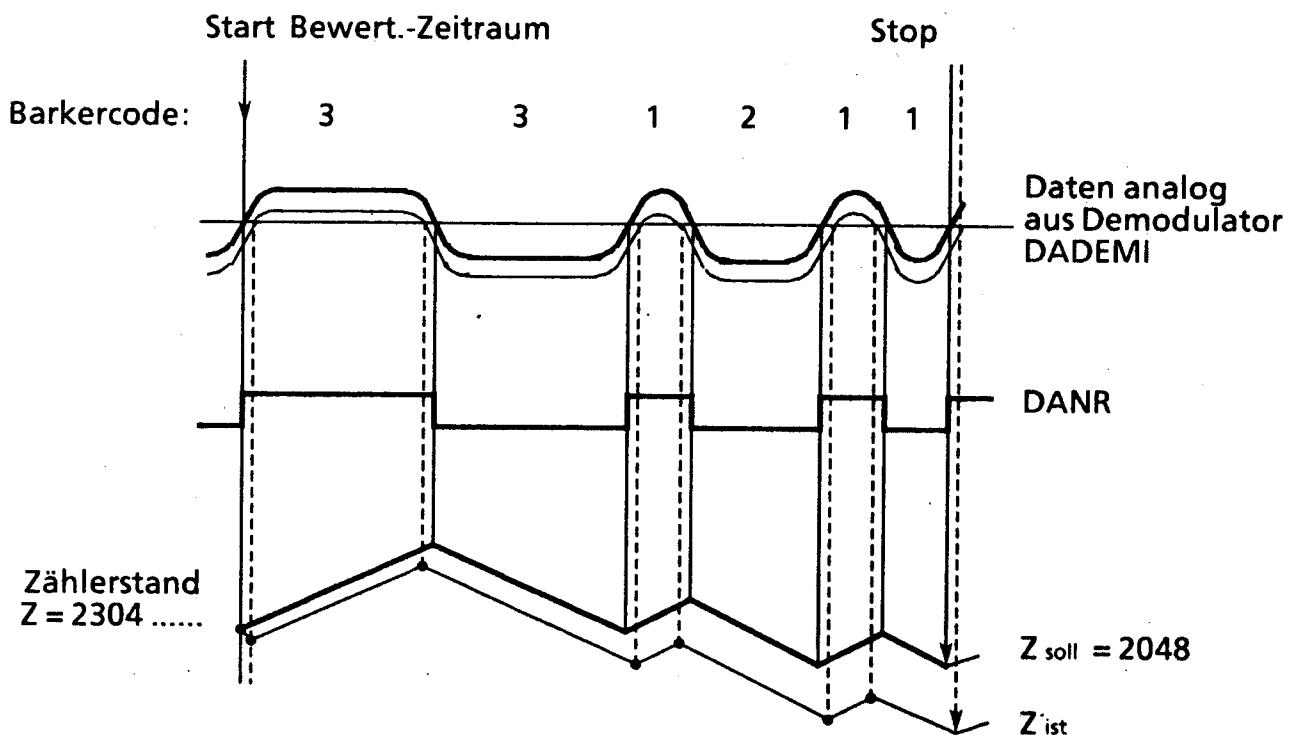
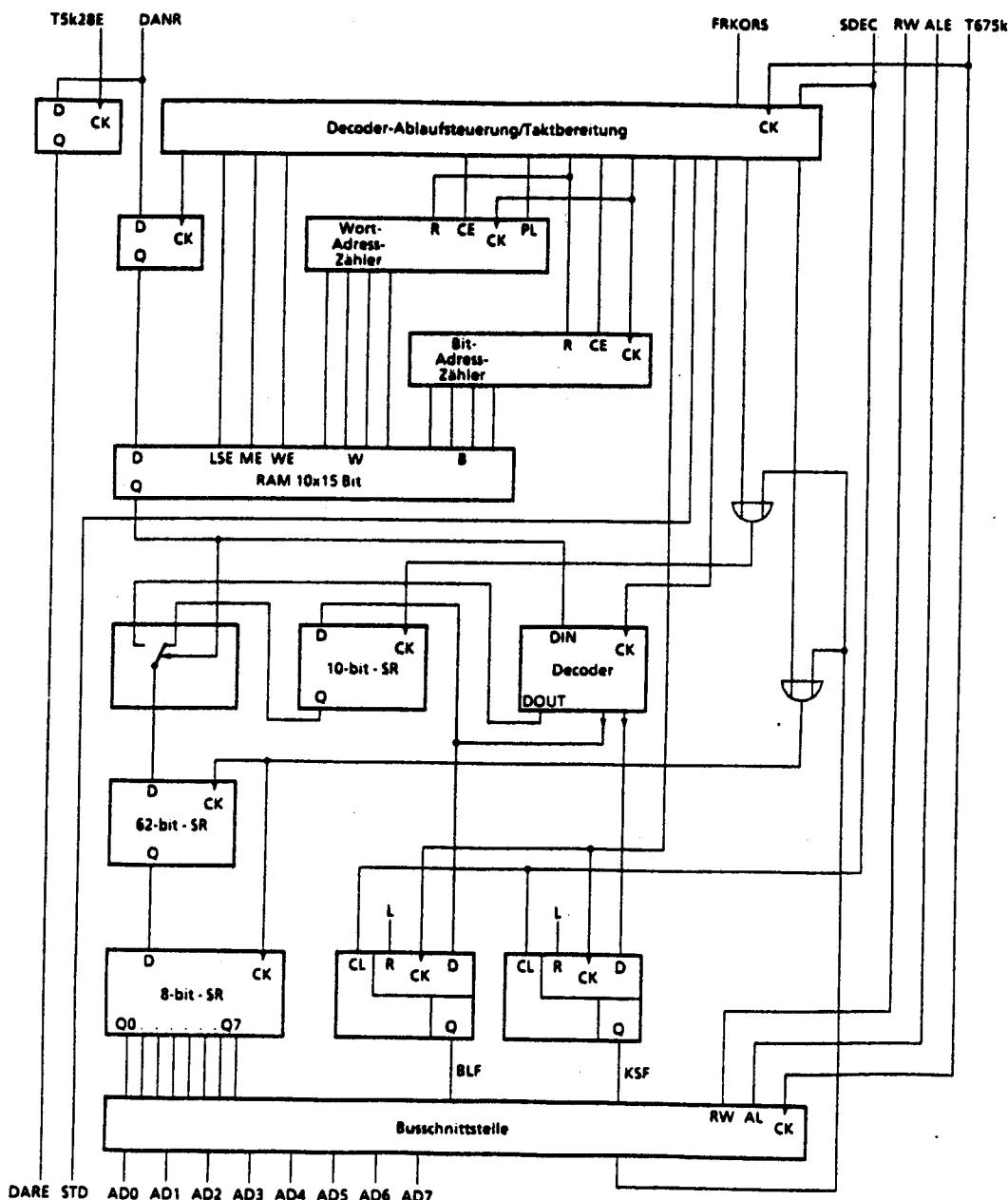


Bild 29 Offsetkorrektur Barkercode

#### 4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar; seine Aufgaben sind:

- Zwischenspeichern der vom Funkeil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.



SR.....Schieberegister

Bild 30 Übersichtsschaltplan Decoder

Der Decoder empfängt über den Eingang DANR(I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisierungsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen. Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Kapitel 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen / decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorgangs zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beenden des Einlesevorgangs mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5) wird der Decodervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Kapitel 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T675K). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodervorgang ist nach 600 Takten T675K ( $t_{DEC} = 600 \times t_{675K} = 888 \mu s$ ) beendet. Nach Abschluß des Decodervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsborts, stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Die Daten werden in zehn Worten à 8 bit ausgelesen. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten acht Bits für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe:

$$t_{READ} \geq 10 \times t_{T675K} = 14,8 \mu s$$

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 (Bit 0 bis 7) und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 und 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbit "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechnerschnittstelle (Adresse F843) abfragen (siehe oben).

#### 4.1.5.9 Coder

Der Coder bildet die Schnittstelle zwischen dem Rechner, der die zu sendenden Daten ermittelt und dem Modulator, der die codierten Daten dem Träger aufmoduliert.

Die Aufgaben des Coders sind:

- Zwischenspeicherung und
- Codierung der zu sendenden Nachricht durch Hinzufügen der Barkercodebits (3x11 bit) sowie der Redundanzbits.

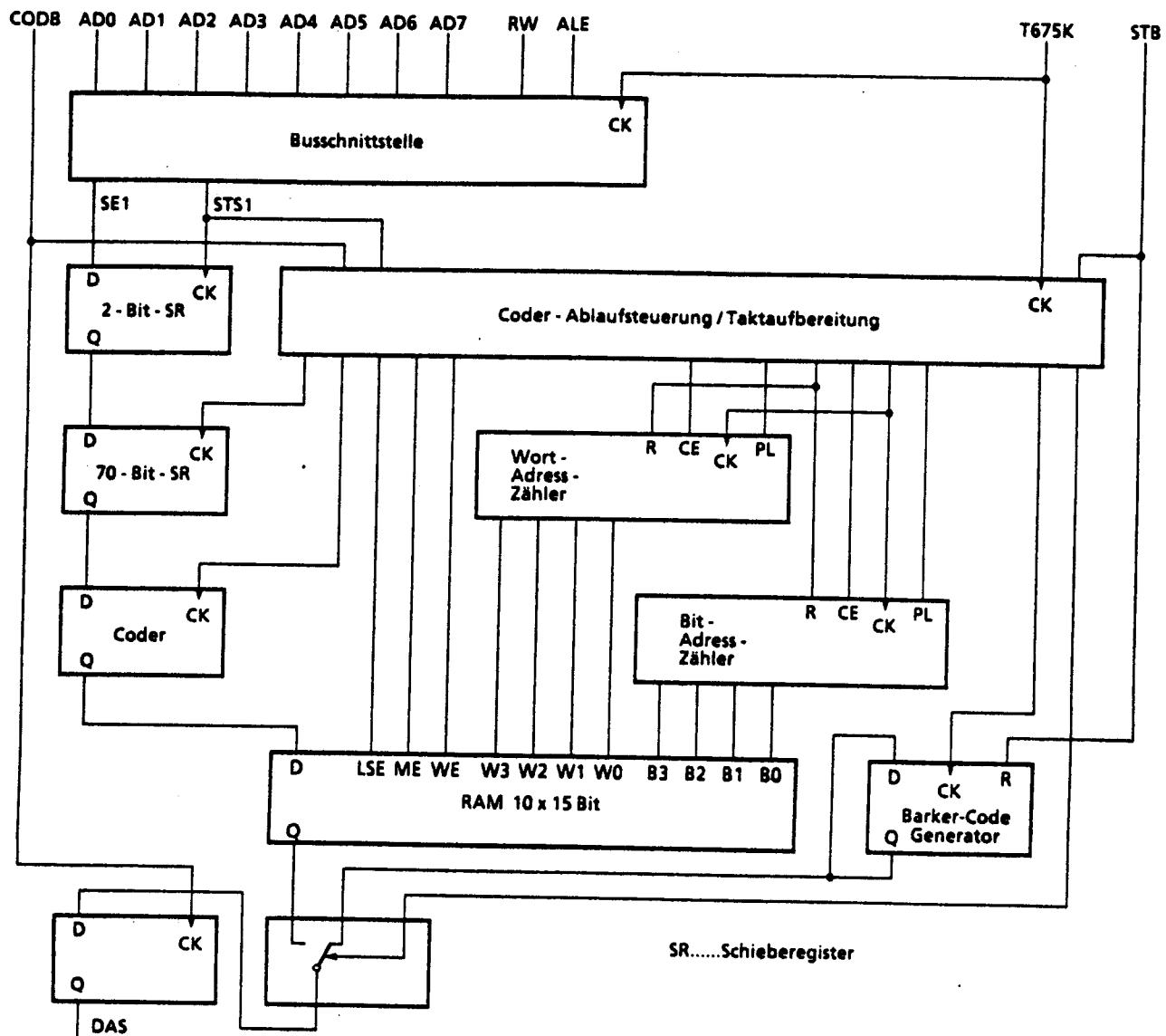


Bild 31 Übersichtsschaltplan Coder

Der im Rechner generierte Datenblock besteht aus 70 Nutz-Bits. Diese Daten werden über die Busschnittstelle (Adresse F829) in den Sendebaustein in neun aufeinanderfolgenden Write-Zugriffen eingeschrieben. Nach jedem Write-Zugriff wird die parallele Busschnittstelle, beginnend mit dem LSB, seriell ausgelesen und die Information in einem 70-bit-Schieberegister zwischengespeichert. Das Abräumen der Busschnittstelle geschieht mit dem Systemtakt (T675K) und wird mit der steigenden Flanke von WRN gestartet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende Write-Zugriffe:

$$t_{\text{WRITE}} \geq 10 \times t_{\text{T675K}} = 14,8 \mu\text{s}$$

Mit dem Signal STC (Start Coder) aus der Ablaufsteuerung wird der Codervorgang gestartet. Die zwischengespeicherten Daten werden in zehn Blöcken zu 7 bit aus dem 70-bit-Schieberegister ausgelesen und nach dem sogenannten BCH-Code codiert, wobei jedes 7-bit-Wort mit einem Syndrom von 8 bit Länge versehen wird. Die so entstehenden Worte von 15 bit Länge werden zeilenweise in ein 10x15 bit großes RAM eingelesen und zwischengespeichert. Der Codervorgang läuft mit dem halben Systemtakt (T675K) ab und ist nach 300 Takten ( $t_{\text{COD}} = 300 \times t_{\text{675K}} = 444 \mu\text{s}$ ) abgeschlossen. Das angewandte Codierverfahren erlaubt bei der Decodierung sowohl eine Fehlererkennung als auch eine Korrektur von maximal zwei Fehlern je Wort.

Mit dem Signal STB (Start Barker) aus der Ablaufsteuerung wird der Vorgang "Daten senden" gestartet.

Mit dem gefensterten Bittakt T5K28 (CODB = 184 Takte T5K28) liegen die Sendedaten am Datenausgang (DAS) an. Zunächst startet der Barkercodegenerator und erzeugt eine Bitfolge von 3 mal 11 bit (11100010010) und ein Leerbit (1). Danach werden die zeilenweise gespeicherten und codierten Daten spaltenweise (15 Worte à 10 bit) aus dem RAM ausgelesen.

In der konzentrierten Signialisierung entsteht so ein Signalisierungsblock von  $33 + 1 + 150 = 184$  bit, in der verteilten Signialisierung werden die Daten verteilt über einen Unterrahmen in 46 Schlitzten zu je 4 bit gesendet (ein Unterrahmen besteht aus 16 Blöcken zu je drei Schlitzten; die beiden ersten Schlitzte enthalten keine Information).

## **4.2 Audio-Interface S42024-H382- ...**

**Die Baugruppe Audio-Interface (Bild 33) bildet zusammen mit der CPU-Baugruppe die Funkkanalsteuerung im PFG.**

**Die Baugruppe enthält folgende Funktionen:**

- **Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)**
- **Adressendecodierung für Ein- und Ausgabeports**
- **Abfrage der Gestelladresse**
- **Ausgabeports für Ansteuerung des Synthesizers, außerdem Ausgabe der Signale für die Laufzeitmessungen einschließlich Betriebsartensignale sowie Steuerung von Tonsender und Tonempfänger. Ansteuern der Verfügbarkeit LED (Signal OKVR).**
- **Erfassen (Umsetzen) der Feldstärke**
- **Offsetkorrektur durch Vergleich des empfangenen Signals mit eingestellter Schwelle**
- **Basisbandanpassung bzw. Laufzeitglied für MODLAU bzw. Datensignal**
- **Erzeugen des Power-on-Resets; Reset-Taste**
- **Erfassen von Störungsmeldungen bzw. Statusmeldungen**
- **Pegelanpassung für 6,4 MHz**
- **Erzeugen der -2,5-V-Versorgung für den Audio-Teil.**

#### 4.2.1 Laufzeitkorrektur

Aus dem 256-kHz-Takt (Signal T256k00 aus dem VLSI) werden die beiden Signale T256kS und T256kE mit Hilfe von zwei Schieberegistern erzeugt, die Signale sind gegenüber dem T256k00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256kS ist um 12 Takte, T256kE um 16 Takte gegenüber T256k00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7 µs) dient zum Ausgleich von Kabellaufzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 31).

Die Verschiebung des Taktes T256kE gegenüber T256k00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

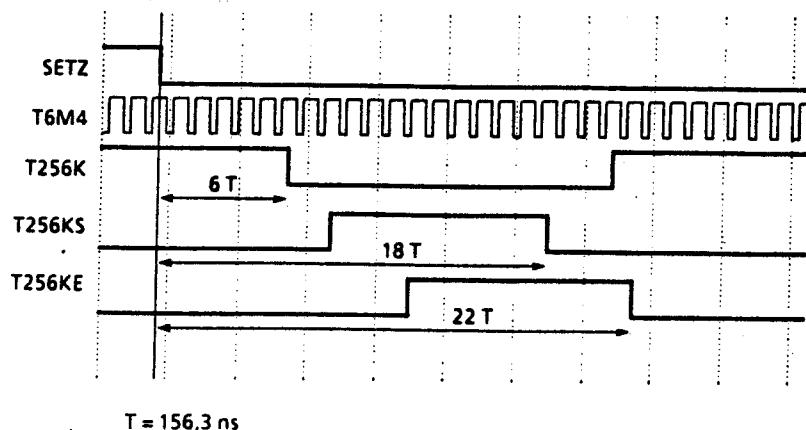


Bild 32 Laufzeitkorrektur

#### 4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HCT138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale -WRX0, -WRX2 bis -WRX4 sowie -RDX0, -RDX1, -RDX6 und -RDX7 erzeugt: das X bedeutet, daß die Adreß-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung, wie auf FF12, FF13 usw., es wird WRX2 aktiviert.

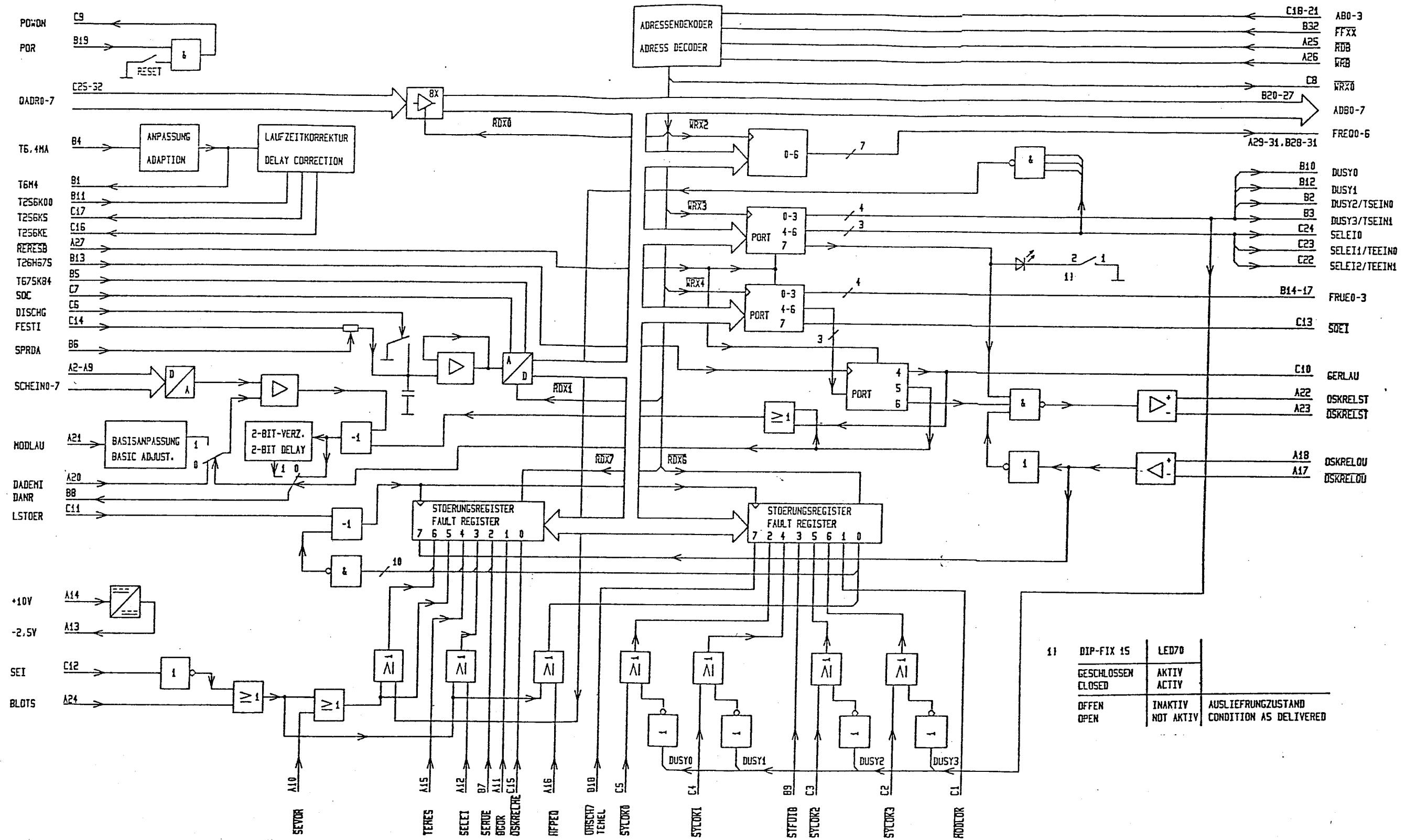


Bild 33 Übersichtsschaltplan Audio-Interface



#### **4.2.3 Abfrage der Gestelladresse**

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage wird mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese- Adressen-Signal RDX0 vom Adressendecoder) vorgenommen.

#### **4.2.4 Ausgabeports**

Vier Latch-Bausteine dienen zur byteweisen Ausgabe einiger Signale durch die Software nach folgender Tabelle

Adresse	D7	D6	D5	D4	D3	D2	D1	D0
FFX2	-			FREQ0-6				
FFX3	OKVR	TEEIN1	TEEIN0	SELEI0	TSEIN1	TSEIN0	-	DUSY0
FFX4	-	-	GERLAU1	GERLAU	-	-	-	FRUE0

Erläuterungen zur Tabelle:

- FREQ0-6      Informationen für Frequenzeinstellung des Synthesizers  
OKVR           Verfügbarmeldung vom Rechner (SW)  
SELEI0          Modulatorpegelabsenkung  
DUSY0          Maskierung der Synthesizer-Fehlermeldung  
TEEIN0,1       Tonempfänger-Ein      Betriebsart für Tonempfänger  
TSEIN0,1       Tonsender-Ein        und Tonsender  
FRUE0           Übernahmesignal für Frequenzeinstellung des Synthesizers.  
GERLAU1         Steuerung der Gerätelaufzeitmessungen  
GERLAU

Die Signale GERLAU1, GERLAU, OKVR werden mit Hilfe des Signals T26H67S (Blockraster) gelatcht, d.h. Änderungen werden nur bei Blockwechsel wirksam.

#### **4.2.5 Umsetzung der Feldstärke**

Das vom Empfänger kommende Feldstärkesignal FESTI (0-2,5V) wird mittels RC-Kombination integriert: bei Sprachbetrieb (SPRDA = 0) über eine Unterrahmenlänge, das sind 0,6s; bei Datenbetrieb (SPRDA = 1) über eine Blocklänge, das sind 37,5ms.

Das integrierte Signal gelangt über einen Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675K84 betrieben, und er erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

#### **4.2.6 Offsetkorrektur, Basisbandanpassung**

Der vom VLSI-Baustein M863 bzw. SCX 6B 48 WWL gelieferte, digitale Schwellwert (SCHEIN0-7) wird mit Hilfe des D/A-Wandlers in einen Analogwert umgewandelt und über die Op.Amps LM258 dem Vergleicher LM311 zugeführt.

Am anderen Eingang des Vergleichers liegt das Signal DADEMI bzw. im Falle der Gerätelaufzeitmessung1 (GERLAU1) das über die Basisbandanpassung gelaufene Signal MODLAU.

Am Ausgang des Vergleichers erscheint das Signal DANR(I) (Daten nicht regeneriert), das zu den VLSI-Bausteinen M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL zur weiteren Verarbeitung geführt wird.

Im Falle der Gerätelaufzeitmessungen wird das Signal DANR(I) jedoch vorher noch invertiert, bei der Gerätelaufzeitmessung 1 (GERLAU1) noch zusätzlich um 2 bit (entspricht 378,8 µs) verzögert.

#### **4.2.7 Power-on-Reset, Resetaste**

Die betriebsspannungsabhängige Rücksetschaltung im Stromversorgungsteil liefert das Signal POR, das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert.

Das gleiche geschieht bei Drücken der Reset-Taste.

#### **4.2.8 Störungsregister**

Der Inhalt des Störungsregisters, das als Speicher für einige Störungsmeldungen dient, kann mit Hilfe von Lesebefehlen auf die Adresse FFX6 gelesen werden.

Eingespeichert werden die an den D-Eingängen anliegenden Signale mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU-Baugruppe) oder bei Auftreten einer Störungsmeldung (Letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Störungsmeldung ansteht), dazu werden die Störungsmeldungen über ein UND-Gatter verknüpft. Die Störungsmeldung des Synthesizers SYLOK0 wird nur dann wirksam, wenn das zugehörige DUSY-Signal (Durchschalten der Synthesizerfrequenz) auf "1" liegt.

MODLOK ist die Fehlermeldung aus dem Modulator.

Schließlich gibt es noch die Meldung TEMEL (Meldung vom Tonempfänger), die ebenfalls über das Störungsregister gelesen werden kann (FFX6.7). Das Auftreten dieser Meldung geschieht ohne automatisches Einlatchen.

Die Meldung BGOK (Prüfschleife: Baugruppe gesteckt) wird auf Adresse FFX7.1 eingelesen.

#### **4.2.9 Sonstiges**

##### **Pegelanpassung 6,4 MHz**

Das von der Audio-Baugruppe kommende Signal T6,4MA wird mittels Transistor BCY58 und Schmitt-Trigger in ein TTL-Signal (T6M4) umgewandelt. Ein RC-Glied dient zur Verringerung der Flankensteilheit (Verringerung von Störeinflüssen).

##### **2,5-V-Versorgungsspannung für Audio-Teil**

Die für die Audio-Baugruppe notwendigen -2,5 V werden mittels eines Spannungs-konverters (ICL7660) aus der 10-V-Spannung erzeugt.

## 5. Technische Daten

Betriebsspannung 1 .....	U = +5 V
Stromaufnahme 1 .....	I = 0,65 A
Leistungsaufnahme 1 .....	P <sub>typ</sub> = 3,25 W
Betriebsspannung 2 .....	U = +10V
Stromaufnahme 2 .....	I = 0,53 A
Leistungsaufnahme 2 .....	P <sub>typ</sub> = 5,3 W
Referenzfrequenz .....	6,4 MHz > 0 dBm
Betriebsart .....	FM-Duplex
Frequenzhub bei	
Sprache klar/WT (mit Pre-/Deemphasis) .....	≥ 4kHz
Sprache verschleiert (ohne Pre-/Deemphasis)...	≥ 4kHz
Signalisierungsdaten .....	2,5 kHz
Funkkanalabstand .....	20 kHz
einstellbare Frequenzschritte .....	10/12,5 kHz
Duplexabstand .....	10 MHz
Sendefrequenzbereich .....	450,0 MHz bis 455,74 MHz
Signalisierungsdatenübertragung	
Datenformat .....	NRZ binär
Bitrate .....	5,28 kbit/s
Empfangsfrequenzbereich .....	460,0 MHz bis 465,74 MHz

### **5.1 Empfänger**

Betriebsspannung .....  $U = +10\text{ V}$   
Stromaufnahme .....  $I = 90\text{ mA}$   
Leistungsaufnahme .....  $P_{\text{typ}} = 900\text{ mW}$   
Störabstand,  
bezogen auf Prüfmodulation ( $f_{\text{mod}} = 1\text{ kHz}$ )  
Fremdspannungsabstand .....  $\geq 40\text{ dB}$   
Geräuschspannungsabstand .....  $\geq 45\text{ dB}$

### **5.2 Synthesizer**

Betriebsspannung 1 .....  $U = +5\text{ V}$   
Stromaufnahme 1 .....  $I = 150\text{ mA}$   
Leistungsaufnahme 1 .....  $P_{\text{typ}} = 750\text{ mW}$   
Betriebsspannung 2 .....  $U = +10\text{ V}$   
Stromaufnahme 2 .....  $I = 200\text{ mA}$   
Leistungsaufnahme 2 .....  $P_{\text{typ}} = 2\text{ W}$

### **5.3 Modulator**

Betriebsspannung 1 .....  $U = +5\text{ V}$   
Stromaufnahme 1 .....  $I = 65\text{ mA}$   
Leistungsaufnahme 1 .....  $P_{\text{typ}} = 325\text{ mW}$   
Betriebsspannung 2 .....  $U = +10\text{ V}$   
Stromaufnahme 2 .....  $I = 180\text{ mA}$   
Leistungsaufnahme 2 .....  $P_{\text{typ}} = 1,8\text{ W}$

#### **5.4 Audio-Teil**

Betriebsspannung 1 .....  $U = +5\text{ V}$   
Stromaufnahme 1 .....  $I = 2\text{ mA}$   
Leistungsaufnahme 1 .....  $P_{\text{typ}} = 10\text{ mW}$   
Betriebsspannung 2 .....  $U = +10\text{ V}$   
Stromaufnahme 2 .....  $I = 100\text{ mA}$   
Leistungsaufnahme 2 .....  $P_{\text{typ}} = 1\text{ W}$

#### **5.5 Tonsender**

Betriebsspannung .....  $U = +5\text{ V}$   
Stromaufnahme .....  $I = 5\text{ mA}$   
Leistungsaufnahme .....  $P_{\text{typ}} = 25\text{ mW}$   
Prüftonsignale  
f1 ..... 300 Hz  
f2 ..... 1000 Hz  
f3 ..... 2300 Hz

#### **5.6 Tonempfänger**

Betriebsspannung 1 .....  $U = +5\text{ V}$   
Stromaufnahme 1 .....  $I = 60\text{ mA}$   
Leistungsaufnahme 1 .....  $P_{\text{typ}} = 300\text{ mW}$   
Betriebsspannung 2 .....  $U = +10\text{ V}$   
Stromaufnahme 2 .....  $I = 65\text{ mA}$   
Leistungsaufnahme 2 .....  $P_{\text{typ}} = 650\text{ mW}$

## **Prüftonsignale wie unter 5.5**

### **Mindestmeßzeit**

**Invertierungsprüfung .....  $\leq 0,5\text{s}$**

**Amplituden-Frequenzmessung .....  $\leq 0,4\text{s}$**

### **Klirrfaktor und Empfänger-**

**Empfindlichkeitsmessung .....  $\leq 1,2\text{s}$**

## **5.7 CPU**

**Betriebsspannung .....  $U = +5\text{ V}$**

**Stromaufnahme .....  $I = 260\text{ mA}$**

**Leistungsaufnahme .....  $P_{\text{typ}} = 1,3\text{ W}$**

## **5.8 Audio-Interface**

**Betriebsspannung .....  $U = +5\text{ V}$**

**Stromaufnahme .....  $I = 150\text{ mA}$**

**Leistungsaufnahme .....  $P_{\text{typ}} = 0,65\text{ W}$**

## 6 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm (BxHxT)	Gewicht in g
Prüffunkgerät PFG .....	S42023-H130-B1	100x595x197	5900
zugehörige Baugruppen:			
Anschlußverdrahtung .....	S42024-H412...		
und			
Filterbaugruppe .....	S42024-H413...	100x63x12	
Empfänger .....	S42024-H169...	100x167x24	
Modulator .....	S42024-H167...	100x167x24	
Synthesizer .....	S42024-H168...	100x167x21	
Tonsender .....	S42024-H324...	100x167x21	
Tonempfänger .....	S42024-H331...	100x167x21	
Audio-Teil .....	S42024-H381...	100x167x21	
CPU .....	S42025-H418-*1 S42025-H431-A150	+ Software 100x167x12	
Audio-Interface .....	S42024-H382...	100x167x12	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, veränderbaren Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.

**SIEMENS**

**Fu Tel C-Netz  
Beschreibung**

**Funkmodem  
FKM-SPK-B  
S42023-H131-..**

**S42023-H131-E1-1-18**

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme  
Hofmannstraße 51, D-8000 München 70  
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung und Mitteilung ihres Inhalts nicht gestattet, soweit nicht ausdrücklich zugestanden. Zu widerhandlungen verpflichten zu Schadenersatz. Alle Rechte vorbehalten, insbesondere für den Fall der Patenterteilung oder GM-Eintragung.  
Technische Änderungen vorbehalten.

© Siemens AG 1990

## Inhalt

	Seite
1      Übersicht .....	5
1.1     Funkmodem (FKM-SPK) im Netz C 450 .....	5
1.2     Funkmodem in der Basisstation .....	5
1.3     Funktionseinheiten des Funkmodems .....	7
2      Schnittstellen .....	11
2.1     Externe Schnittstellen .....	11
2.1.1    Schnittstelle zur Antennenanlage .....	11
2.1.2    Schnittstelle zum Frequenzverteiler .....	11
2.1.3    Schnittstelle zur Senderendstufe .....	11
2.1.4    Schnittstelle zum MSC .....	11
2.1.5    Serielle Schnittstelle zur Funkdatensteuerung (FDS) .....	12
2.1.6    Schnittstelle zur Gestellverdrahtung .....	12
2.1.7    Schnittstelle zur Stromversorgung .....	12
2.2     Interne Schnittstellen .....	12
3      Funkteil .....	14
3.1     Empfänger S42024-H169-...	14
3.1.1    Stromversorgung für PLL-Demodulator .....	14
3.1.2    Eingangsstufe mit Mischer 1 .....	14
3.1.3    Verstärker für 1. Zwischenfrequenz und Mischer 2 .....	14
3.1.4    Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung .....	16
3.1.5    Basisbandaufbereitung .....	17
3.1.6    Squelch-Einrichtung .....	17
3.2     Synthesizer S42024-H168-...	17
3.2.1    Prinzip Synthesizer .....	19
3.2.2    Synthesizer-Baustein und Verteiler .....	20
3.2.3    Oszillator (VCO) und Entkopplungsverstärker 1 .....	22
3.2.4    Entkopplungsverstärker 2 .....	22
3.2.5    Ausgangsverstärker 1 und 2 .....	22
3.2.6    Spannungsregelung +10V/+8V .....	23
3.3     Modulator S42024-H167-...	23
3.3.1    Aktives NF-Filter .....	27
3.3.2    Quarzoszillator (VCO) und Entkopplungsverstärker .....	27
3.3.3    Modulationsgesteuerte Phasenregelschleife .....	28
3.3.4    Mischer und Sendevorstufe .....	29
3.4     Audio-Teil S42024-H381-...	30

<b>4</b>	<b>Funkkanalsteuerung .....</b>	<b>33</b>
4.1	CPU S42025-H418-*1 + Software S42025-H432-A150 .....	33
4.1.1	CPU-Baustein 80C85, Adressen- Daten- und Steuerbus .....	37
4.1.2	Speicher .....	40
4.1.3	Interruptsteuerung .....	41
4.1.4	Serielle Schnittstelle .....	42
4.1.5	VLSI-Bausteine .....	42
4.1.5.1	Takterzeugung .....	45
4.1.5.2	Teilerketten .....	46
4.1.5.3	Ablaufsteuerung .....	49
4.1.5.4	Überwachung und Rechnerreset .....	50
4.1.5.5	Korrelationsempfänger .....	51
4.1.5.6	Jittermesser .....	54
4.1.5.7	Offsetkorrektur .....	57
4.1.5.8	Decoder .....	59
4.1.5.9	Coder .....	61
4.2	Audio-Interface S42024-H382-...	64
4.2.1	Laufzeitkorrektur .....	67
4.2.2	Adressendecodierung .....	67
4.2.3	Abfrage der Gestelladresse .....	68
4.2.4	Ausgabeports .....	68
4.2.5	Umsetzung der Feldstärke .....	68
4.2.6	Offsetkorrektur .....	69
4.2.7	Power-on-Reset, Resettaste .....	69
4.2.8	Störungsregister .....	69
4.2.9	Sonstiges .....	70
<b>5</b>	<b>Technische Daten .....</b>	<b>71</b>
5.1	Empfänger .....	72
5.2	Synthesizer .....	72
5.3	Modulator .....	72
5.4	Audio-Teil .....	73
5.5	CPU .....	73
5.6	Audio-Interface .....	73
<b>6</b>	<b>Geräteübersicht .....</b>	<b>74</b>

## **1 Übersicht**

### **1.1 Funkmodem (FKM-SPK) im Netz C450**

Hauptaufgabe des Funkmodems (FKM-SPK) ist die funktechnische Übertragung von analogen Sprachsignalen oder Wechselstrom-Telegrafie (WT)-Signalen sowie die Übertragung von digitalen Signalisierungsdaten zwischen Basisstation und jeweils einer Mobilstation.

Die Sprachübertragung ist in den Betriebsarten "Verschleierte Sprache" oder "Klare Sprache" möglich. Als Signalisierungsdaten werden binäre digitale Signale verwendet, die der Organisation und Überwachung im Netz C450 dienen.

### **1.2 Funkmodem in der Basisstation (Bild 1)**

Das Funkmodem (SPK) enthält einen Sende- und einen Empfangszug. Das HF-Empfangssignal gelangt von der Antenne über den Empfangskoppler an den Empfangszug des FKM. Das HF-Ausgangssignal gelangt an die Sendeendstufe, wo es verstärkt wird, danach zum jeweiligen Filterkoppler und an die Antenne.

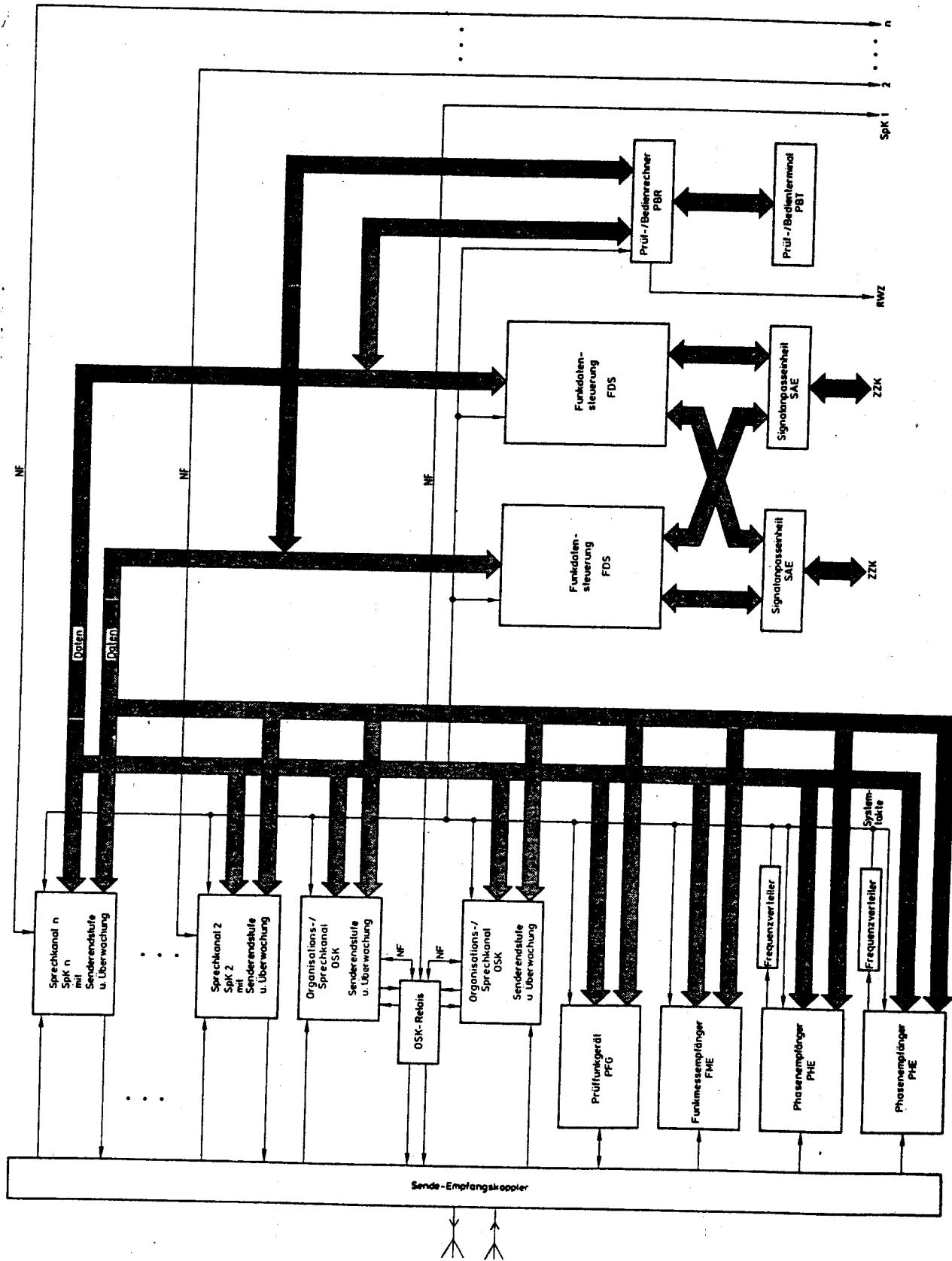


Bild 1 Übersichtsschaltplan Basisstation

### **1.3 Funktionseinheiten des Funkmodems (Bilder 2 und 3)**

#### **Funkteil**

**Der Funkteil besteht aus dem Synthesizer, dem Empfänger, dem Modulator und dem Audio-Teil.**

**Der Empfänger ist an den Trennverstärker des Empfängerkopplers angeschlossen. Das Empfangssignal wird in eine Zwischenfrequenzlage umgesetzt und demoduliert. Das demodulierte Signal wird einerseits zur Auswertung der Signalisierungsdaten und zur Signalbewertung der Funkkanalsteuerung zugeführt, andererseits zur Verarbeitung des NF-Anteils zum Audio-Teil geführt.**

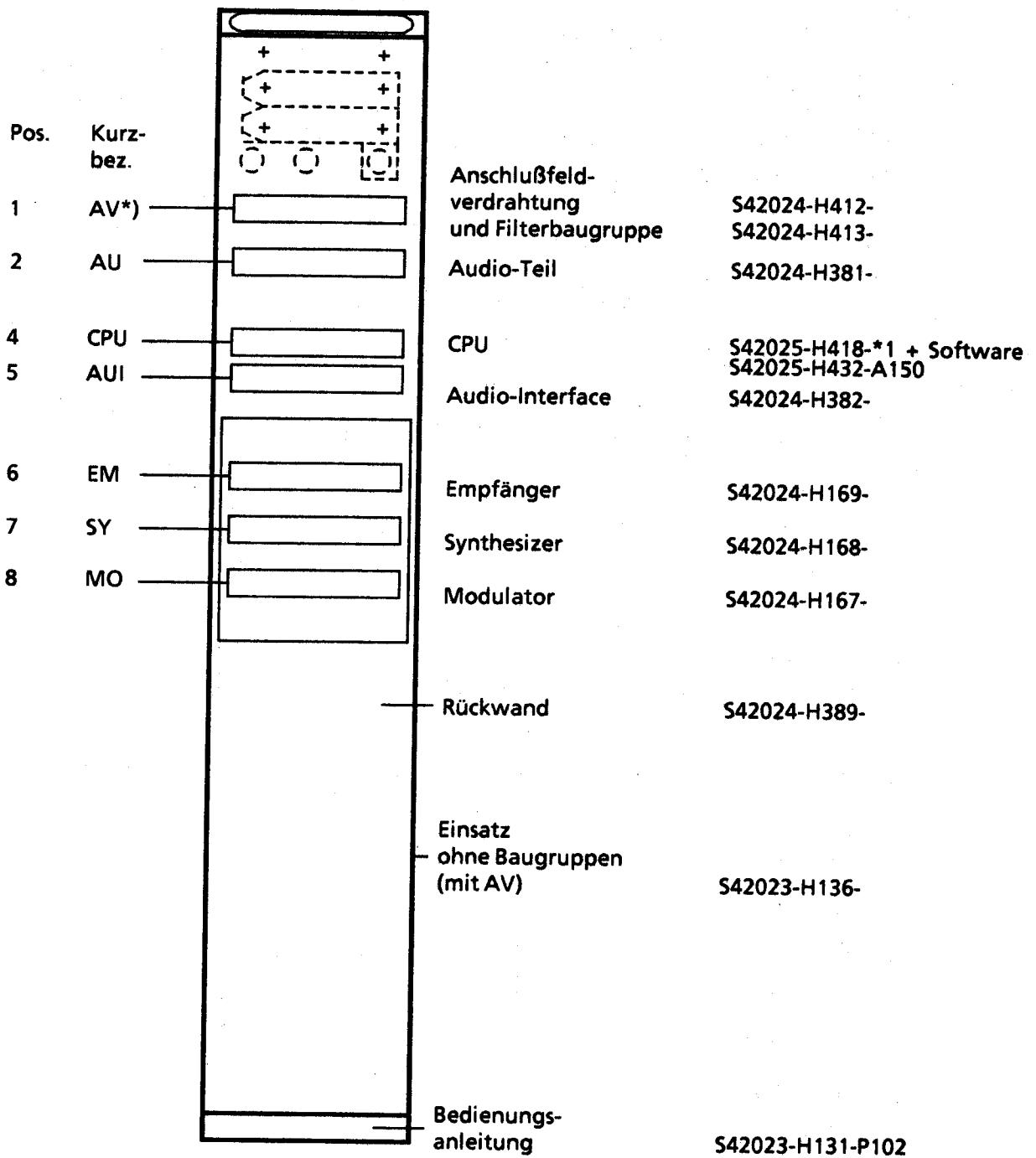
**Der Modulator erzeugt ein frequenzmoduliertes HF-Signal zur Ansteuerung der Endstufe. Für die Modulation wird das NF-Signal aus dem Audio-Teil bzw. das Datensignal mit den Signalisierungsdaten aus der Funkkanalsteuerung herangezogen.**

**Der Synthesizer versorgt Empfänger und Modulator mit der erforderlichen Umsetzfrequenz. Die Einstellung der Frequenz wird über die Funkkanalsteuerung vorgenommen.**

#### **Funkkanalsteuerung**

**Die Funkkanalsteuerung besteht aus den beiden Baugruppen CPU und Audio-Interface.**

**Die CPU-Baugruppe enthält neben CPU (80C85), RAM und EPROM einen Zeitgeber und einen seriellen Ein-/Ausgabebaustein (USART) für block- und zeitplatzorientierten Datenaustausch zur Funkdatensteuerung sowie die beiden VLSI-Bausteine.**



**\*) Bestandteil des Leereinsatzes**

**Bild 2 Aufbau des Funkmodems (SPK)**

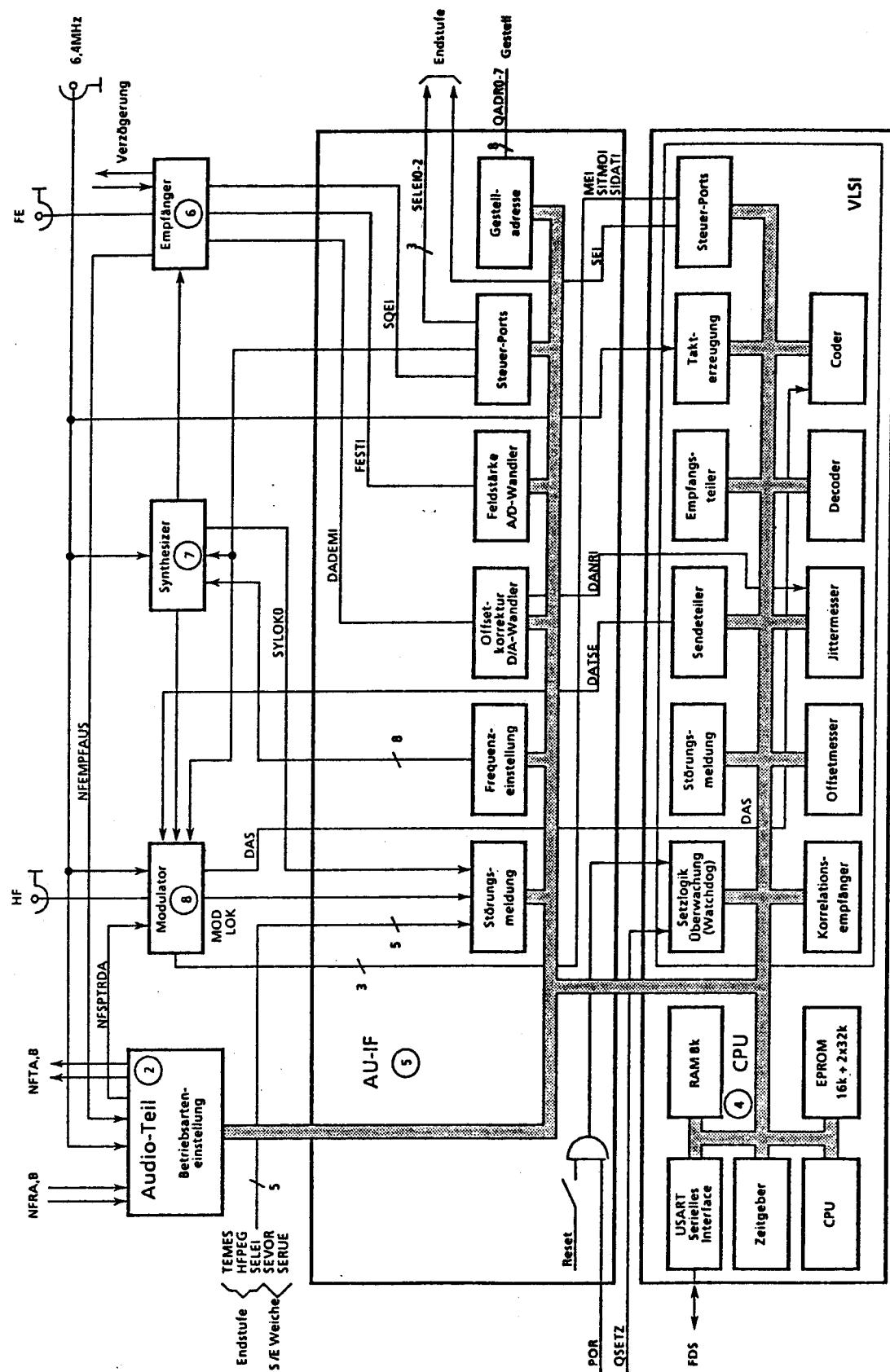


Bild 3 Übersichtsschaltplan Funkmodem (SPK)

Die Baugruppe Audio-Interface enthält neben den Rechnerports zum Funkteil die Störungsregister sowie die Feldstärke-Umsetzschaltung und die Offsetkorrektur.

Die Signalbewertung ist in den VLSI-Bausteinen auf der CPU enthalten. Sie besteht aus drei Funktionseinheiten (Jittermesser, Offsetmesser, Korrelationsempfänger). Aus dem Barkercode des Empfangsdatenblockes werden Phase und Offset des empfangenen Teilnehmers ermittelt und an die Empfangsteilerkette und die Offsetkorrektur übergeben. Der Empfänger ist gleichspannungsgekoppelt. Jede Gleichspannungsablage beeinträchtigt die Lesesicherheit der Nutzinformation. Der Offsetmesser ermittelt die Ablage; daraufhin regelt der Rechner die Schwelle am Komparator der Offsetkorrektur nach. Damit kann mit Hilfe des Decoders (ebenfalls in den VLSI-Bausteinen) die Nutzinformation gelesen werden. Durch den Jittermesser wird über die blockweise oder unterrahmenweise summierten Zeichenwechselveränderungen der digitalen Signalisierungsdaten im Rechner der Geräuschspannungsabstand ermittelt. Dieser Wert gilt neben der Feldstärke als Maß für die Empfangsgüte.

Die VLSI-Bausteine enthalten eine Sende- und Empfangsteilerkette. Die Sendeteilerkette wird rahmenweise durch das Rahmensetzsignal QSETZ aus dem Phasenempfänger gesetzt. Beide Teilerketten werden von einer Überwachungseinheit überwacht.

## **2 Schnittstellen**

### **2.1 Externe Schnittstellen**

#### **2.1.1 Schnittstelle zur Antennenanlage**

Der Empfänger des Funkmodems erhält vom Trennverstärker in der Antennenanlage das HF-Signal FE zugeführt (Koaxialanschluß).

#### **2.1.2 Schnittstelle zum Frequenzverteiler**

Hier werden der Takt QT6,4M (Koaxialstecker) und das Rahmensetzsiegel QSETZ (symmetrische Leitung), die vom Frequenzverteiler kommen, eingespeist. Über Koaxialleitungen gelangt der 6,4-MHz-Takt einerseits zum Synthesizer und zum Modulator, andererseits zum Audio-Teil, von wo er über die Rückwandplatine zum Audio-Interface geführt wird. Dort wird er zur Versorgung der Steuerung auf TTL-Pegel umgesetzt.

#### **2.1.3 Schnittstelle zur Senderendstufe**

Vom Modulator gelangt das HF-Signal über eine Koaxialleitung zur Endstufe. Die Steuerleitungen SEI (Sender ein) und SELEI 0-2 (Einstellung der Senderleistung) führen ebenfalls zur Endstufe.

Die Störungsmeldungen -SELEI (Sendeleistung), -TEMES (Endstufentemperatur überschritten) und -HFPEG (HF-Eingangspegel Senderendstufe) von der Endstufe und die beiden Störungsmeldungen -SEVOR (Vorlauf Sendeleistung unter Sollwert) und -SERUE (Rücklauf Sendeleistung > 8dB) von der S/E-Weiche gelangen zum Audio-Interface.

#### **2.1.4 Schnittstelle zum MSC**

Die Sprach-/WT-Signale werden als symmetrische Signale NFTA/NFTB und NFRA/NFRB vom MSC zum Audio-Teil bzw. in umgekehrter Richtung geführt.

### **2.1.5 Serielle Schnittstelle zur Funkdatensteuerung (FDS)**

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Datenaustausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Die Bausteine befinden sich auf der CPU.

### **2.1.6 Schnittstelle zur Gestellverdrahtung**

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestelladresse (auch als Kanaladresse bezeichnet) übergeben (Leitungen QADR 0-7, Auswertung auf Audio-Interface).

### **2.1.7 Schnittstelle zur Stromversorgung**

Zur Generierung eines Power-on-Resets nach Spannungsausfall wird außer den Versorgungsspannungen +5 V und +10 V das Signal POR (-FKM) aus der Stromversorgung zugeführt.

## **2.2 Interne Schnittstellen**

Im folgenden sind die Schnittstellensignale zwischen der Funkkanalsteuerung und den Baugruppen des Funkteils erläutert.

### **Synthesizer**

Die Frequenzeinstellung wird mit Hilfe der Signale FRUE(0) und FREQ 0-6 aus dem Audio-Interface vorgenommen. Der Synthesizer liefert im nicht gerasteten Zustand die Fehlermeldung -SYLOK(0).

### **Empfänger**

Die Signale FESTI (Feldstärke) und DADEMI (demoduliertes Datensignal) werden im Audio-Interface verarbeitet. Mit dem Signal SQEI (aus dem Audio-Interface) wird das Prüfsignal Squelch (Rauschsperre) ein bzw. ausgeschaltet.

## **Modulator**

Aus der CPU (VLSI-Bausteine) gelangen folgende Signale zum Modulator:

MEI	Modulator ein
SITMOI	Signalton Modulator (Umschaltung Sprache/Daten im Sprechkanal)
SIDATI	Signalton Daten
DATSE	Daten senden
DAS	Datensignal (Signalisierungsdaten)

Das Signal -MODLOK meldet das Einrastkriterium der Phasenregelschleife des Modulators an den Rechner (Audio-Interface), es wird low bei Fehler.

## **Audio-Teil**

Der Audio-Teil ist an den Rechnerbus der CPU mit den Signalen -WRX0, -RDB, -WRB, ALEB, ADB0-7 angeschlossen.

Für die Komprimierung der Daten werden das Signal SIKO (Signalton Komprimierung) und die Takte T38K40S und T42K24S, für die Expandierung SIEX (Signalton Expandierung) sowie die Takte T38K40E und T42K24E aus der CPU (VLSI) zugeführt. Ebenfalls aus der CPU kommt das Signal SPRDA (Umschalten Sprache/Daten zur Sperre des NF-Weges).

Das Signal DYNKOMP (Dynamikkompaundierung) dient für Testzwecke und kann über den Diagnosestecker der CPU (z.B. mit Hilfe des CPU-Adapters) gesteuert werden. (Das Signal ist auf der CPU nur vom Diagnose- zum Busstecker durchgeschleift).

### **3 Funkteil**

#### **3.1 Empfänger S42024-H169...**

Der Empfänger (siehe Bild 4) ist Bestandteil des Funkteils im Organisations-/ Sprechkanal; er steht mit dem Empfängerkoppler über Koaxialkabel in Verbindung (siehe externe Schnittstellen 2.1).

Der Empfangsfrequenzbereich beträgt 450 MHz bis 455,74 MHz.

Das vom Empfängerkoppler kommende Empfangssignal (FE) wird über die 1. Zwischenfrequenz (21,4 MHz) in die 2. Zwischenfrequenz (100 kHz) umgesetzt, demoduliert und über den Datenweg (DADEMI) und NF-Weg (NFEMPFAUS) der Funkkanalsteuerung und der Baugruppe Audio-Teil zugeführt.

##### **3.1.1 Stromversorgung für PLL-Demodulator**

Die besonderen Anforderungen an die Konstanz des PLL-Demodulators 304 erfordern eine Betriebsspannung (+ 12 V) hoher Stabilität. Diese Spannung wird mit Hilfe eines Gleichspannungswandlers aus der extern zugeführten Betriebsspannung (10 V) gewonnen. Dazu erzeugt der IC305 Rechteckimpulse mit einer Frequenz von etwa 6 kHz. Diese Impulse werden mit Hilfe der Diode 250 und dem Kondensator 175 der Betriebsspannung (10 V) überlagert und zusammen gleichgerichtet (Diode 251 und Kondensator 176). Nach der anschließenden Stabilisierungsschaltung (Widerstand 57, Referenzdiode 252 und Kondensator 170) steht die gewünschte Ausgangsspannung (+ 12 V) zur Verfügung. Sie versorgt den IC304 und dient zur Erzeugung der Arbeitspunkte der Operationsverstärker 303 und 307.

##### **3.1.2 Eingangsstufe mit Mischer 1**

Das ankommende HF-Eingangssignal (FE) wird vom Transistor 271, dessen Arbeitspunkt vom Transistor 270 stabilisiert ist, verstärkt. Über das nachfolgende Zweikreis-Helical-Filter 240 gelangt das verstärkte Eingangssignal zum Ringmischer 320. Dort wird es mit Hilfe des Signales  $F_{syn}$  B10, das der Synthesizer des Funkteils liefert, auf die 1. Zwischenfrequenz (1. ZF) von 21,4 MHz umgesetzt.

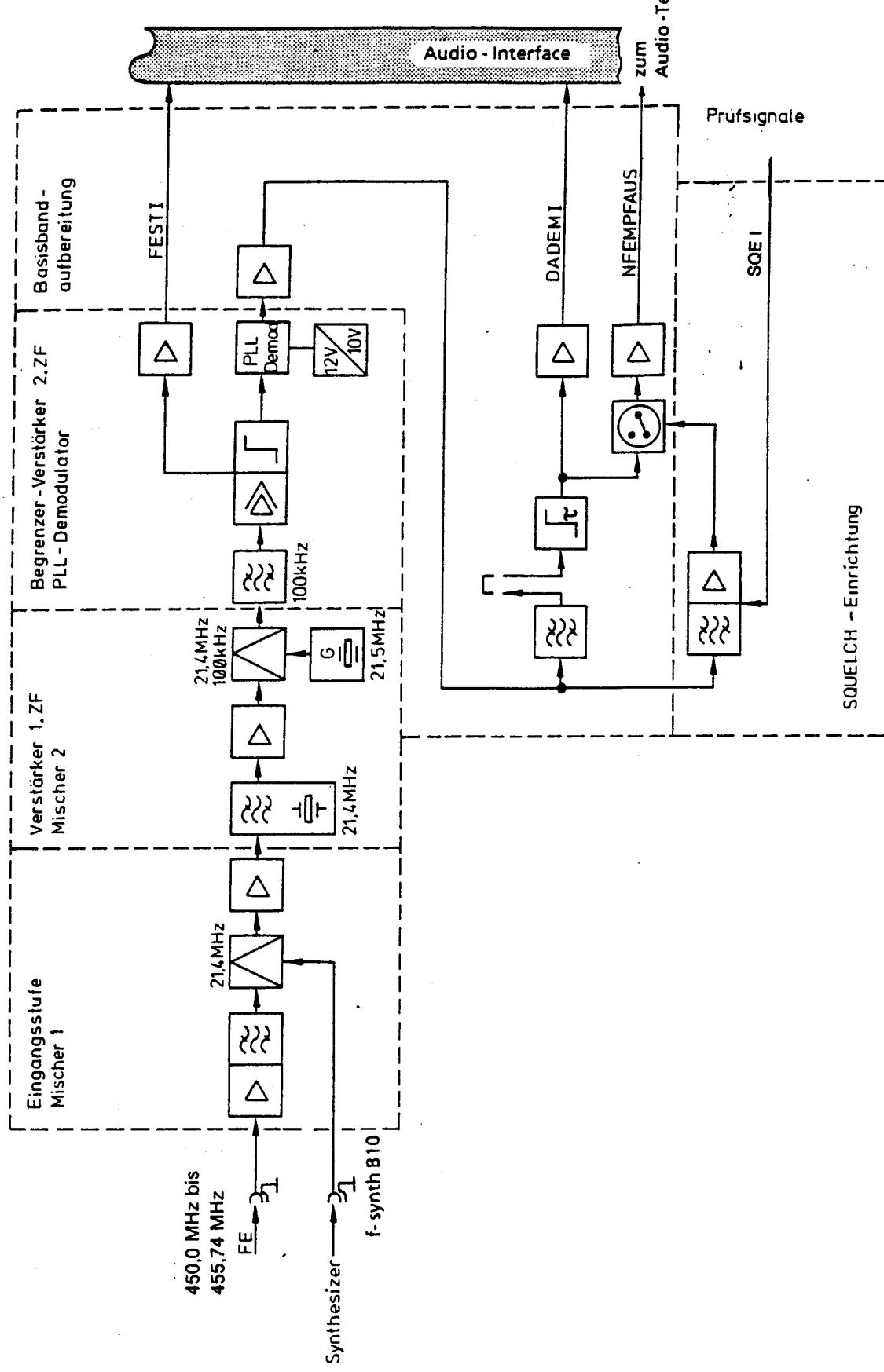


Bild 4 Übersichtsschaltplan Empfänger

### **3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2**

Der Transistor 272 verstärkt die vom Ringmischer 320 gelieferte 1. ZF und leitet sie über eine Anpaßschaltung (Kondensator 139 und Spule 225) zum 8poligen Quarzfilter 300, in dem die Hauptselektion des Empfängers vorgenommen wird.

Der nach der Anpaßschaltung (Kondensator 142 und Spule 226) folgende Schaltungsteil mit dem Transistor 273 verstärkt das vom Quarzfilter 300 kommende 21,4-MHz-Signal und führt es zum Mischер 2 (301).

Das IC 301 wird als selbstschwingender Mischер betrieben; dabei bestimmt der ange schlossene 21,5-MHz-Quarz die Umsetzfrequenz und damit die Umsetzung auf die 2. Zwischenfrequenz von 100 kHz.

### **3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung**

Das am Ausgang von Mischер 2 austretende 100-kHz-Signal (2. Zwischenfrequenz) gelangt über ein 100-kHz-Zweikreis-Bandfilter (Kondensatoren 155, 156, 157 sowie Spulen 229 und 230) zum Begrenzer-Verstärker 302. Dieser leitet es an den Demodulator (IC 304) weiter. Das 100-kHz-Zweikreis-Bandfilter dient sowohl zum Unterdrücken der durch den Mischер 2 erzeugten Umsatzfrequenz als auch zur weiteren Selektion des Empfangssignals.

Das Begrenzer-IC302 erfüllt zwei Aufgaben; es verstärkt und begrenzt das ZF-Signal, sodaß unabhängig vom Eingangspegel des Empfängers ein konstanter Pegel am Pin 11 für den nachfolgenden PLL-Demodulator zur Verfügung steht. Außerdem erzeugt es eine dem Empfangspegel proportionale Spannung (PIN 15), die im Operationsverstärker 303 auf einen Ausgangspegel zwischen 0 V und 2,5 V gebracht wird. Diese Spannung dient zum Messen des HF-Eingangspegels des Empfängers im Bereich von etwa -120 dBm bis etwa -60 dBm.

Das IC304 enthält einen spannungsgesteuerten 100-kHz-Oszillator (VCO), einen Phasenkomparator und ein Loop-Filter, die zusammen als PLL-Demodulator geschaltet sind. Die beim Übertragen von NRZ-Daten (Modulationssignal) notwendige Gleichspannungskopplung bei der Demodulation erfordert eine hohe Konstanz des Oszillators, die durch den Präzisions-IC304 bei der 2. ZF von 100 kHz gewährleistet ist. Am Ausgang des PLL-Demodulators 304 (Pin 10) steht das demodulierte Basisbandsignal zur Verfügung.

### **3.1.5 Basisbandaufbereitung**

Das demodulierte Basisbandsignal wird vom nachfolgenden Operationsverstärker 306 verstärkt. Im Operationsverstärker 306 wird auch die gemeinsame Pegeleinstellung für den Daten- und NF-Ausgang vorgenommen. In einem Besselfilter 3. Ordnung wird das Basisfrequenzband anschließend auf etwa 4 kHz begrenzt und dem Allpaß 308 zugeführt. Dieser Allpaß ermöglicht die Einstellung der erforderlichen Soll-Laufzeit im Empfänger.

Nach dem Allpaß 308 wird eine Verzweigung in Daten- und NF-Weg vorgenommen. Der Operationsverstärker 303 verstärkt das Datensignal (DADEMI) auf einen Pegel von 2 V (Spitze-Spitze) und übergibt es an die Baugruppe Audio-Interface. Das NF-Signal (NFEMPFAUS) gelangt bei durchgeschaltenem Transistor 276 zum Operationsverstärker 307, der es auf 860 mV (Spitze-Spitze) verstärkt. Der Transistor 276 wirkt dabei als Schalter, der mit Hilfe der Steuerschaltung ermöglicht, kurzzeitige Störgeräusche zu unterdrücken (Squelch-Einrichtung).

### **3.1.6 Squelch-Einrichtung**

Die Squelch-Einrichtung (Rauschunterdrückung) besteht aus dem Feldeffekttransistor 276 und einer zugehörigen Steuerschaltung. Die Steuerschaltung besteht aus dem Bandpaß 307 und der nachfolgenden Gleichrichtung (Transistor 282). Damit wird der Rauschanteil oberhalb des Basisbandes bei etwa 12 kHz zum Steuersignal ausgewertet.

Der parallele Widerstand 75 verhindert, daß bei gesperrtem Transistor 276 der NF-Weg völlig abgeschaltet wird.

Durch die Squelch-Einrichtung wird eine Verbesserung der Sprachverständlichkeit erreicht. Kurzzeitige Störgeräusche, verursacht durch Feldstärkeeinbrüche oder Zündfunkenstörungen, werden "gedämpft", wobei die Verbindung noch als bestehend erkennbar bleibt.

Über den Eingang SQEI läßt sich die Squelch-Einrichtung ein- oder ausschalten.

## **3.2 Synthesizer S42024-H168....**

Der Synthesizer (siehe Bild 5) erzeugt im Sprechkanal die Umsetzfrequenz für Modulator und Empfänger.

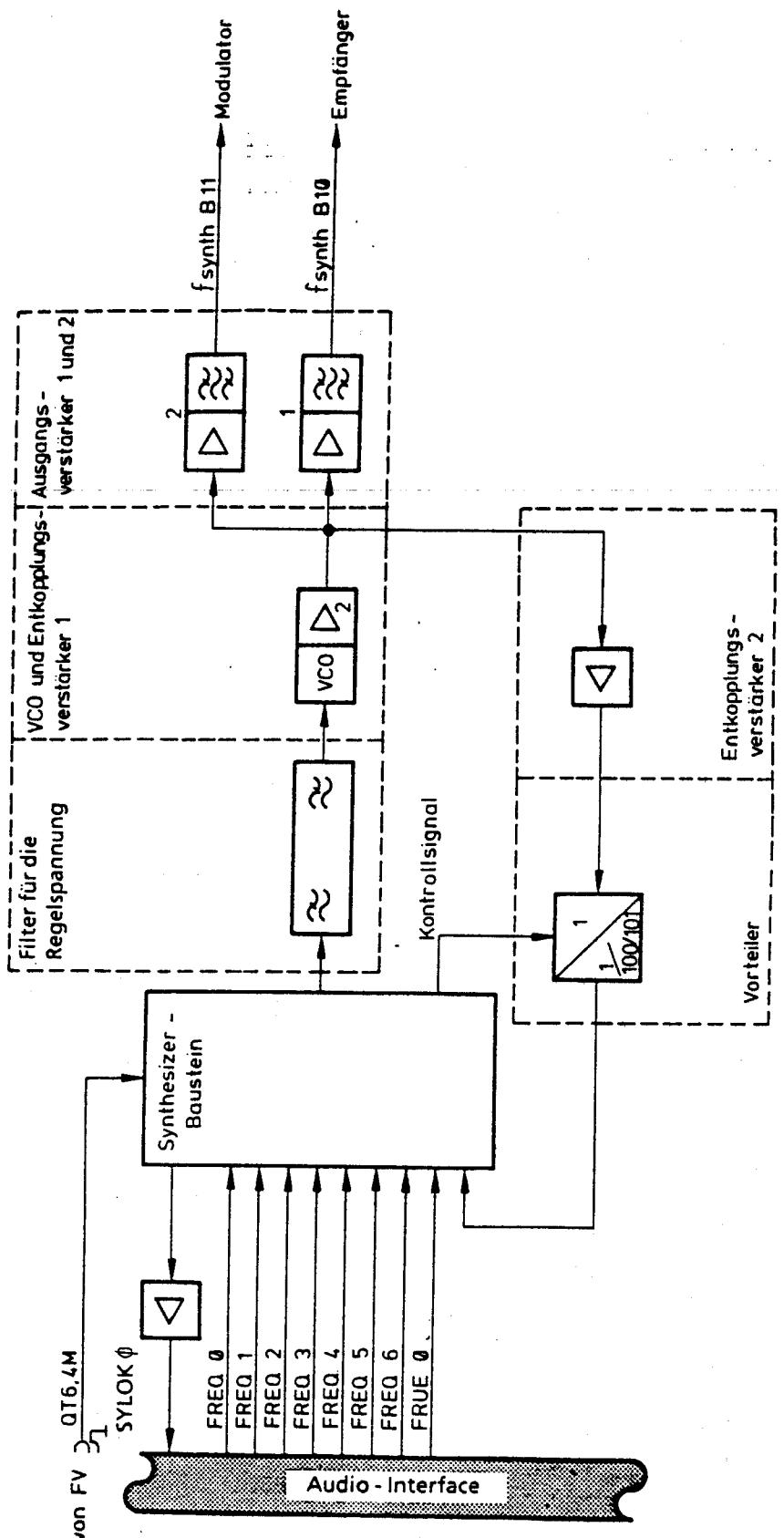


Bild 5 Übersichtsschaltplan Synthesizer

Die Frequenz des Synthesizers ist durch ein 8-bit-Wort in Schritten von 10 kHz oder 12,5 kHz im Frequenzbereich von 428,6 MHz bis 434,34 MHz einstellbar. Der Signalpegel für das 8-bit-Wort beträgt +5 V. Nach Einstellung der gewünschten Frequenz geht das Signal - SYLOK0 auf "1".

Der Synthesizer benötigt die externe Zuführung der Referenzfrequenz von 6,4 MHz.

### 3.2.1 Prinzip Synthesizer

Bild 6 zeigt in vereinfachter Darstellung die indirekte Frequenzsynthese, wie sie im Synthesizer verwendet wird.

Der Frequenzteiler T2 dient zum Einstellen des Kanalrasters (10/12,5 kHz).

Die Ausgangsfrequenz  $F_k$  stellt die Referenz für die Phasenbrücke ( $\Phi$ ) dar.

Der VCO ist ein spannungsgesteuerter Oszillatior, der die Frequenzen von 428,6 MHz bis 434,34 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß  $n \times F_k$  die gewünschte Frequenz  $F_{syn}$  ergibt. Am Ausgang der Phasenbrücke entsteht die Gleichspannung X, die proportional der Phase von  $F_k / (F_{syn}/n)$  ist. Die Oberwellen der Frequenz  $F_k$  werden mit dem Filter Phi unterdrückt.

Die Gleichspannung X dient als Steuersignal für den Oszillatior und steuert diesen solange nach, bis  $F_k$  und  $(F_{syn}/n)$  gleich sind.

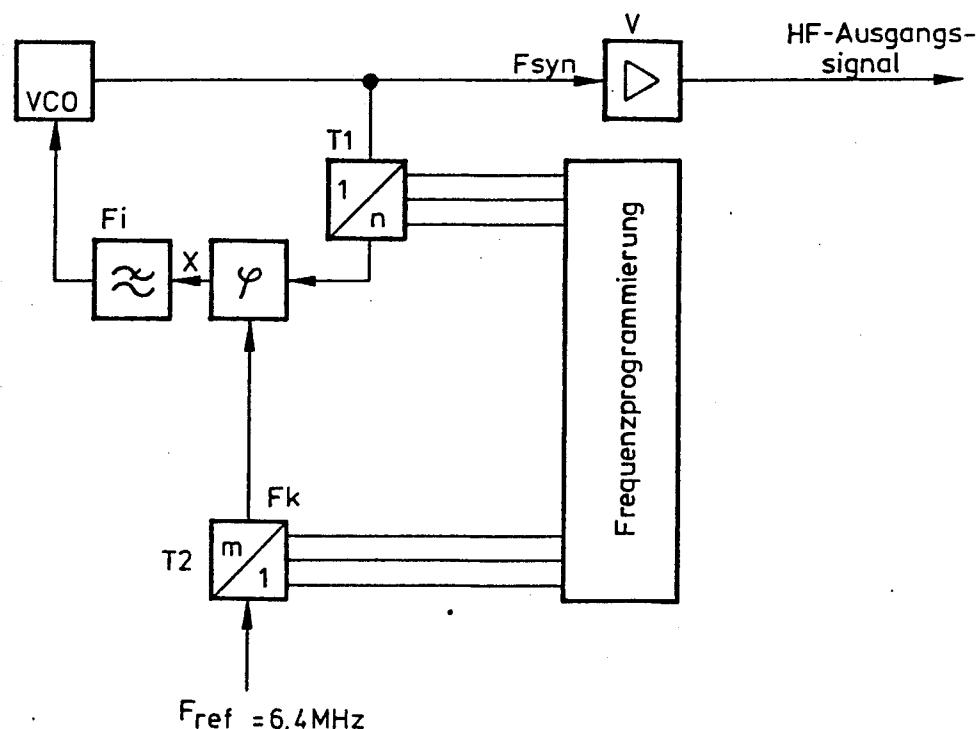


Bild 6 Prinzip Synthesizer

### **3.2.2 Synthesizer-Baustein und Verteiler**

In den Synthesizer-Baustein (Bild 7) integriert sind die Frequenzteiler für die Referenz (12-bit-R-Teiler) und ein Teil der Frequenzteiler, die die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz oder 12,5 kHz teilen. Außerdem sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrolllogik zur Steuerung eines externen Verteilers und eine Programmierlogik enthalten.

Der 7-bit-A-Teiler, der 10-bit-N-Teiler, die beiden externen Bausteine 552, 553 sowie die Kontrolllogik bilden den vollständigen Frequenzteiler für das HF-Ausgangssignal ( $f_{\text{synth}}$  B10). Die Bausteine 552, 553 bilden einen 100/101-Verteiler, der mit dem Kontrollsiegel definiert umgeschaltet wird.

Die Frequenzprogrammierung (Signale  $\text{FREQ}0$  bis 6 von der Baugruppe Audio-Interface) geschieht an den Eingängen D0 bis D3, A0 bis A2 und St (Signal  $\text{FRUE}0$ ). Die Adresseneingänge A0 bis A2 wählen die Speicher (S0 bis S7) aus, die die Daten von D0 bis D3 empfangen sollen. Mit dem Signal  $\text{FRUE}I0$  wird am Eingang St der Übernahmzeitpunkt bestimmt.

Zur Gewinnung der Steuerspannung für den Oszillator stehen zwei Phasendetektoren (A, B) zur Verfügung, von denen der Phasendetektor A verwendet wird. Die Ausgangsspannung des Phasendetektors dient zum Ansteuern des Oszillators.

Die Widerstände 22, 28, 29, 30 und die Kondensatoren 203, 208, 229 und 230 bilden vier in Serie geschaltete Tiefpässe. Die Widerstände 24, 26 und der Kondensator 205 dienen zur Stabilisierung des Regelkreises (Lag-Glieder). Die Tiefpässe unterdrücken die Referenzfrequenz und deren Oberwellen.

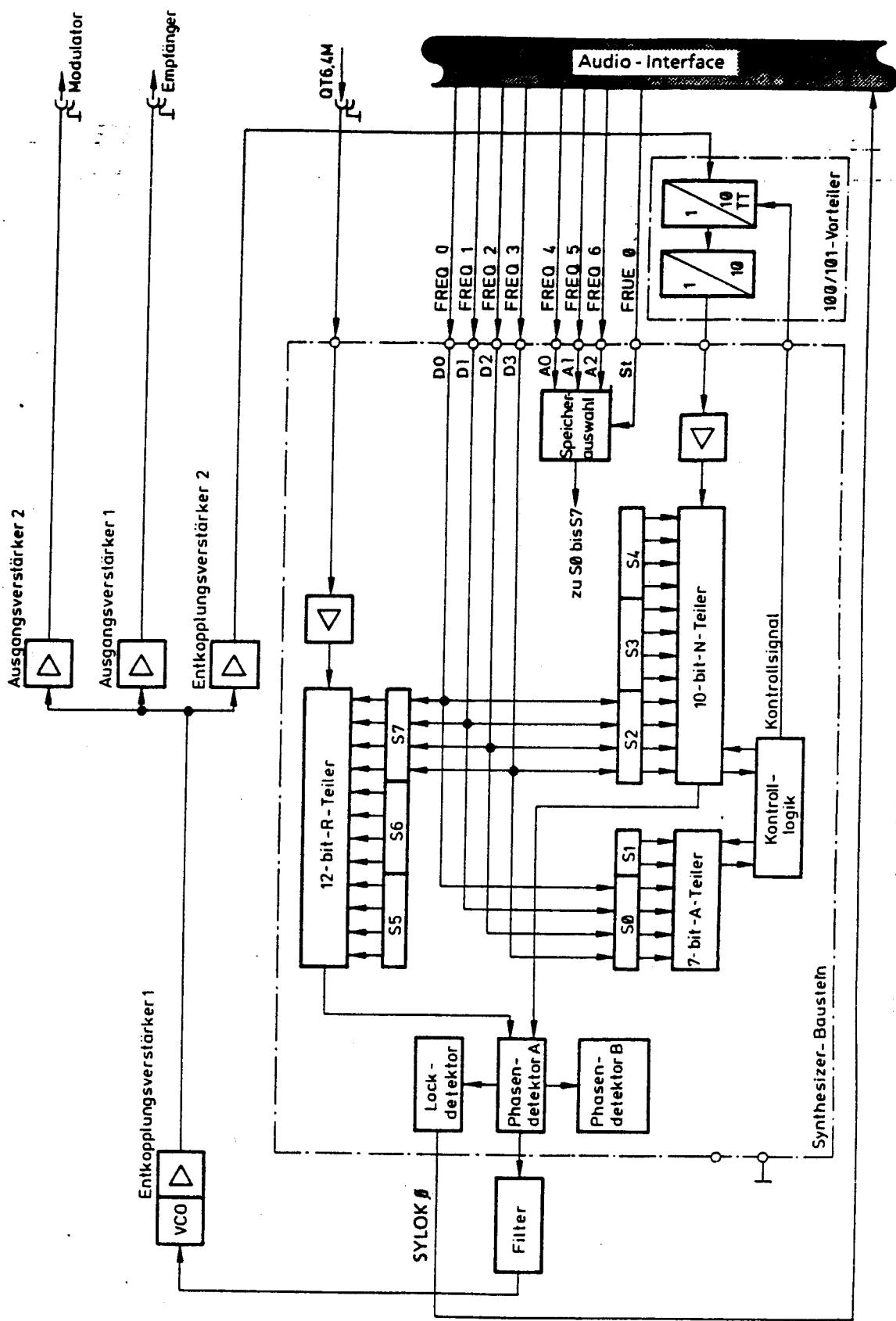


Bild 7 Übersichtsschaltplan Synthesizer-Baustein

### **3.2.3 Oszillator (VCO) und Entkopplungsverstärker 1**

Der spannungsgesteuerte Oszillator (VCO) besteht im wesentlichen aus dem Feldeffekttransistor 507 sowie dem Rückkoppelnetzwerk 235, 236. Die Schwingkreisspule besteht aus einem 20 mm langen Kupferdraht auf den Stützpunkten A, B, C.

Mit den beiden Kapazitätsdioden 472 und 473, die über die Kondensatoren 231, 232, an den Schwingkreis angekoppelt sind, lässt sich der Oszillator in seiner Frequenz verändern. Um Rückwirkungen vom Ausgang und von den Frequenzteilern möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker (Transistoren 508, 509) erforderlich.

Das Dämpfungsglied (Widerständen 63, 64 und 65) dient zum Erhöhen der Entkopplung und zum Anpassen der Ausgangsleistung. Um die Störmodulation, bedingt z.B. durch mechanische Erschütterung, klein zu halten, befinden sich der VCO und beide Stufen in einem fest umschlossenen Gehäuse.

### **3.2.4 Entkopplungsverstärker 2**

Der hochfrequente Teiler 553 wird vom Verstärker mit dem Transistor 505 angesteuert. Der Verstärker ist beidseitig mit einem Dämpfungsglied abgeschlossen, um den Pegel am Teiler 553 anzupassen. Der Entkopplungsverstärker 2 hält Nebenwellen, die im Frequenzteiler entstehen, vom Oszillator fern.

### **3.2.5 Ausgangsverstärker 1 und 2**

Der Ausgangsverstärker 1 besteht aus den Transistoren 513 und 517.

Die Verstärkung beträgt etwa 14 dB, die Ausgangsleistung liegt zwischen 50 mW und 100 mW. Die Transistoren 511 und 515 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Um eine Amplitudenmodulation der Endstufe (517) durch überlagerte Störspannungen auf der +10-V-Versorgungsspannung zu verhindern, ist eine einfache Spannungsregelung mit dem Transistor 519 und der Zenerdiode 483 erforderlich. Das Helical-Filter 375 mit Bandfiltercharakteristik unterdrückt Nebenwellen, die in den Frequenzteilern entstehen.

Der Ausgangsverstärker 2 besteht aus dem Transistor 523. Die Ausgangsleistung des Verstärkers liegt zwischen 15 mW und 40 mW. Der Transistor 521 dient zur Arbeitspunktregelung der Verstärkerstufe. Die Zenerdiode 485 unterdrückt Störspannungen, die der +10-V-Versorgungsspannung überlagert sind. Das Helical-Filter 381 erfüllt die gleiche Funktion, wie für Ausgangsverstärker 1 beschrieben.

### **3.2.6 Spannungsregelung +10 V/+8 V**

Für besonders empfindliche Schaltungen und Bauelemente des Synthesizers sind die von der Gestell-Stromversorgung gelieferten Spannungen zusätzlich stabilisiert. Zu den empfindlichen Schaltungen gehören der Oszillator und die Entkopplungsverstärker mit den Transistoren 505, 508 und 509. Die Stabilisierungsschaltung ist mit dem IC554 und dem Transistor 530 aufgebaut.

Der Transistor ist notwendig, um einen möglichst geringen Spannungsabfall an der Stabilisierungsschaltung zu erhalten.

### **3.3 Modulator S42024-H167-....**

Der Modulator (siehe Bild 8) im Funkmodem erzeugt ein frequenzmoduliertes HF-Signal zum Ansteuern der Sendeendstufe.

Das zugeführte Modulationssignal ist ein Sprach- bzw. Wechselstromtelegraphiesignal und ein Datensignal (Signalisierungsdaten).

Das Sprach- bzw. Wechselstrom-Telegraphiesignal wird auf der Baugruppe Audio-Teil zeitkomprimiert. In die hierdurch entstehenden Zeitschlitzte werden auf der Modulatorbaugruppe die Signalisierungsdaten (NRZ-Daten) eingefügt, die zur Verbindungsüberwachung zwischen Basisstation und Teilnehmer benötigt werden.

Der Modulator ist im wesentlichen ein phasengeregelter, modulierbarer Quarzoszillator (VCO), dessen Mittenfrequenz 31,4 MHz beträgt. Um eine Frequenzdrift des Oszillators zu vermeiden, wird er mittels einer Phasenregelschleife an die system-eigene Referenzfrequenz von 6,4 MHz angebunden.

Die Phasenregelschleife besteht aus Phasenvergleicher, steuerbaren Verteilern, Frequenzverdopplerschaltung, Verteiler für Referenzfrequenz, aktivem Tiefpaßfilter zur Umwandlung des digitalen Regelsignales in analoge Regelspannung und Überwachungssignalerzeugung bei gerasteter Phasenregelschleife (Signal MODLOK). Für die Modulationssignale ist eine Betriebsartenumschaltung notwendig. Hierzu dienen die Signale SIDATI, SITMOI und DATSE von der Funkkanalsteuerung. Diese Ansteuersignale werden auf der Modulatorbaugruppe decodiert. Die Umschaltung der Modulationssignale wird von integrierten Analogschaltern vorgenommen.

Bei Datenbetrieb steuert das Modulationssignal einen Verteiler der Phasenregelschleife. Durch diese Maßnahme wird vermieden, daß modulationsbedingte Frequenzänderungen des Oszillators durch die Phasenregelschleife ausgeregelt werden.

Die 31,4-MHz-Zwischenfrequenz wird im Mischer 1 auf die Sendefrequenz (460,0 MHz bis 465,74 MHz) umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz für den Mischer. Ein zweistufiger Verstärker erzeugt den erforderlichen HF-Ausgangspegel.

### Betriebsartenumschaltung

Am Eingang NFSPTRDA des Modulators können folgende Nutzsignale anstehen:

- Komprimierte Sprache
- Komprimierte Wechselstromtelegraphie.

Am Eingang DAS des Modulators können folgende Nutzsignale anstehen:

- Signalisierungsdaten (NRZ), 4-bit-Datenblock alle 12,5 ms bei verteilter Signalisierung.
- Signalisierungsdaten (NRZ), konzentriertes Datensignal 5,28 kBaud.

Bei Betrieb im Sprechkanal wird der Datenblock dem auf der Baugruppe Audio-Teil komprimierten Modulationssignal zum Zeitpunkt des Komprimierungsschlitzes zugeschaltet (Bild 9).

Aus der nachfolgenden Tabelle sind Betriebsarten, Zustand der Steuereingänge und der Signalweg des Modulationssignals zu ersehen.

Tabelle Steuerung des Modulationssignals

Betriebsart	Zustand der Steuereingänge			Signalweg (siehe Bild 8)
	SIDATI	SITMOI	DATSE	
komprimierte Sprache bzw. WT	-	0	0	Vom Eingang NFSPTRDA über Schalter S3 und S4.
Signalisierungsdaten	0	1	0	Vom Eingang DAS über Schalter S1, Inverter, Schalter S2, Schalter S4. Über Schalter S5 wird der Verteiler gesteuert.
Modulation AUS	-	-	1	Schalter S4 trennt alle Signalwege auf. Modulator schaltet auf Mittenfrequenz.

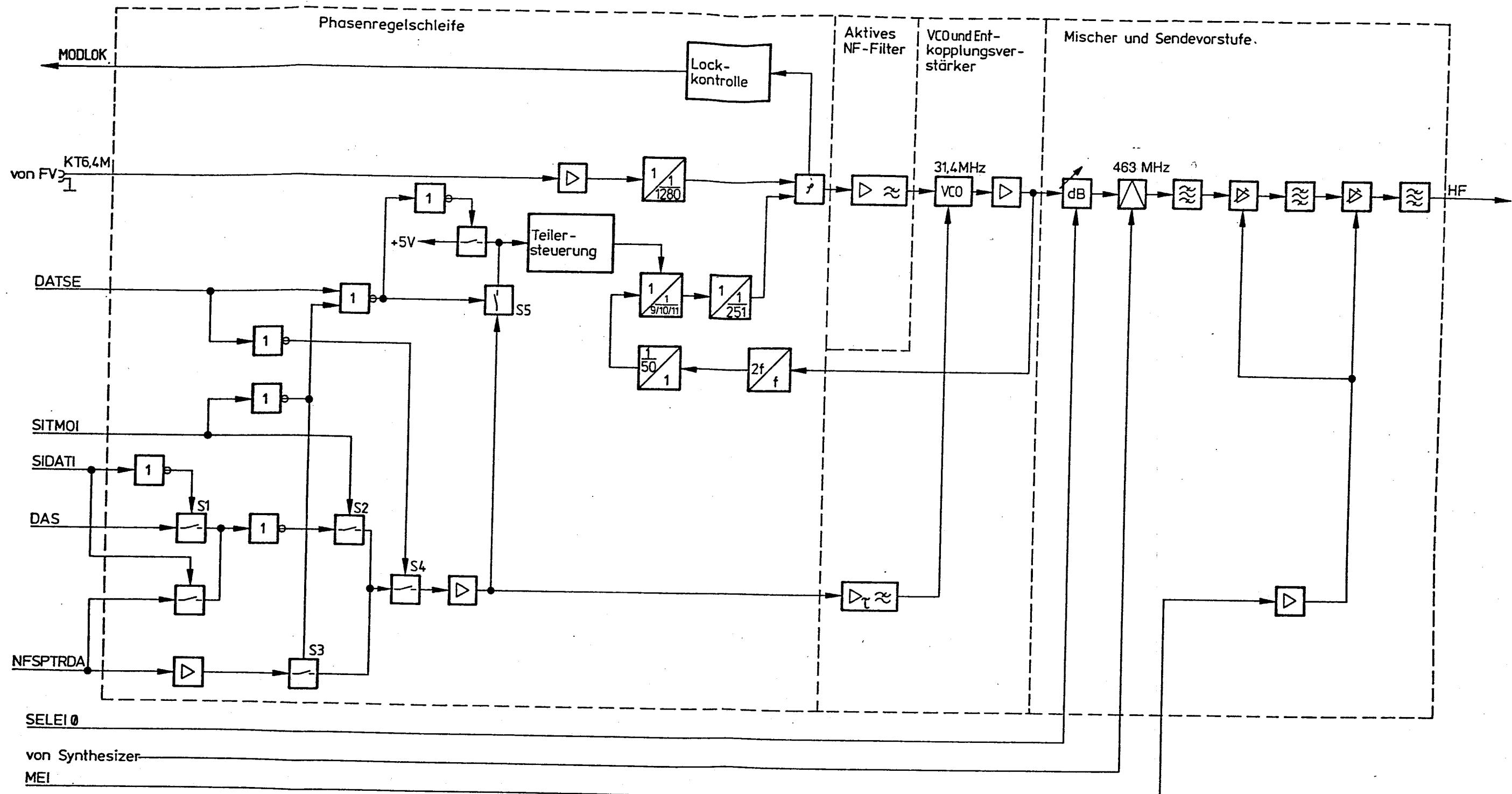


Bild 8 Übersichtsschaltplan Modulator



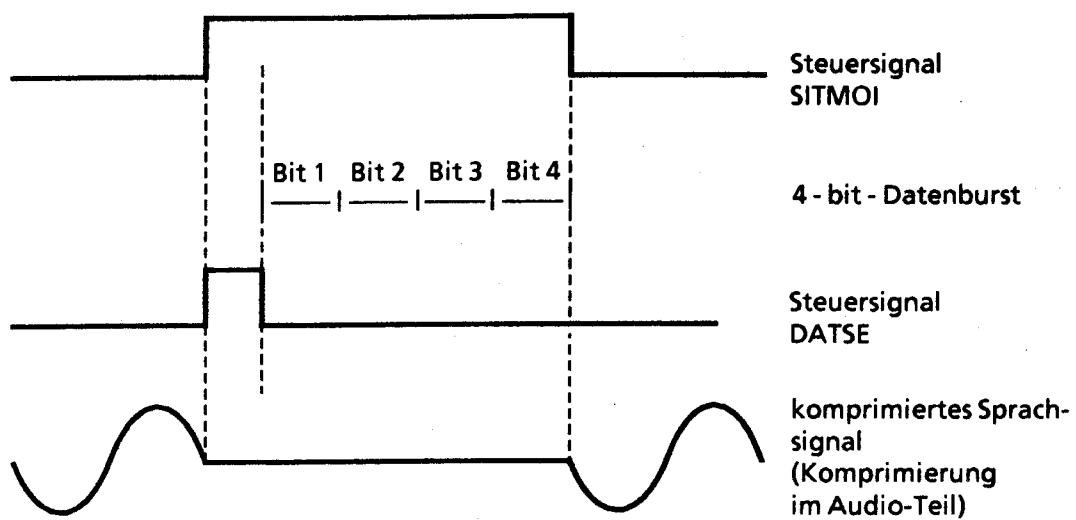


Bild 9 Zuschalten des Datenblocks

### 3.3.1 Aktives NF-Filter

Das aktive NF-Filter besteht aus den Bausteinen 231, 232, den Widerständen 25 bis 33 und den Kondensatoren 111 bis 121. Das Filter ist laufzeitgeebnet (Besselcharakteristik), es hat die Aufgabe die Frequenz der ankommenden Modulationssignale zu begrenzen. Das Datensignal und das im Audio-Teil amplitudenbegrenzte Sprachsignal würden ohne Frequenzbegrenzung eine unzulässig große Störung im Nachbarkanal hervorrufen.

Die Gruppenlaufzeit des Filters läßt sich mit Widerstand 26 abgleichen. Für die Entfernungsmessung zwischen Mobil- und Teststation ist es wichtig, daß die Gruppenlaufzeit des Filters und damit die des Modulators konstant bleibt.

### 3.3.2 Oszillator (VCO) und Entkopplungsverstärker

Der spannungsgesteuerte Oszillator (VCO) besteht aus dem Feldeffekttransistor 212, dem Quarz 252 und den Rückkopplungskondensatoren 128, 129. Über die Spulen 181, 182 und den Koppelkondensator 122 ist die Kapazitätsdiode 202 angekoppelt.

Am Ausgang des aktiven NF-Filters (IC 232, Pin 7) steht das Modulationssignal (Sprache/WT oder Daten) für die Frequenzmodulation des Oszillators zur Verfügung.

Die am Ausgang der Phasenregelschleife (IC 240, Pin 6) anliegende Regelspannung gelangt über die Kapazitätsdiode 203 und den Koppelkondensator 123 zum Oszillatoren. Die Spannung regelt die Phase des 31,4-MHz-ZF-Signals.

Um Rückwirkungen vom Ausgang des Modulators auf den Oszillator möglichst gering zu halten, ist der Entkopplungsverstärker (Transistor 213) nötig. Der Ausgangspegel des Oszillators mit Entkopplungsverstärker ist mit Widerstand 94 einstellbar.

Temperaturbedingte Änderungen des Pegels werden mit dem Heißleiter 311 ausgeglichen.

### 3.3.3 Modulationsgesteuerte Phasenregelschleife

Der Oszillator (VCO) wird mittels einer Phasenregelschleife, die ihre Referenzfrequenz (6,4 MHz) vom Frequenzverteiler erhält, geregelt.

Die Phasenregelschleife besteht aus einem einstellbaren Verteiler (IC 239), einem digitalen Frequenzaufbereitungsbaustein (IC 238) und einem aktiven Tiefpaß (IC 240) zum Erzeugen der analogen Regelspannung für den VCO.

Die Phasenregelschleife regelt langsame Frequenzänderungen aus, die durch Temperaturschwankungen und Alterung des VCO auftreten.

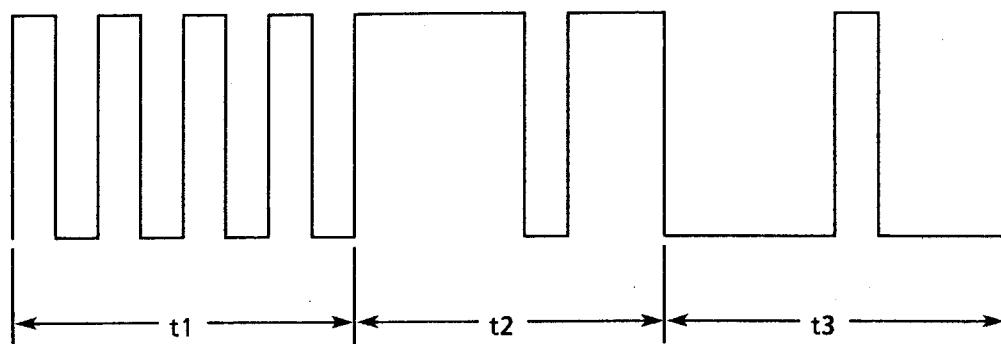


Bild 10 Modulation des 31,4-MHz-Oszillators (Beispiel)

Wird das dargestellte Signal (Bild 10) auf die Modulationsdiode gegeben, ergibt sich während

- t1: Symmetrischer Wechsel der Oszillatorkreisfrequenz um die Mittenfrequenz von 31,4 MHz ( $31,4 \text{ MHz} \pm 2,5 \text{ kHz}$ ).
- t2: Die Oszillatorkreisfrequenz nimmt häufiger den Wert  $31,4 \text{ MHz} + 2,5 \text{ kHz}$  an.
- t3: Die Oszillatorkreisfrequenz nimmt häufiger den Wert  $31,4 \text{ MHz} - 2,5 \text{ kHz}$  an.

Unter der Voraussetzung, daß  $t_2$  und  $t_3$  größer sind als die Einschwingzeit der Phasenregelschleife, wird die Nutzmodulation durch die Phasenregelschleife ausgeregelt. Dies wird durch eine Steuerlogik (Bausteine 227, 230 und 234 bis 236) vermieden, die in Abhängigkeit vom Modulationssignal die programmierbaren Teiler der Phasenregelschleife so umschaltet, daß das Modulationssignal nicht mehr beeinflußt wird.

Die steuerbaren Verteiler IC239 und Hauptteiler IC237 der Phasenregelschleife arbeiten nach dem Swallow-Teiler Prinzip. Für das störungsfreie Arbeiten der modulationsgesteuerten Umschaltung der Zähler ergibt sich die Forderung, daß die Vergleichsfrequenz am Phasenvergleicher (in IC 238) höher ist als die höchste Bitfrequenz des Datensignals. Im Modulator beträgt die Vergleichsfrequenz 5 kHz (höchste Bitfrequenz = 2,64 kHz). Da die Vergleichsfrequenz den Frequenzhub bei Datenmodulation bestimmt und dieser  $\pm 2,5$  kHz betragen soll, ist zwischen dem Ausgang der Oszillatorstufe und dem Eingang des Verteilers (IC 239) eine Frequenzverdopplerstufe geschaltet und damit die o.g. Bedingung erfüllt.

Der Frequenzverdoppler arbeitet nach dem Prinzip der Doppelweggleichrichtung. Wesentliche Bauteile sind der Balun-Trafo 198 zum Erzeugen eines symmetrischen 31,4-MHz-Signals und die Dioden 206, 207 zur Gleichrichtung. Am Summationspunkt der Dioden entsteht das 62,8-MHz-Signal.

### 3.3.4 Mischer und Sendevorstufe

Das frequenzmodulierte 31,4-MHz-Signal wird im Hochleistungs-Ringmischer 233 auf die Sendefrequenz umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz mit einem Pegel von etwa 17 dBm. Der Mischer 233 wird mit hohem Eingangspegel betrieben (+ 8 dBm); dies wirkt sich günstig auf das Weitabrauschen (5-MHz-Trägerabstand) aus. Darauf folgt die Sendevorstufe mit den Transistoren 215, 218; die Ausgangsleistung beträgt + 13 dBm. Die Transistoren 214, 217 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Die Helical-Filter 246, 247 und 248 unterdrücken unerwünschte Nebenwellen.

Der Ausgangspegel läßt sich mit einem Steuersignal (MEI) aus der Funkkanalsteuerung um etwa 65 dB absenken. Die Pegelabsenkung wird mit zwei Schaltungen bewirkt. Mit dem Schalttransistor 216 wird der Arbeitspunkt der zwei Verstärkerstufen so verschoben, daß die Transistoren gesperrt sind. Zusätzlich bilden die Transistoren 222, 223 und die Dioden 208, 209 ein schaltbares Dämpfungsglied.

### **3.4 Audio-Teil S42024-H381-...**

Das Audio-Teil (Bild 11) hat in den Sprechkanälen der Basisstation folgende Aufgaben :

- Die von der Drahtseite kommenden Nutzsignale (Sprache, Wechselstromtelegraphie) für den Sendezweig der Basisstation aufzubereiten.
- Die vom Empfänger kommenden Nutzsignale (Sprache, Wechselstromtelegraphie) für die Drahtseite aufzubereiten.
- Die von der Steuerung bestimmten Betriebsarten durch Umschalten auf unterschiedliche Signalwege zu realisieren.

Die Signalaufbereitung besteht im wesentlichen aus folgenden Teilen:

#### **Sprache und Wechselstromtelegraphie**

Amplituden-Frequenzgangkorrektur durch Pre- und Deemphasis bei "Sprache klar".

Dynamik-Komprimierung und -Expandierung: dabei handelt es sich um eine Dynamikkompression des Sendesignals von 2 zu 1 (z.B. von 60 dB auf 30 dB) und eine Dynamikexpansion des Empfangssignals von 1 zu 2 (z.B. von 30 dB auf 60 dB); für Meßzwecke über DYNKOMP (siehe Diagnosestecker der CPU) abschaltbar.

Sendeseitige Signalamplitudenbegrenzung, um den Modulationsspitzenhub von  $\pm 4$  kHz nicht zu überschreiten.

Verschleierter oder klarer Sprachbetrieb, durch Zu- bzw. Abschalten einer Invertierungs- bzw. einer Reinvertierungsschaltung. Dabei handelt es sich um die Spiegelung des Sprachbandes von 300 Hz bis 3 kHz an einem Hilfsträger von 3,3 kHz (Signal S1S bzw. S2S und S1E bzw. S2E in folgender Tabelle).

Zeitkomprimierung auf der Sendeseite, um einen Zeitschlitz zu erzeugen, in den im Modulator Signalisierungsdaten eingefügt werden. Zeitexpandierung auf der Empfangsseite zum Beseitigen des vorher beschriebenen Zeitschlitzes. Diese Maßnahme ermöglicht Signalisierungsdaten (NRZ), die zur Verbindungsüberwachung notwendig sind, ohne zusätzlichen Schaltungsaufwand (Umformer, Hilfsträger) zu übertragen.

#### **Spezielle Betriebsarten**

##### **Continuity Check**

Zum Überprüfen der Verbindung MSC-Sprechkanal.

NF-Schleifentest (NF-Schleife) für Testzwecke, in Verbindung mit dem Prüffunkgerät.  
Sprach- bzw. WT-Test

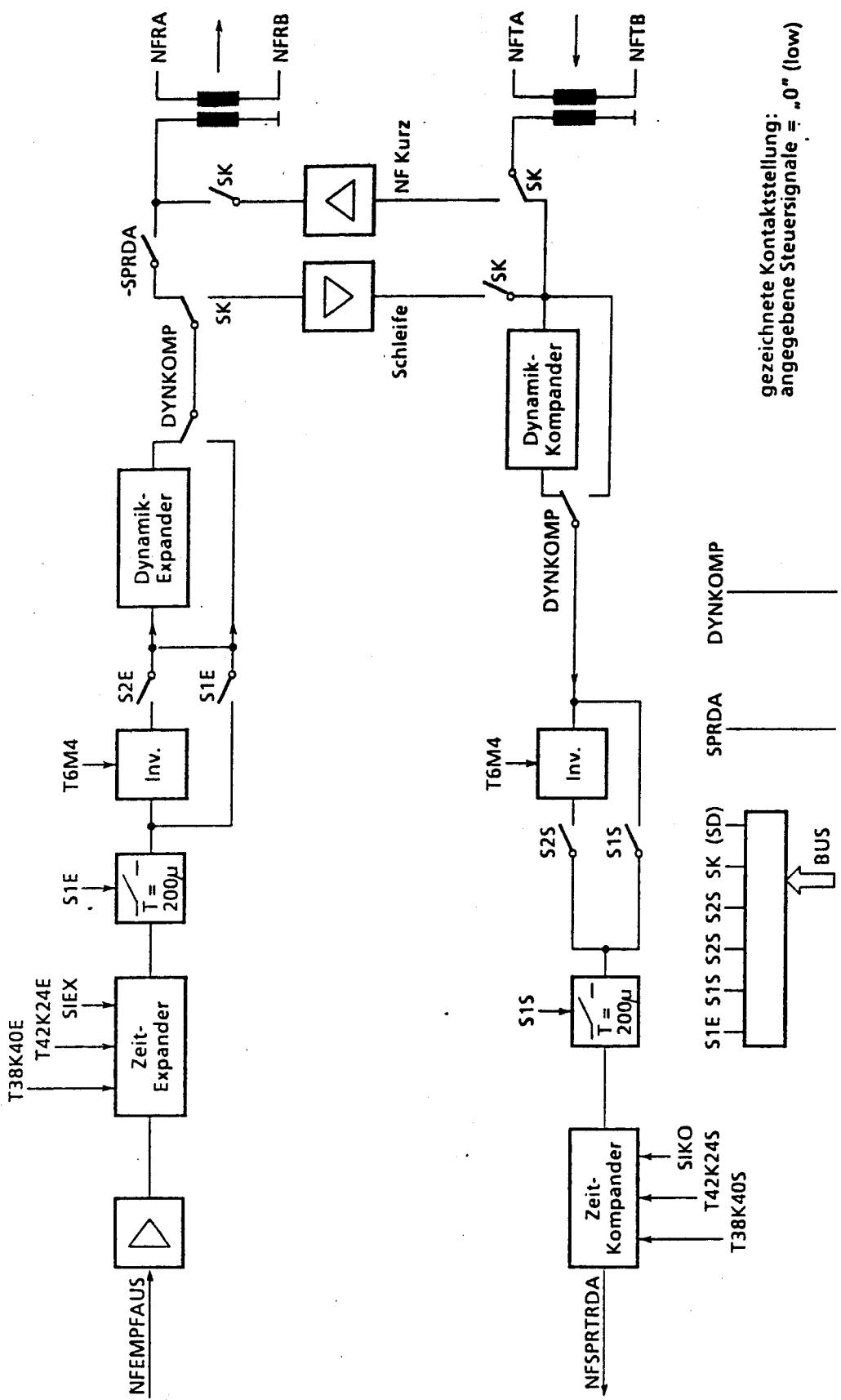


Bild 11 Übersichtsschaltplan Audio-Teil

Beide Betriebsarten werden mit dem Signal SK (siehe folgende Tabelle) gleichzeitig realisiert.

### Referenzfrequenz 6,4 MHz (Koaxialeingang)

Die Referenzfrequenz wird auf der Baugruppe Audio-Teil verstärkt und dem integrierten Filter- und Invertierungsbausteinen als Taktfrequenz zugeführt. Außerdem wird die Referenzfrequenz über ein Anpaßglied den Steuerungsbaugruppen zugeführt.

### Betriebsarten (BART 0-5)

Die Betriebsarten werden mittels Schreibbefehl -WRX0 per Programm (Adresse FFX0) in ein Latch geschrieben: Belegung der Bits: BART 0-5 auf Bit 0-5, Bit 6 und 7 unbenutzt. Über Pegelumsetzer gelangen die Signale, sowohl normal als auch invertiert, zu den einzelnen Schaltern, siehe folgende Tabelle.

	Befehle aus der Steuerung				
Bezeichnung der Steuereingänge	BART0 (S1S)	BART2 (S2S)	BART3 (SK)	BART4 (S1E)	BART5 (S2E)
Sprache klar Senden Empfangen	H L	L L	L L	L H	L L
Sprache invertiert Senden Empfangen	L L	H L	L L	L L	L H
Continuity Check	L	L	H	L	L
NF-Schleifentest					
Continuity Check und Sprache klar	H	L	H	H	H
Continuity check und Sprache invertiert	L	H	H	L	H

Signal BART 1 = L

## **4 Funkkanalsteuerung**

### **4.1 CPU S42025-H418-\*1 + Software S42025-H432-A150**

Die CPU-Baugruppe (Bild 12) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuerung des Datendialoges über serielle Schnittstelle zur FDS und die Funk-schnittstelle (Datensicherungsverfahren).
- Verarbeitung der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungs bewertung).
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Sendeleistung, Offsetkorrektur).
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich
  - EPROM: Grundbereich 16k, zwei Bänke à 32k
  - RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- zwei VLSI-Bausteine mit den Funktionen:
  - Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät.
  - Erkennen des Zeitbezugs aus den empfangenen Signalisierungsdaten (Korrelationsempfänger).
  - Aufbereiten der Signalisierungsdaten (Codieren) zum gesicherten Aussenden.
  - Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren).

**Ermitteln der Signalgüte der empfangenen Signalisierungsdaten.**

**Messen des Geräuschabstandes (Jittermesser).**

**Messen der Gleichspannungsablage des Analogsignals und Ausgabe des Offsetkorrekturwertes.**

**Entfernungsmessung**

**Fehlerüberwachung**

**fehlendes Setzsignal**

**Fehler Sendeteilerkette**

**Synchronlauf Sende- und Empfangsbaustein**

**Watchdog.**

**Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit dem ICE).**

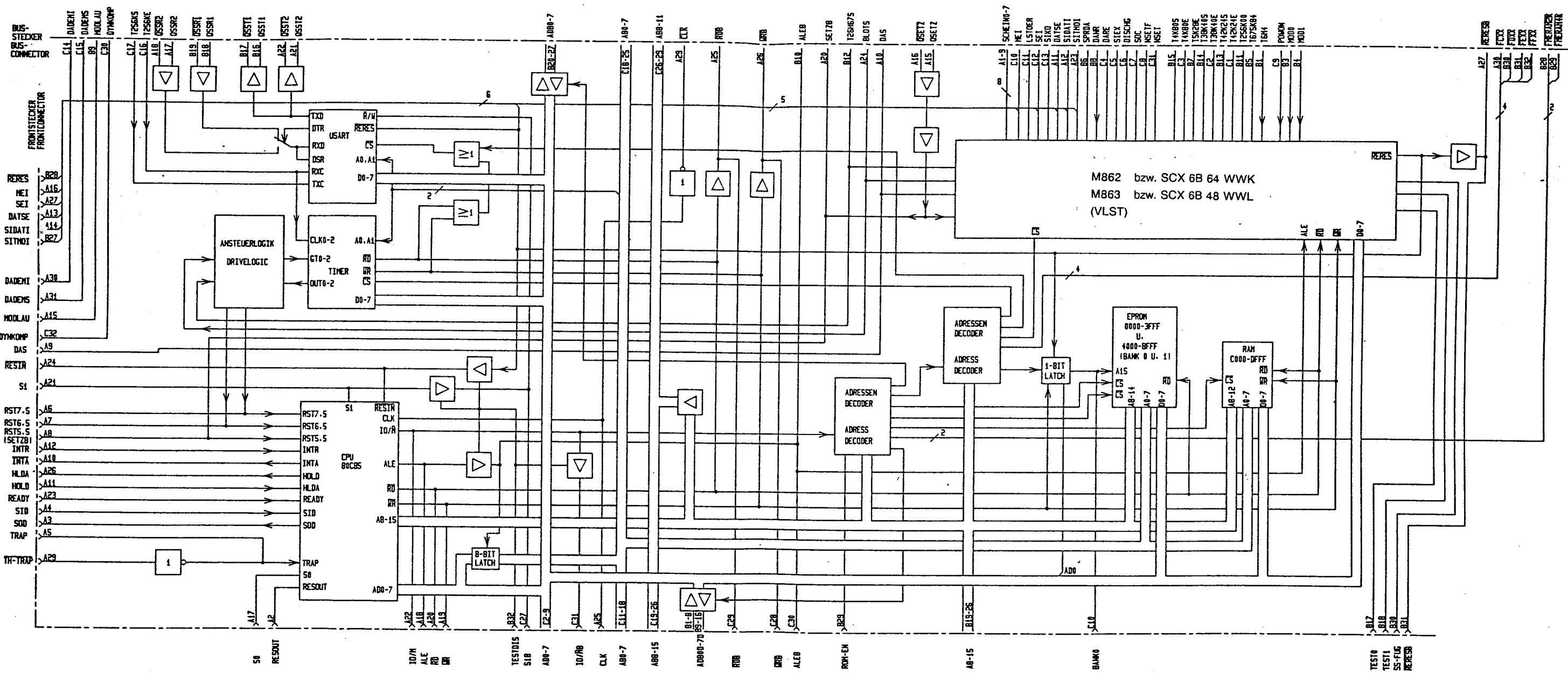


Bild 12 Übersichtsschaltplan CPU



#### 4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 13 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.

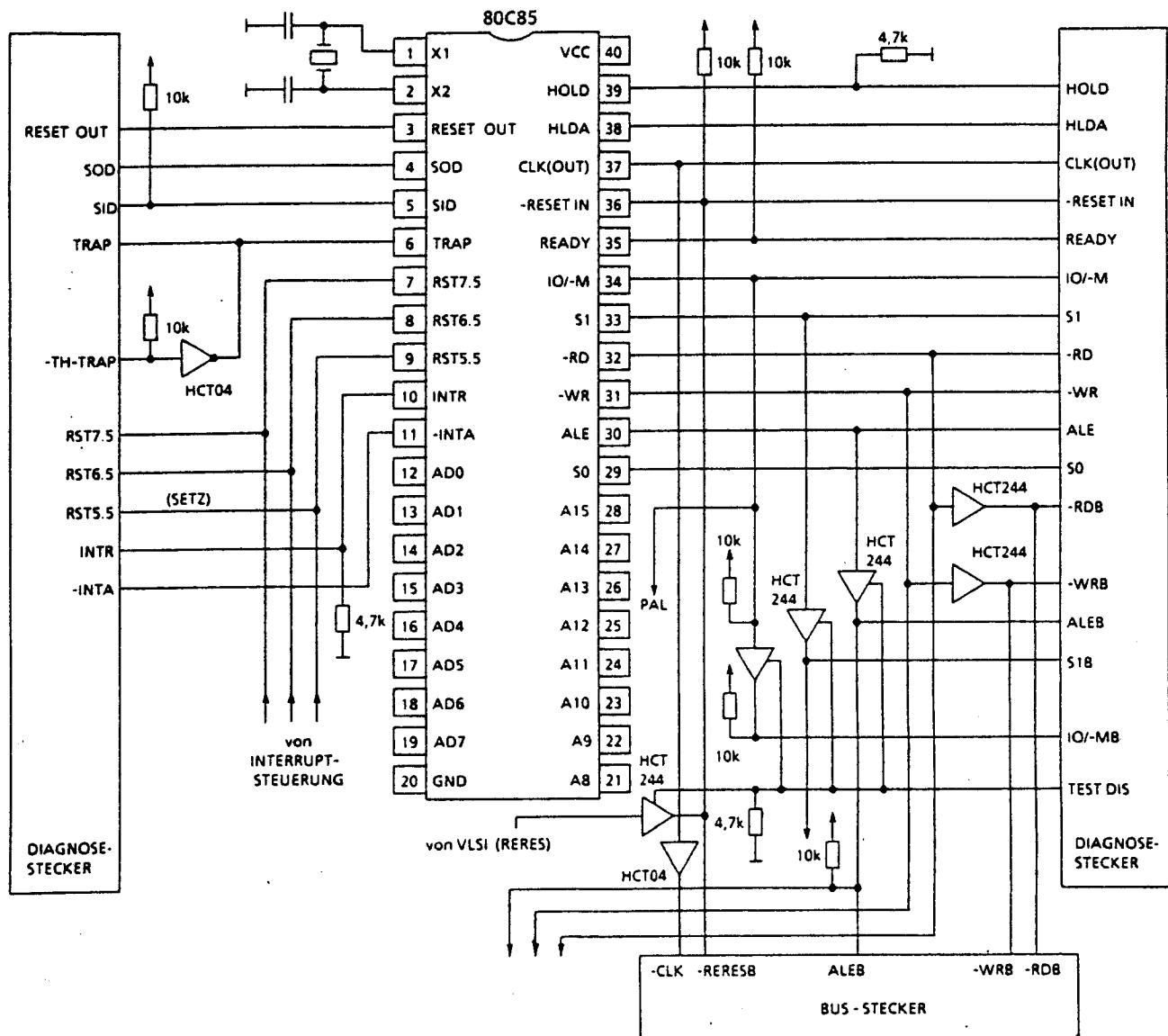


Bild 13 "80C85"- Steuersignale

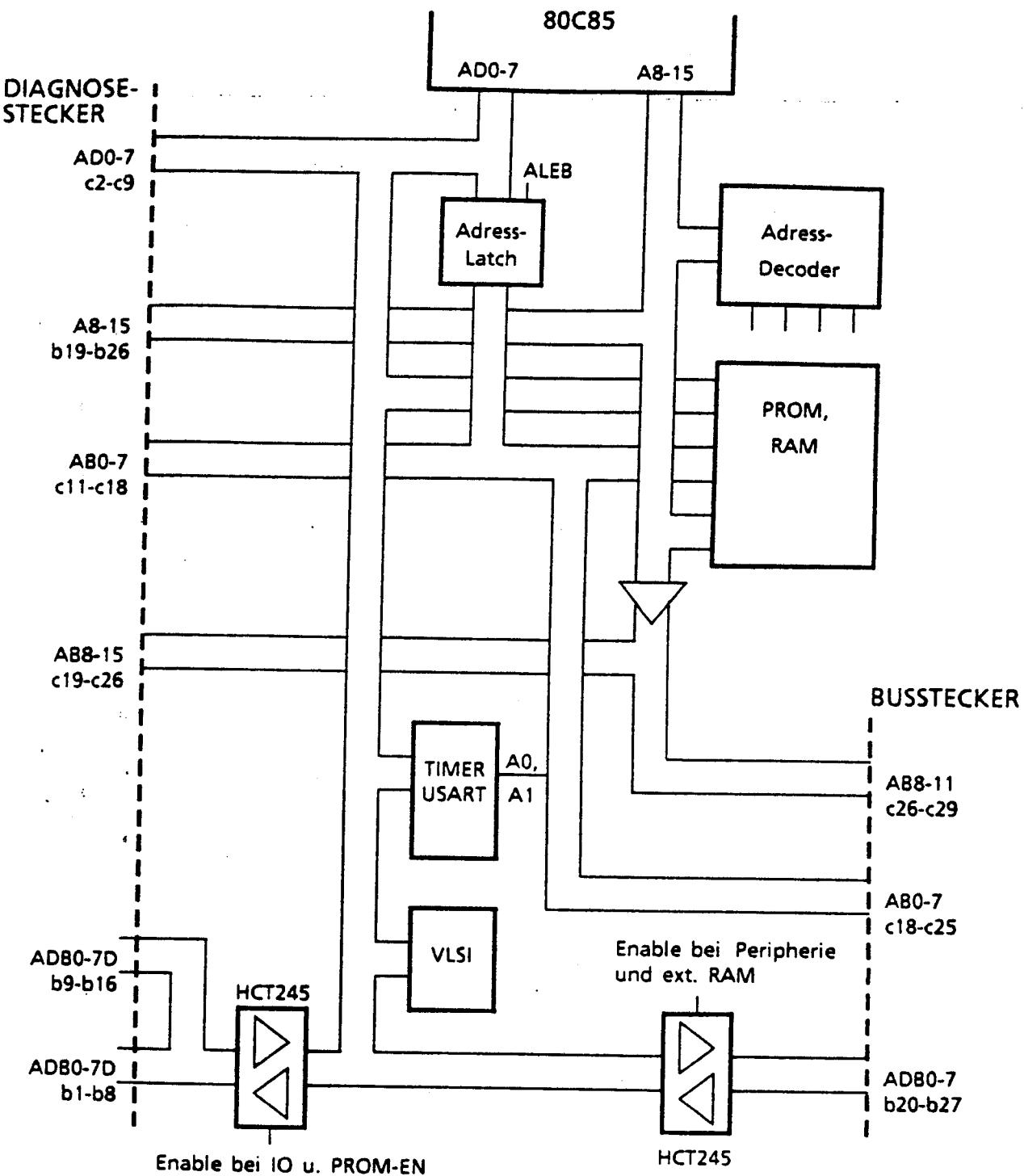
Wie Bild 13 zeigt, sind alle CPU-Signale grundsätzlich direkt zum Diagnosestecker geführt, da ja über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benutzt ist ( $SID = "1"$ ,  $INTR = "0"$ ,  $HOLD = "0"$ ,  $READY = "1"$ ,  $-TH-TRAP = "1"$ ). Um einen TRAP auszulösen, muß der Eingang  $-TH-TRAP$  benutzt werden.

Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sen-debaustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter HCT04 und ein RC-Glied (Verringern der Flankensteilheit um Störeinflüsse zu vermindern). Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B, IO/-M für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen AD0-7 und A8-A15 des 80C85 direkt auf den Diagnosestecker geführt sind.

Bild 14 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Der Treiber wird mittels Adressenbereichs-Auswahl-Signal aus einem PAL-Baustein aktiviert.



A.....Adr. Bus  
 AD...Adr. - Datenbus  
 AB....Adr. Bus, gepuffert  
 ADB.Adr. - Datenbus, gepuffert

Bild 14 Schema der Adressen- und Datenleitungen

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 (IC 39) geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL (IC 32/19) sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert und bei PROM-EN von 0-BFFF, Memory adressiert).

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL (IC 32) vorgenommen, das die Signale IO-/M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen – z.B. auf dem CPU-Adapter – auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO-/M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

#### 4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bankbereich.

Der Bankbereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM (IC 35). Die Bankumschaltung wird durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0 durchgeführt. Wird die Bankumschaltung nicht benutzt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit  $V_{pp} = \text{high}$  ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bankumschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt, und zwar invers.

Der RAM-Bereich liegt von C000 bis DFFF.

#### 4.1.3 Interruptsteuerung

Standardmäßig werden die Interrupts RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benutzt werden.

Der RST5,5 wird durch das Setzsignal ausgelöst, das über den Empfangsbaustein SN75173 aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockraster auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) – das ist zu Blockwechsel – wird er wieder zurückgenommen (siehe Bild 15).

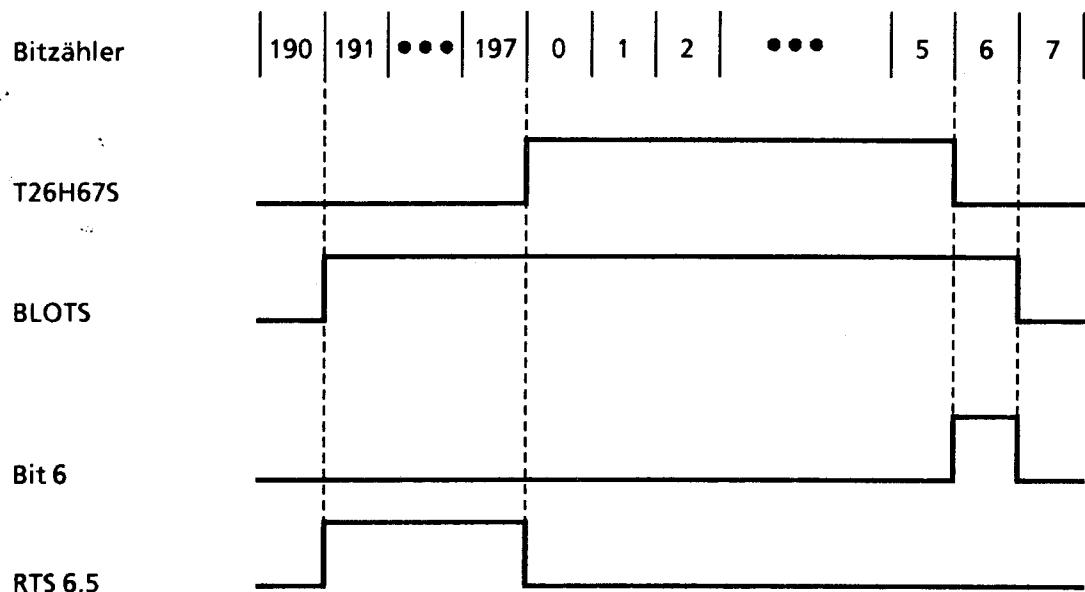


Bild 15 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Der Timer wird mit den Adressen FA00 bis FA03 adressiert.

#### 4.1.4 Serielle Schnittstelle

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzten. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 kBd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialogs der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Abschnitt 4.1.3). Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256KE und dem Sendetakt T256KS aus der Interfacekarte betrieben. Der Sendetakt T256KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungsstelllänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine (im 74ALS1631N) werden parallel vom USART angesteuert; für die Empfangseinrichtung sind es ebenfalls zwei Bausteine (im SN75173). Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

#### 4.1.5 VLSI-Bausteine

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX6B64 WWK und M863 bzw. SCX6B48 WWL (mit VLSI-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 8085-kompatible Busschnittstelle, die die Signale AD0-7 (8-bit-Adressen-Daten-Bus), ALE (Adress Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprechbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signals über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den OSK liegen MOD0 und MOD1 auf "0". TEST0 und TEST1 sind "0" bei Normalbetrieb. Für Testzwecke kann mit TEST0 = 0 und TEST1 = 1 die verteilte Signalisierung abgeschaltet werden (geschieht über den Diagnosestecker mit Hilfe des CPU-Adapters).

Das Bild 16 zeigt die wesentlichsten Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich jeder Baustein eine eigene Schnittstelle hat).

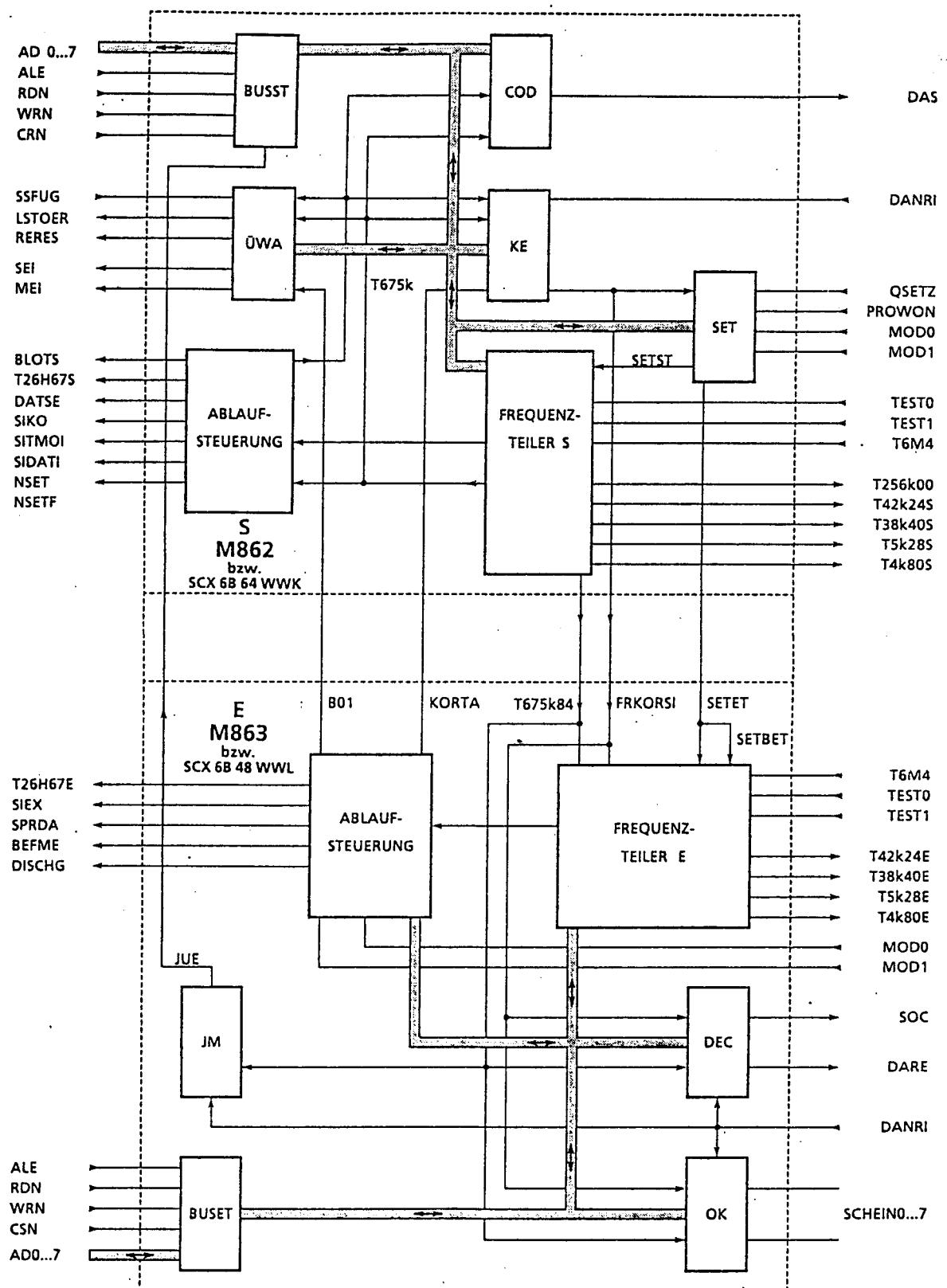


Bild 16 Übersichtsschaltplan der Bausteine M862 bzw. SCX6B64 WWK und M863 bzw. SCX6B48 WWL

Das Bild 17 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.

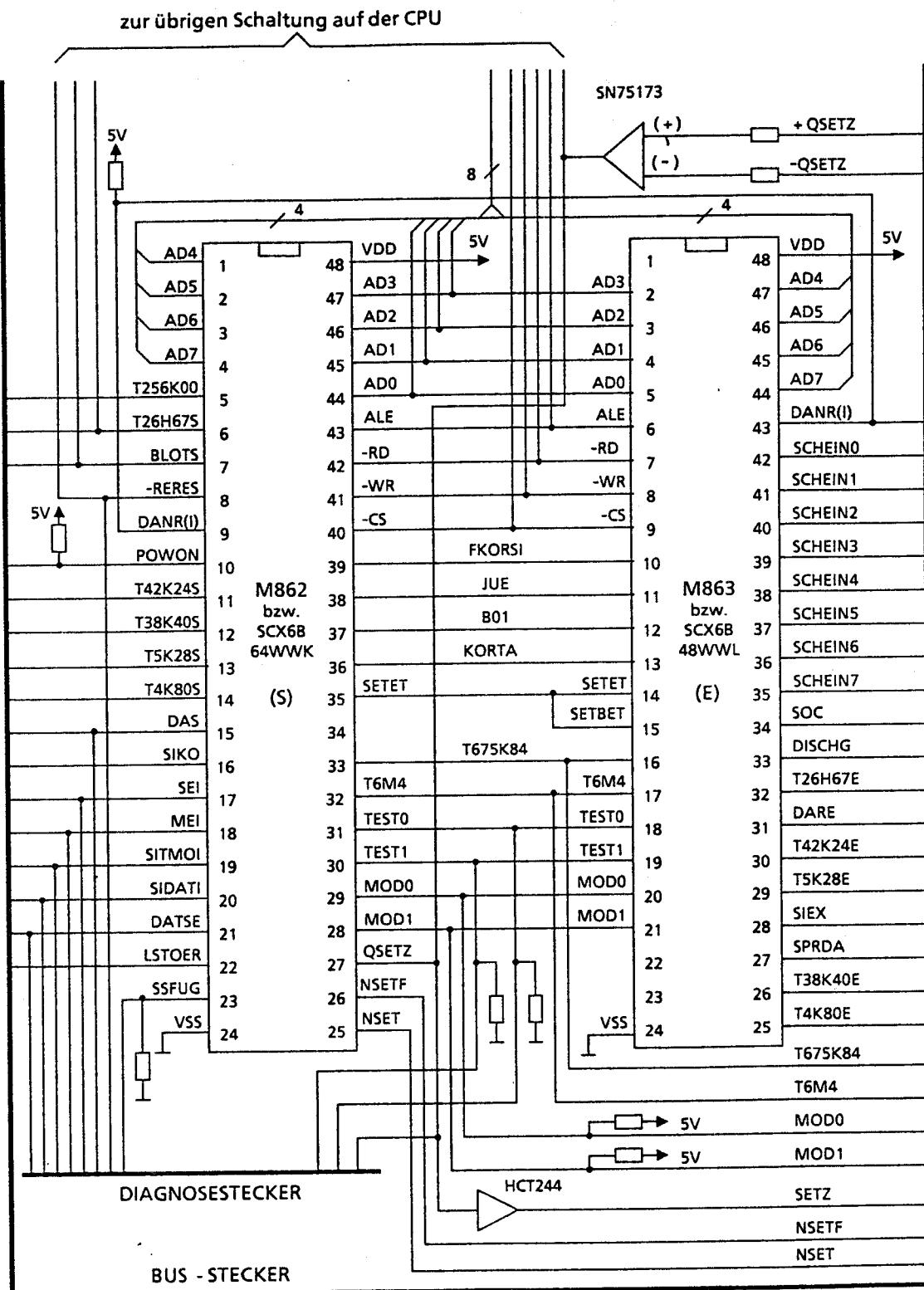


Bild 17 Anschlußschema der VLSI-Bausteine

#### 4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 18).

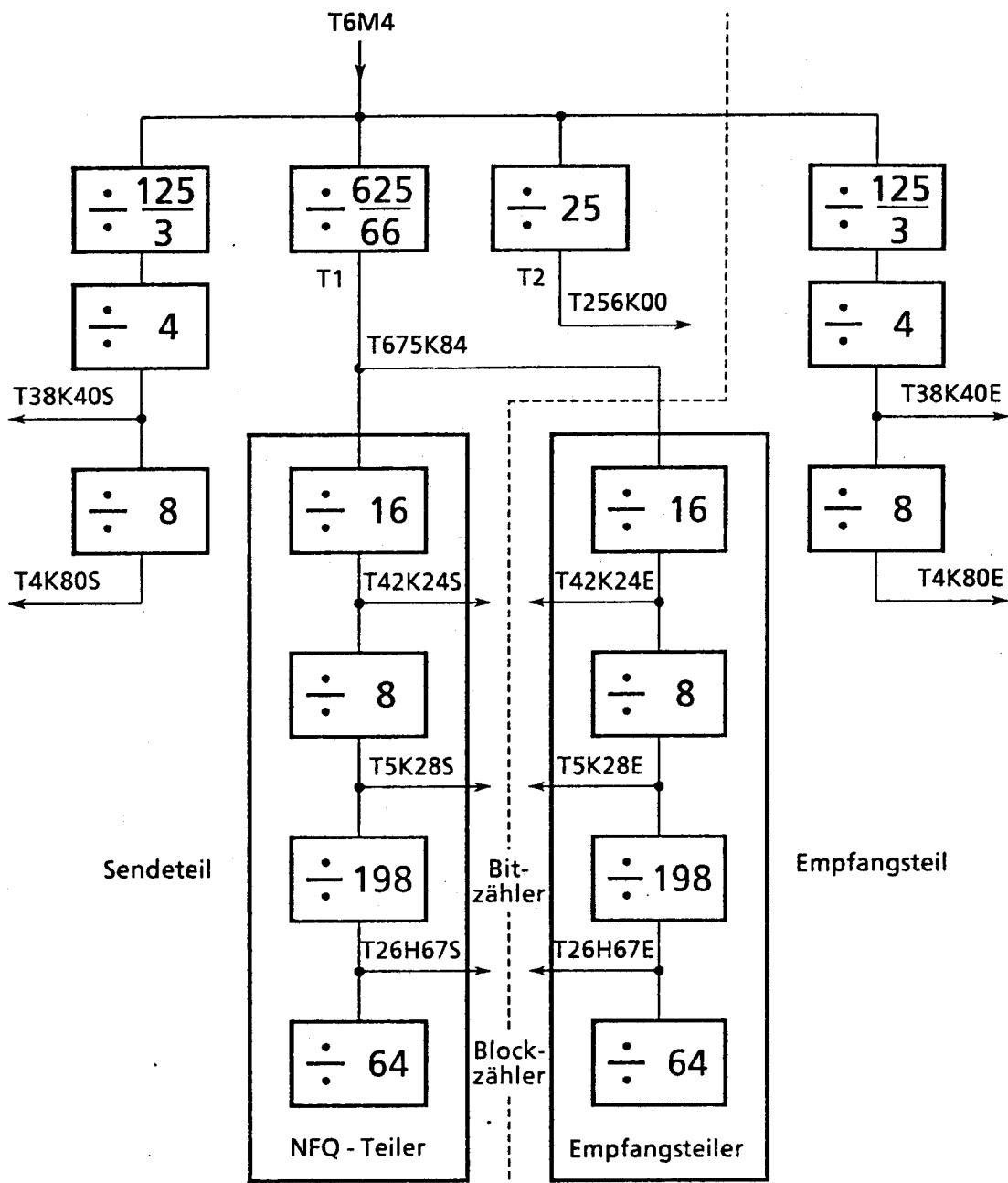


Bild 18 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte lässt sich nicht durch rationale Teilverhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktnamen	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	- 78,15 - 146,78 ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	- 4,7 - 146,78 ns
T5K28S,E	T42K24S,E	8	- 4,7 - 146,78 ns
T26H67S,E	T5K28S,E	198	0
T38K40S,E	T6M4	500/3	104,17 ns

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

T675K84: Taktung für A/D-Wandler für Feldstärke

T256K00: Takt für serielle Schnittstellen

T26H67S: Einlatchen von Port-Signalen

T38K40S,E

und T42K24S,E: Takte für Komprimierung und Expandierung der Sprache.

#### 4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler und Empfangsteiler) getaktet. Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. E, mit dem schließlich der Blockzähler gezählt wird. 64 Blöcke zu je 37,5 ms bilden einen Rahmen, der demnach 2,4 s lang ist.

Der Bitzählerstand der Sendeteilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des Sendeblockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

## **Externe Signale**

**POWON** entsteht bei Einschalten der Spannung oder bei RESET  
erzeugt internes POP-Signal (power-on-puls).

**QSETZ** Rahmensexsignal  
erzeugt mit Rückflanke internes Setzsignal QSET.

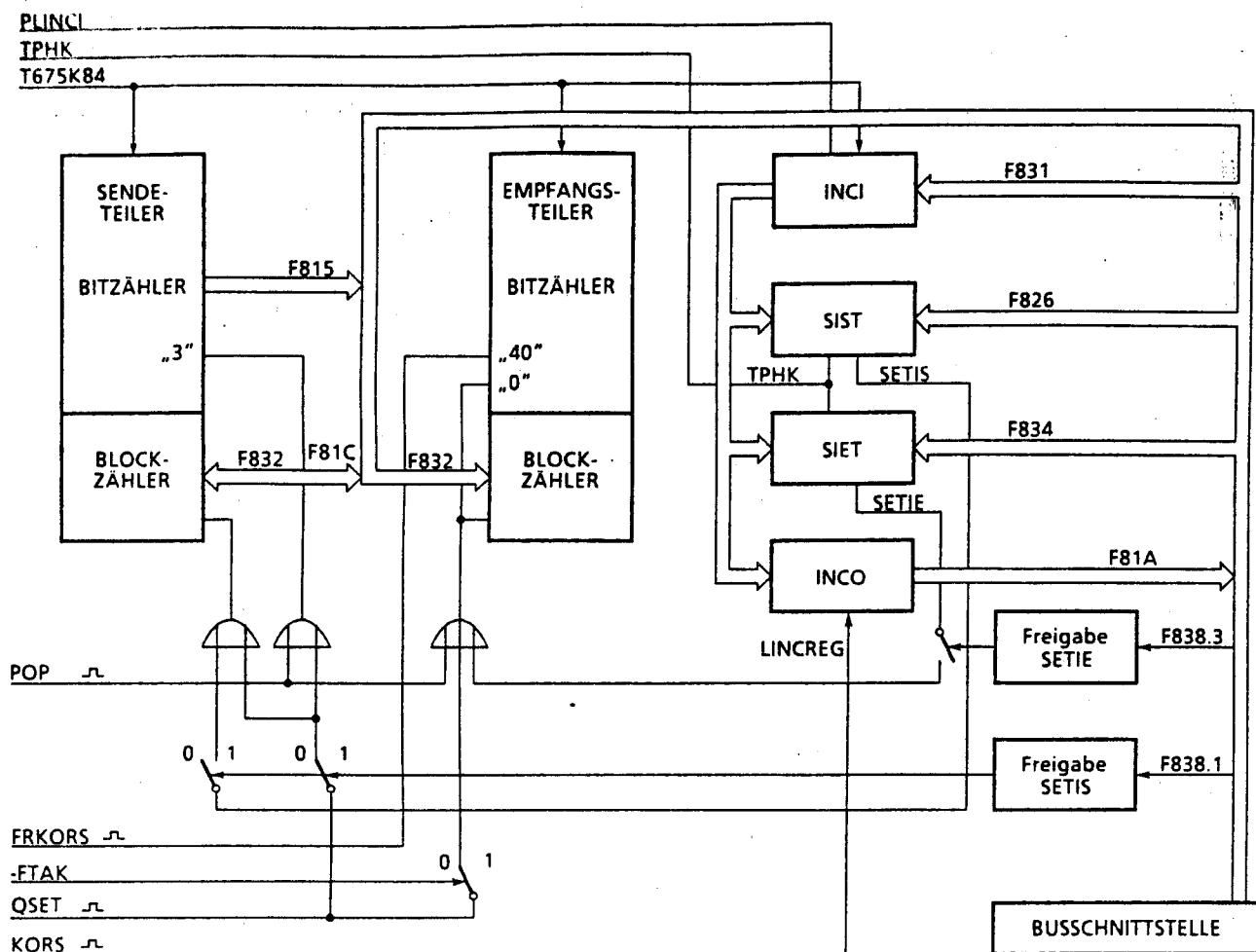
Beide Signale setzen alle Teiler einschließlich Teilerkette.

## **Interne Signale**

FRKORS ("freigegebenes Korrelationssignal") und die Setzsignale SETIS, SETIE  
(indirektes Setzen) aus dem Inkrementierungszähler setzen die beiden Teilerketten (ab  
T675k84).

Mit FRKORS wird der Bitzählerstand der Empfangsteilerkette auf 40, mit den anderen  
Setzsignalen auf 0 gesetzt. Die Sendeteilerkette wird auf Bit 3 gesetzt.

Einzelheiten dazu zeigt Bild 19.



LINCREG	Laden Incrementierungsregister (INCO)
SIST, SETIS	Setzen indirekt, Sendeteiler
SIET, SETIE	Setzen indirekt, Empfangsteiler SIET und SIST sind die Vergleichswerte für die Phase, die auf den Adressen F826 und F834 eingespeichert werden. Bei Gleichheit mit dem Stand des Incrementierungszählers werden die Impulse SETIS bzw. SETIE erzeugt, die die Teilerketten setzen, falls die Impulse über F838.1 und F838.3 freigegeben sind
TPHK	Tor Phasenkorrektur (2 bit lang)
PLINCI	Laden Incrementierungszähler

Bild 19 Teilerketten setzen

#### 4.1.5.3 Ablaufsteuerung

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil von der Betriebsart abhängig, und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

**Konzentrierte Signalisierung:** Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

**Verteilte Signalisierung:** Sprachbetrieb, Aussenden der Signalisierungs-information in Zeitschlitzten während eines Unterrahmens = 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 7) bestimmt den Zustand konzentrierte / verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA (SPRDA = "0": verteilte Signalisierung).

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im SPK verwendet:

- |         |  |
|---------|--|
| T26H67S | Takt 26,67Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blocks auf "1", sonst "0".   |
| BLOTS   | "Blocktor senden", von Beginn Bit 191 jeden Blocks bis Ende Bit 6 des folgenden Blocks auf "1", sonst "0".   |
| SOC     | "Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodervorganges erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke. |
| DISCHG  | "Discharge": Entladeimpuls für Ladekondensator (Feldstärkemessung), zu Beginn jedes Blocks bei konzentrierter Signalisierung, zu Beginn jedes Unterrahmens bei verteilter Signalisierung.                      |

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI-intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

#### 4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggert werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, der den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt; er wird erst wieder durch die nächste Retriggerung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei POWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es weitere Fehlermeldungen ("0" bei Fehler):

FTAK Fehler Teilerkette außer Kontrolle

FQSET fehlendes QSET

FSTK Fehler Sendeteilerkette.

FTAK tritt auf, wenn Sendeteilerkette und Empfangsteilerkette um mehr als  $\pm 1$  bit auseinanderliegen (Überwachung nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen).

FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird.

FSTK tritt auf, wenn die negative Flanke von QSETZ nicht mehr in den Bereich Bit 2,5 bis Bit 3,5 der Sendeteilerkette fällt.

Bei Einschalten der Versorgungsspannung (PPOWON = "0") werden FTAK und FQSET in den Zustand "0" (d.h. Fehler) gebracht, WADOG auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 0: FTAK

Bit 1: WADOG

Bit 2: FQSET

Bit 7: FSTK.

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung – wenn noch keine andere Störungsmeldung vorliegt – oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister").

In beiden Fällen erscheint am externen Anschluß LSTOER ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am Audio-Interface geladen werden.

#### 4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANR (I). Am Anfang jedes Signalisierungsblocks befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

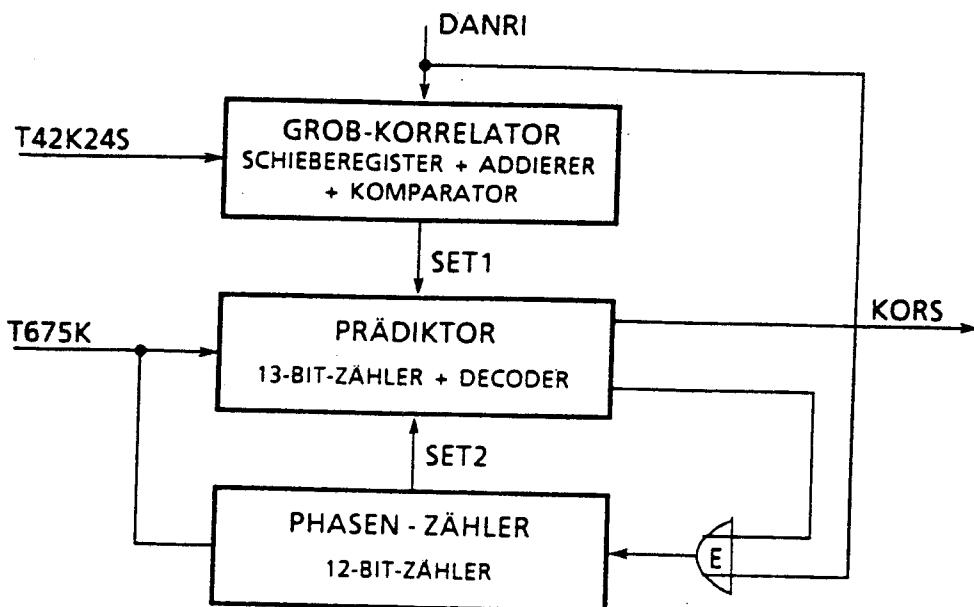


Bild 20 Übersichtsschaltplan des Korrelationsempfängers

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von  $t = 1/T5K28$  jedes Signalisierungsbit mindestens die Pulsbreite  $t = 1/T42K24$  hat

und

- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 21).

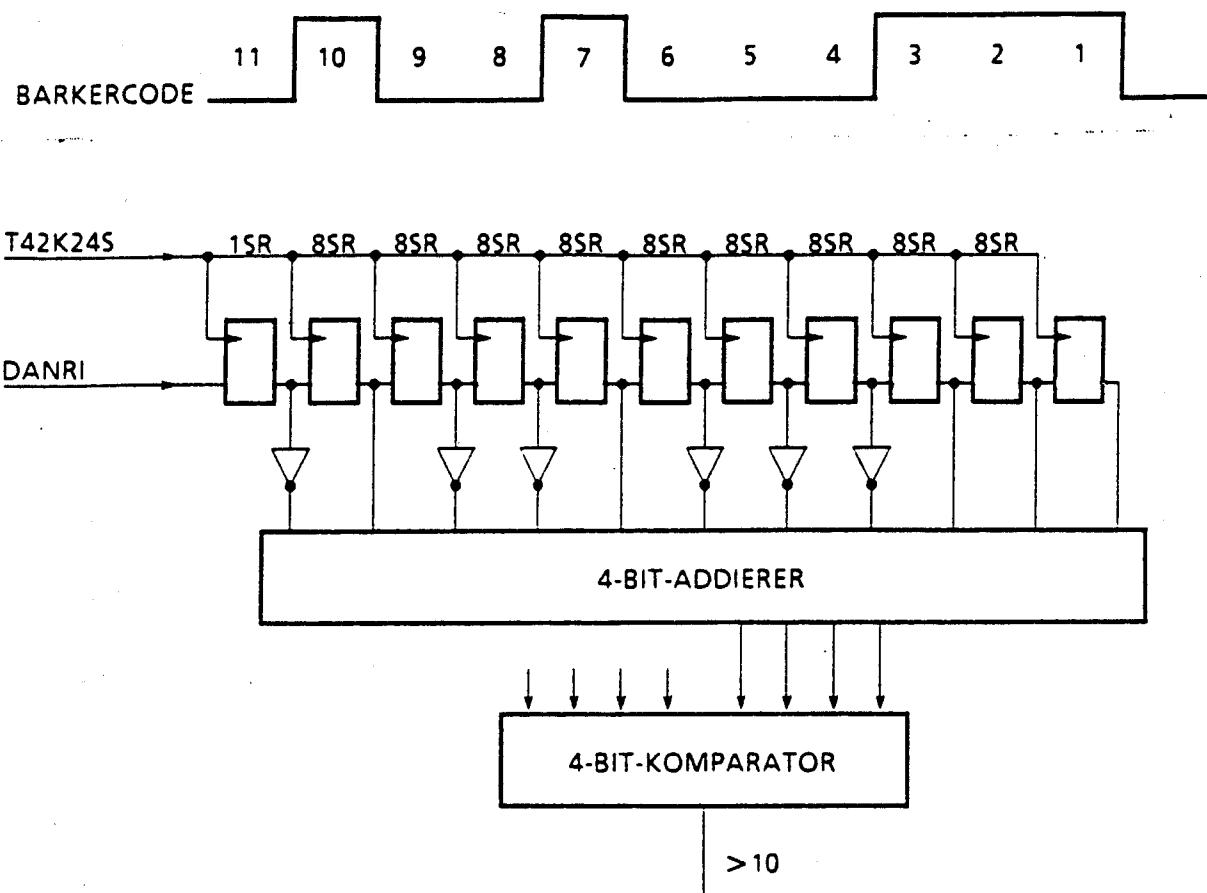


Bild 21 Grobkorrelator mit 81-bit-Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, dann setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode und ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und dann nach weiteren acht Flankenwechseln passt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

$0,5 \cdot t_{675K}$  nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind:

- Suchlauf (im OSK nicht verwendet)
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt, und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger

F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind:

KORS (siehe oben)

FRKORS Freigabe Korrelationssignal  
(UND-Verknüpfung von KORS und F82C.6)

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T5K28 vor dem Aussenden des Barkercodes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen, und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

SYNT Synchronisations-Erwartungstor.

Zeittor für das Erkennen des ersten Barkercodes durch den Grobkorrelator.

Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit,  
1 bit: maximale Breite der Grobkorrelation).

SYKON Synchronisationskontrolle.

Zeittor für das Korrelationssignal KORS, dieses Zeittor ist 2 bit breit.

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeittores SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	dritter Barker-code erkannt	Tor SYKON	F82C.6 Freigabe Korrelationsempfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeitor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

#### 4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisfrequenzband ermittelt. Die Jittermessung bewertet die Veränderung aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich bei konzentrierter Signalisierung über eine Blocklänge, bei verteilter Signalisierung über einen Unterrahmen (0,6 sec.). Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128fachen Bittakt) betrieben wird (siehe Bild 22).

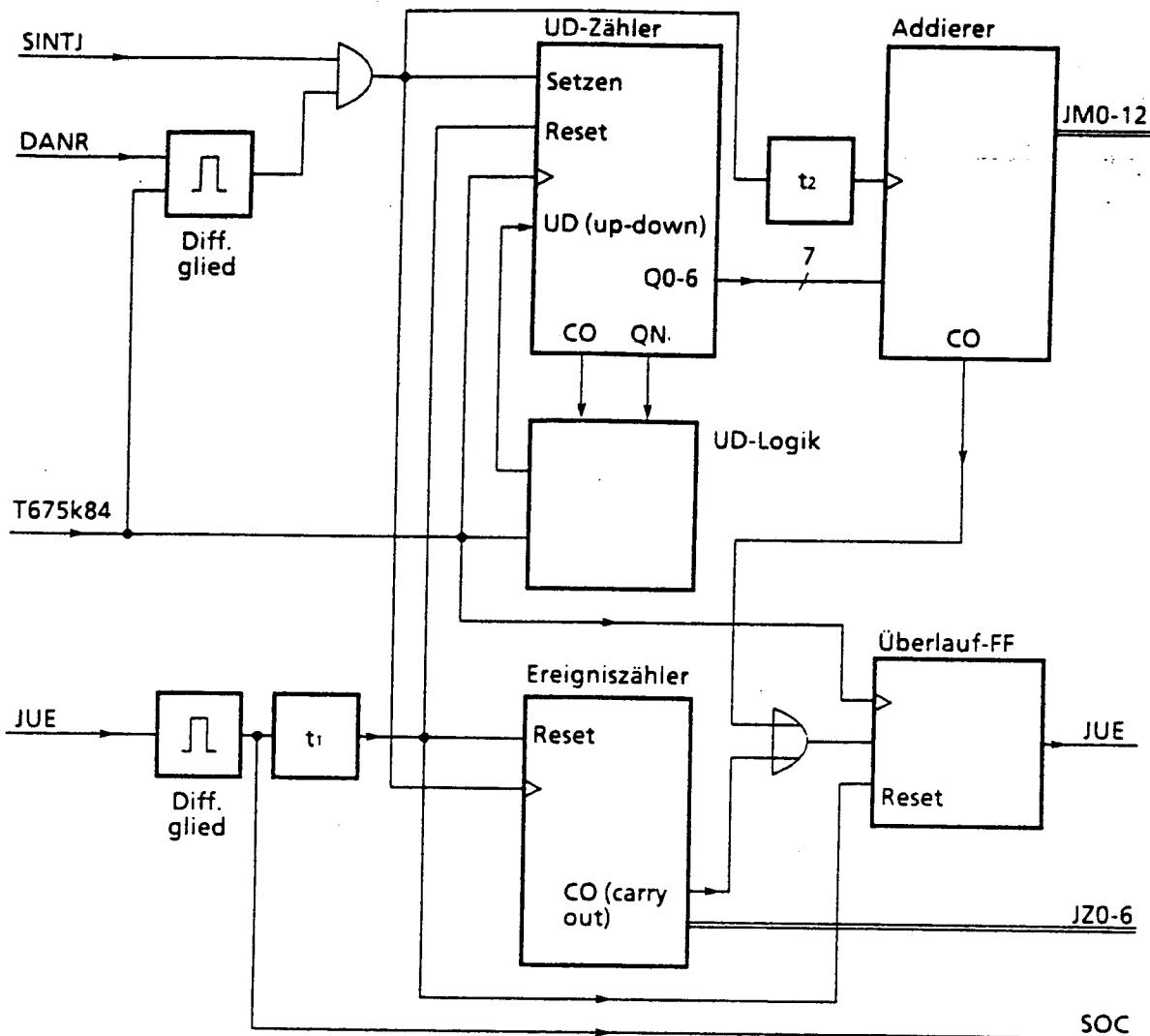


Bild 22 Übersichtsschaltplan Jittermesser

Seine Zählrichtung wird jeweils beim Zählerstand 0 und 63 umgekehrt. Mit dem ersten negativen Flankenwechsel des innerhalb des Bewertungszeitraums (SINTJ) einlaufenden Dateneingangssignals (DANR) wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang gestartet. Mit jedem negativen Flankenwechsel werden die jeweiligen Zählerstände des Auf-/Abwärtszählers in einen Addierer übernommen und aufaddiert. Gleichzeitig wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang neu gestartet. Nur bei störungsfreier Datenübertragung erreicht der Zähler am Ende jedes Bewertungsvorgangs zwischen zwei negativen Flankenwechseln den Wert 0 (siehe Bild 23). Ist der Abstand zweier aufeinanderfolgender negativer Flanken größer oder kleiner als die n-fache Bitbreite ( $n > 1$ ), so ergibt sich aus dem Zählerstand des Modulo-Bit-Zählers der Absolutwert der zeitlichen Abweichung vom Sollwert als Jitterwert (siehe Bild 23), der in den Addierer addiert wird.

Ein Ereigniszähler registriert die Anzahl aller negativen Flanken innerhalb des Bewertungszeitraums (7 bit). Nach Ablauf des Bewertungszeitraums werden mit dem Signal STD (Stop Decoder) der im Addierer aufaddierte Jitterwert (JM) und der Zählerstand des Ereigniszählers (JZ) abgespeichert, und sie stehen zum Auslesen über die Busschnittstelle zur Verfügung. Unter der Adresse F849 lässt sich die Anzahl der negativen Flankenwechsel auslesen. Über die Adressen F84A und F84C kann auf den Jitterwert zugegriffen werden, wobei unter Adresse F84A das MSB (5 bit) und unter Adresse F84C das LSB (8 bit) abgespeichert sind.

Ebenfalls vom Signal STD abgeleitet wird ein Rücksetzsignal, mit dem UD-Zähler, Akkumulator und Ereigniszähler zurückgesetzt werden; diese sind somit für einen neuen Bewertungsvorgang vorbereitet.

Übersteigt der akkumulierte Jitterwert innerhalb eines Bewertungszeitraums den Wert  $2^{13} = 8192$  oder ist die Anzahl der Zeichenwechsel größer als  $2^7 = 128$ , so steht am Ausgang Jittermesser-Überlauf (JUE) ein H-Pegel an. Das Signal JUE wird im Sendebaustein weiter verarbeitet und kann über die Busschnittstelle (Adresse F819.2) ausgelesen werden.

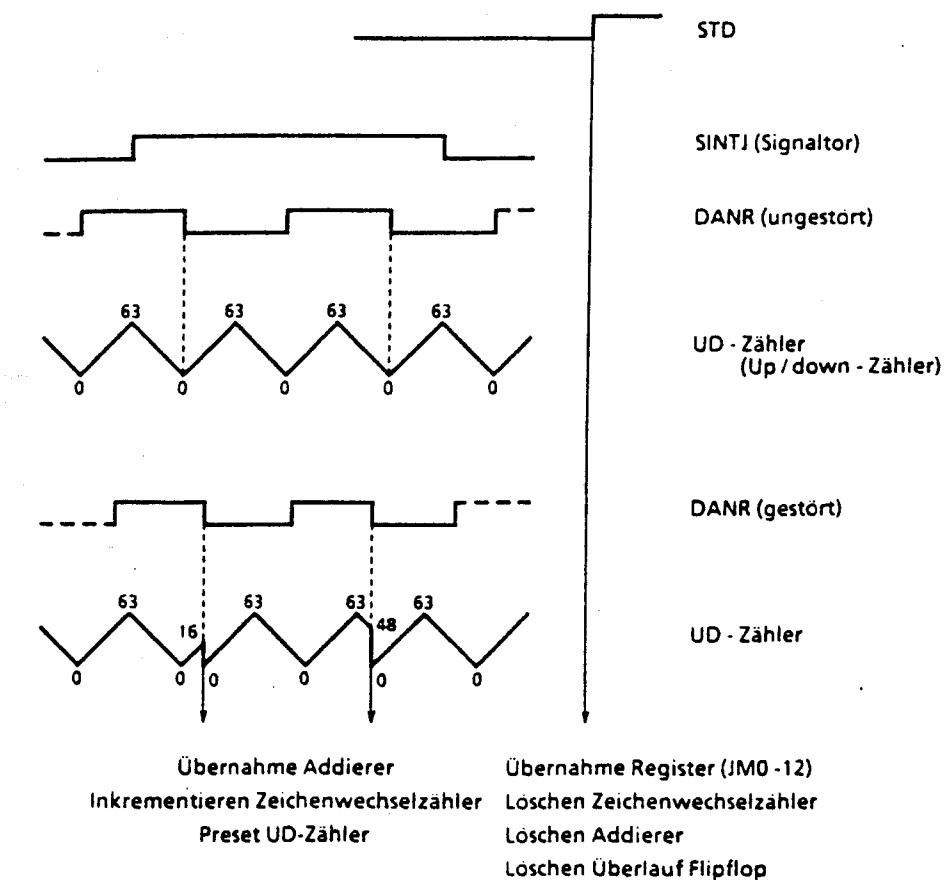


Bild 23 Funktion des Jittermessers

#### 4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 24 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am AU-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

#### Funktionsweise des Offsetmessers

Der 128fache Bittakt (T675K84) zählt während des Bewertungszeitraums SINTO = 1 (das ist während des Barkercodes, Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts.

Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H (OFFE0-7 = SCHEIN0-7 auf Mittenwert) versorgt sein muß, so daß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraums wird der Zähler auf 2304 eingestellt, d.h. um  $2 \times 128$  über dem Mittenwert des Zählers  $4096/2 = 2048$ . Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalls auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Laden Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die Schwellwerteinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0-7.

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 - SCHEIN7 gelegt. Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die Schwellwerteinstellung.

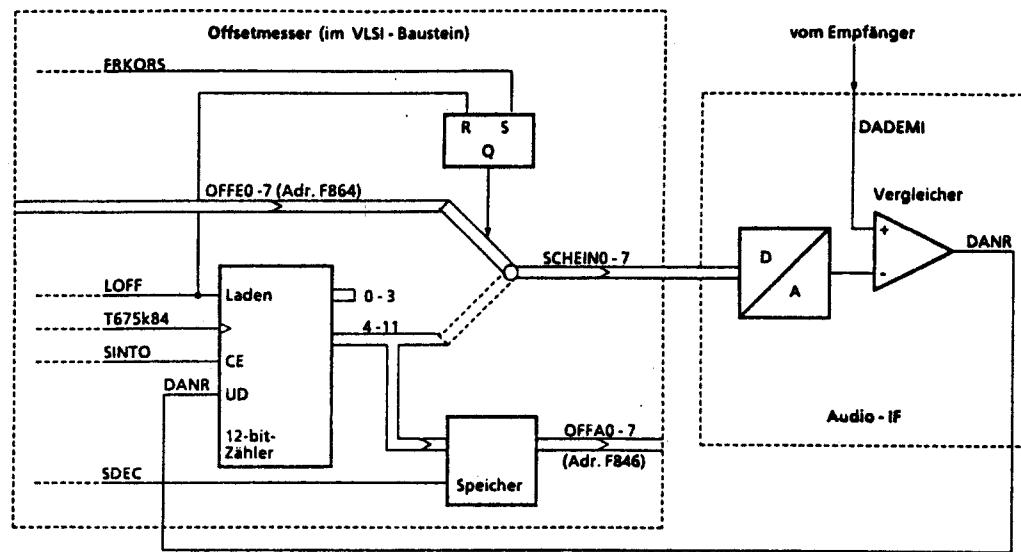


Bild 24 Offsetkorrektur

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an AU-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleicher so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bitlängen aufweist (siehe Bild 25).

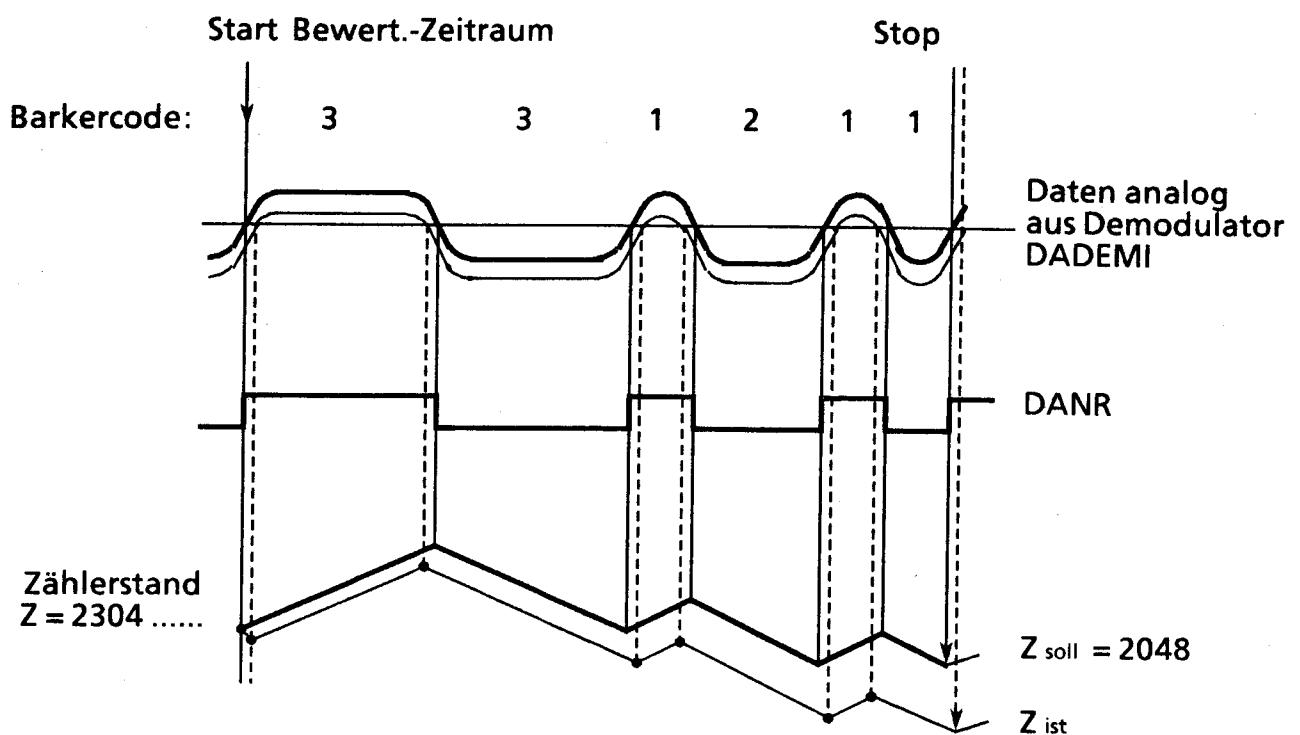


Bild 25 Offsetkorrektur Barkercode

#### 4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar, seine Aufgaben sind:

- Zwischenspeichern der vom Funkeil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.

Der Decoder empfängt über den Eingang DANR(I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode, bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisationsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen.

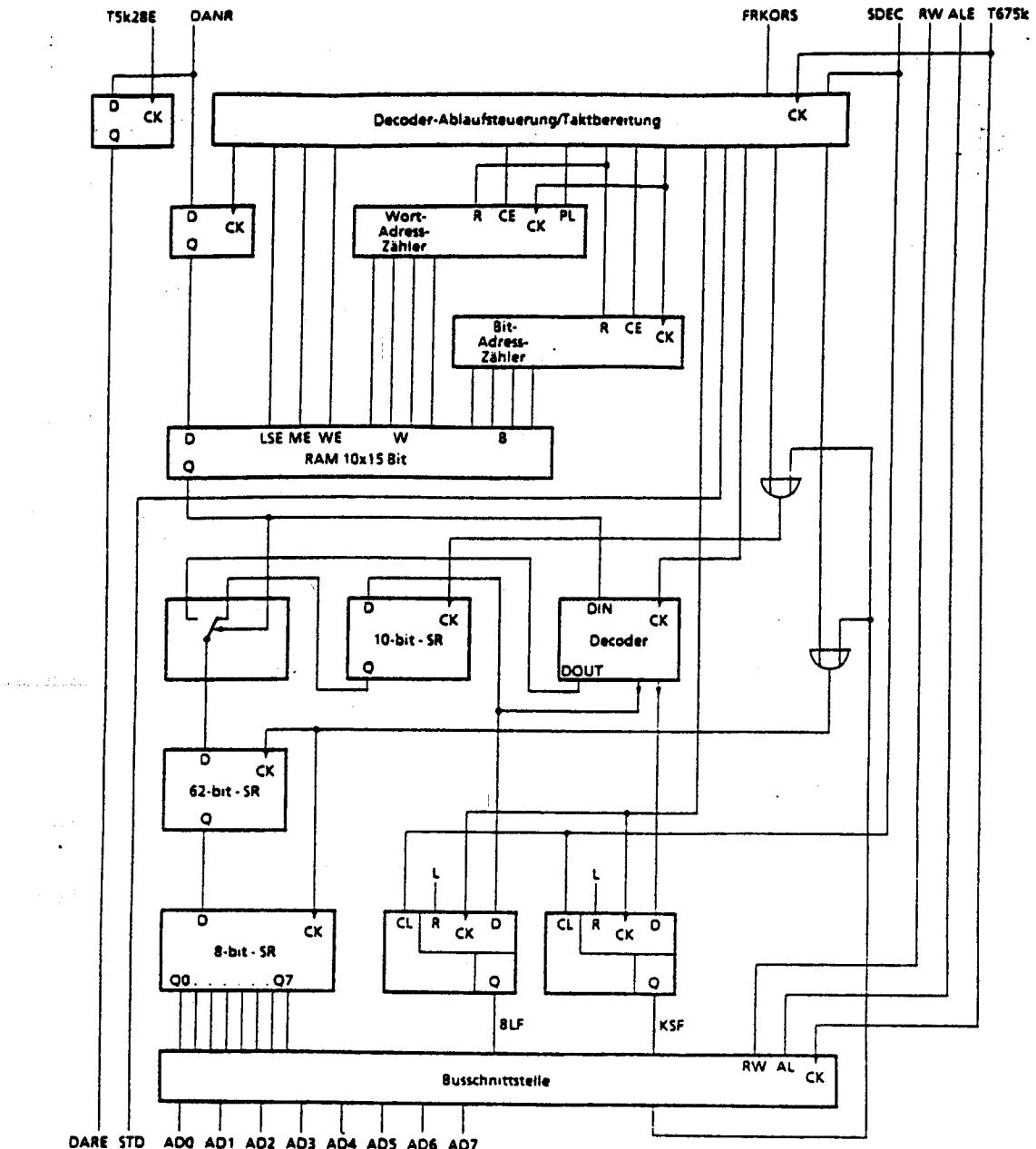


Bild 26 Übersichtsschaltplan Decoder

Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Abschnitt 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen/decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorgangs zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beendigen des Einlesevorgangs mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5) wird

der Decodervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Abschnitt 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T675K). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodervorgang ist nach 600 Takten T675K ( $t_{DEC} = 600xt_{675K} = 888 \mu s$ ) beendet. Nach Abschluß des Decodervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsbits stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Die Daten werden in 10 Worten à 8 bit ausgelesen. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten acht Bits für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe  $t_{READ} \geq 10xt_{675K} = 14,8 \mu s$ .

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 und 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbits "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechnerschnittstelle (Adresse F843) abfragen (siehe oben).

#### 4.1.5.9 Coder

Der Coder bildet die Schnittstelle zwischen dem Rechner, der die zu sendenden Daten ermittelt und dem Modulator, der die codierten Daten dem Träger aufmoduliert.

Die Aufgaben des Coders sind:

- Zwischenspeicherung  
und
- Codieren der zu sendenden Nachricht durch Hinzufügen der Barkercodebits (3x11 Bit) sowie der Redundanzbits.

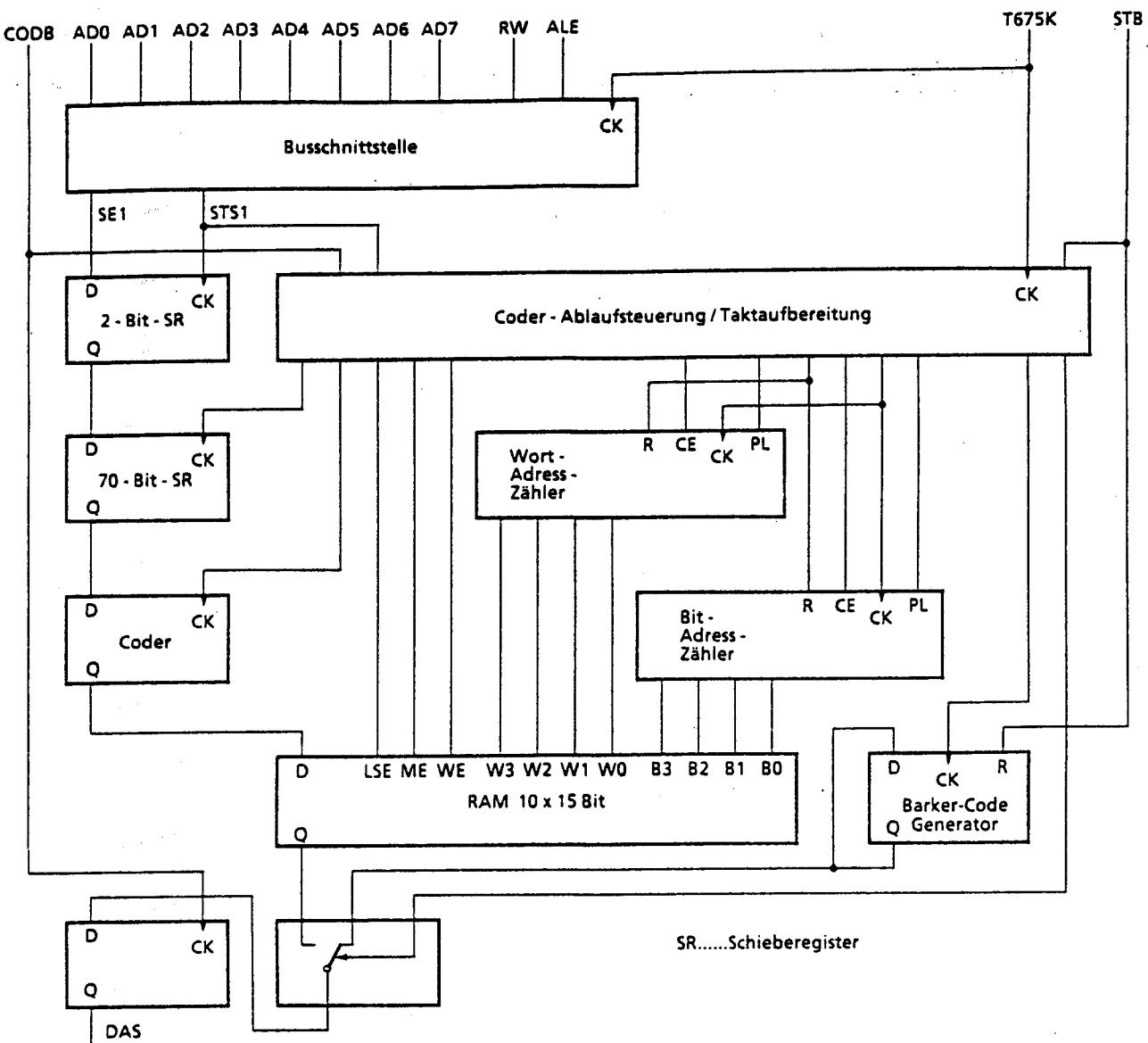


Bild 27 Übersichtsschaltplan Coder

Der im Rechner generierte Datenblock besteht aus 70 Nutz-Bits. Diese Daten werden über die Busschnittstelle (Adresse F829) in den Sendebaustein in neun aufeinanderfolgenden Write-Zugriffen eingeschrieben. Nach jedem Write-Zugriff wird die parallele Busschnittstelle, beginnend mit dem LSB, seriell ausgelesen und die Information in einem 70-bit-Schieberegister zwischengespeichert. Das Abräumen der Busschnittstelle geschieht mit dem Systemtakt (T675K) und wird mit der steigenden Flanke von WRN gestartet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende Write-Zugriffe:  $t_{WRITE} \geq 10 \times t_{T675K} = 14,8 \mu s$ .

Mit dem Signal STC (Start Coder) aus der Ablaufsteuerung wird der Codievorgang gestartet. Die zwischengespeicherten Daten werden in zehn Blöcken zu 7 bit aus dem 70-bit-Schieberegister ausgelesen und nach dem sogenannten BCH-Code codiert, wobei jedes 7-bit-Wort mit einem Syndrom von 8 bit Länge versehen wird. Die so entstehenden Worte von 15 bit Länge werden zeilenweise in ein 10x15 bit großes RAM eingelesen und zwischengespeichert. Der Codievorgang läuft mit dem halben Systemtakt ( $T_{675K}$ ) ab und ist nach 300 Takten ( $t_{COD} = 300xt_{675K} = 444 \mu s$ ) abgeschlossen. Das angewandte Codierverfahren erlaubt bei der Decodierung sowohl eine Fehlererkennung als auch eine Korrektur von maximal zwei Fehlern je Wort.

Mit dem Signal STB (Start Barker) aus der Ablaufsteuerung wird der Vorgang "Daten senden" gestartet.

Mit dem gefensterten Bittakt  $T_{5K28}$  ( $CODB = 184$  Takte  $T_{5K28}$ ) liegen die Sendedaten am Datenausgang (DAS) an. Zunächst startet der Barkercodegenerator und erzeugt eine Bitfolge von 3 mal 11 bit (11100010010) und ein Leerbit (1). Danach werden die zeilenweise gespeicherten und codierten Daten spaltenweise (15 Worte à 10 bit) aus dem RAM ausgelesen.

In der konzentrierten Signalisierung entsteht so ein Signalisierungsblock von  $33 + 1 + 150 = 184$  bit; in der verteilten Signalisierung werden die Daten verteilt über einen Unterrahmen in 46 Schlitzten zu je 4 bit gesendet (ein Unterrahmen besteht aus 16 Blöcken zu je drei Schlitzten; die beiden ersten Schlitzte enthalten keine Information).

## **4.2 Audio-Interface S42024-H382-...**

Die Baugruppe Audio-Interface (Bild 28) bildet zusammen mit der CPU-Baugruppe die Funkkanalsteuerung im OSK, SPK und PFG.

Sie enthält folgende Funktionen:

- Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)
- Adressendecodierung für Ein- und Ausgabeports
- Abfrage der Gestelladresse
- Ausgabeports für Ansteuerung der Umschalter und Synthesizer, Steuerung der Sendeleistung; ferner Ausgabe der Signale für die Betriebsarten und Ansteuerung der Verfügbar-LED (Signal OKVR)
- Erfassen (Umsetzen) der Feldstärke
- Offsetkorrektur durch Vergleich des empfangenen Signals mit eingestellter Schwelle
- Erzeugen des Power-on-Resets; Reset-Taste
- Erfassen von Störungsmeldungen bzw. Statusmeldungen
- Pegelanpassung für 6,4MHz
- Erzeugen der -2,5-V-Versorgung für den Audio-Teil.

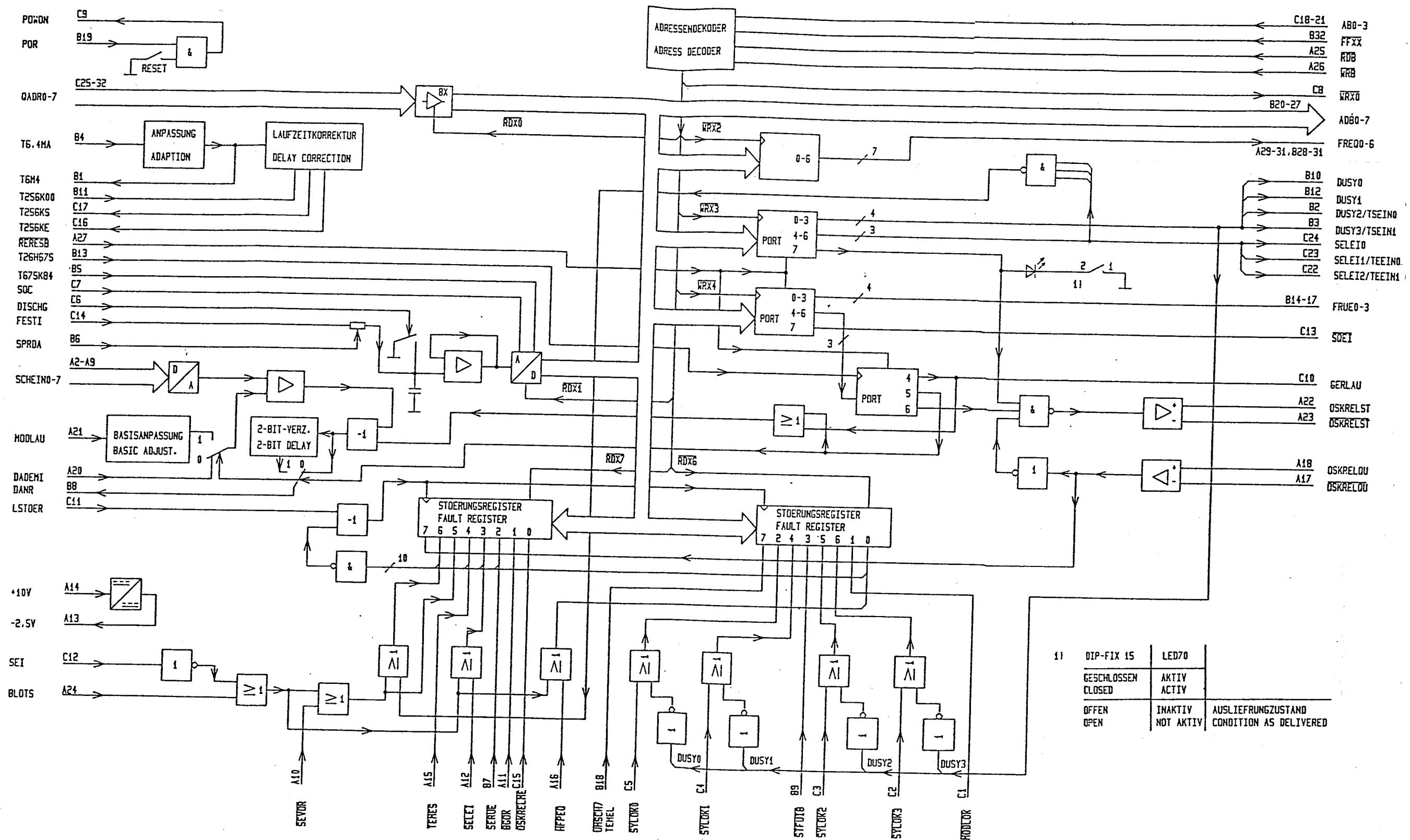
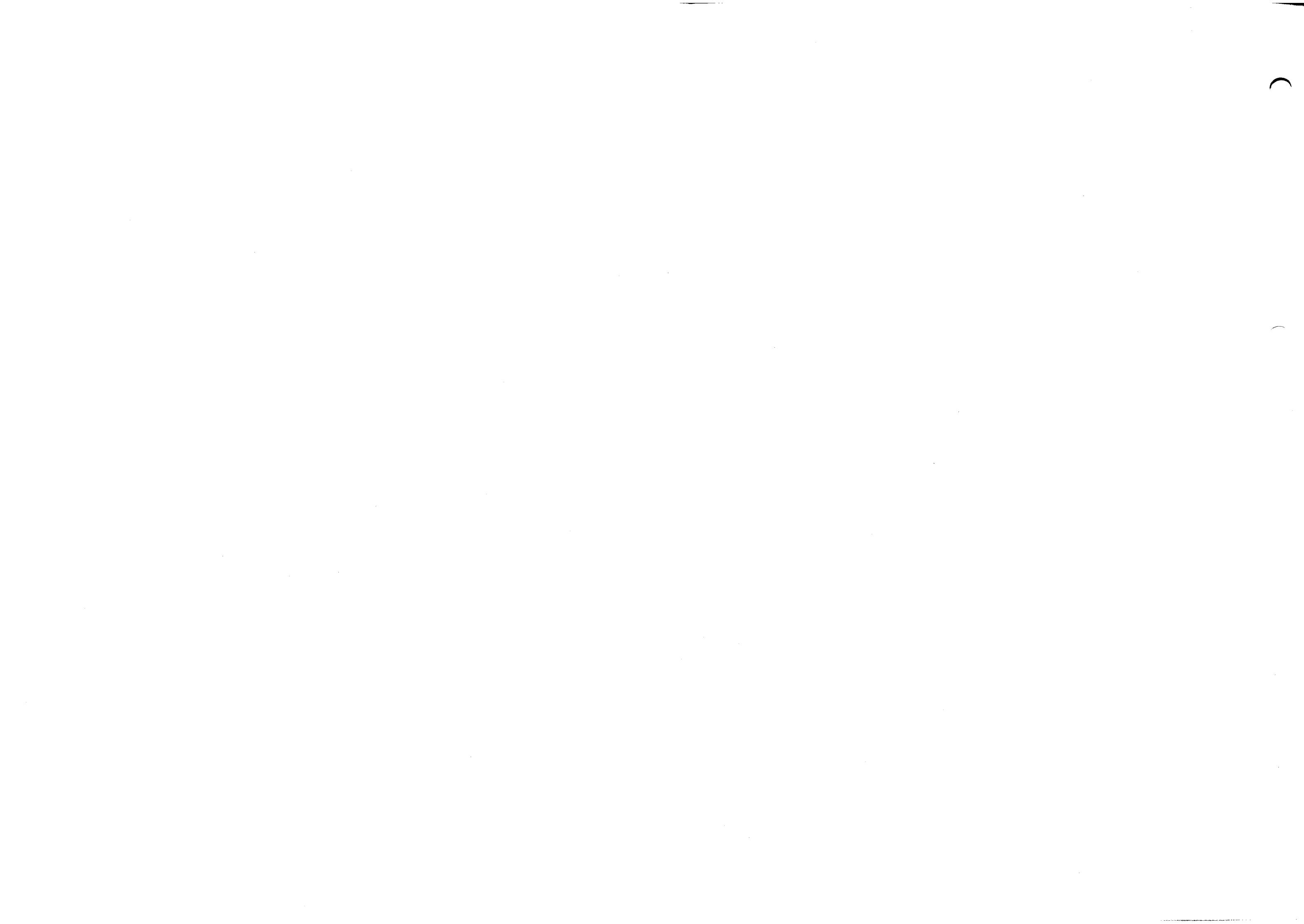


Bild 28 Übersichtsschaltplan Audio-Interface



#### 4.2.1 Laufzeitkorrektur

Aus dem 256-kHz-Takt (Signal T256k00 aus dem VLSI) werden die beiden Signale T256kS und T256kE mit Hilfe von zwei Schieberegistern erzeugt, die Signale sind gegenüber dem T256k00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256kS ist um 12 Takte, T256kE um 16 Takte gegenüber T256k00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7 µs) dient zum Ausgleich von Kabellaufzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 29).

Die Verschiebung des Taktes T256kE gegenüber T256k00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

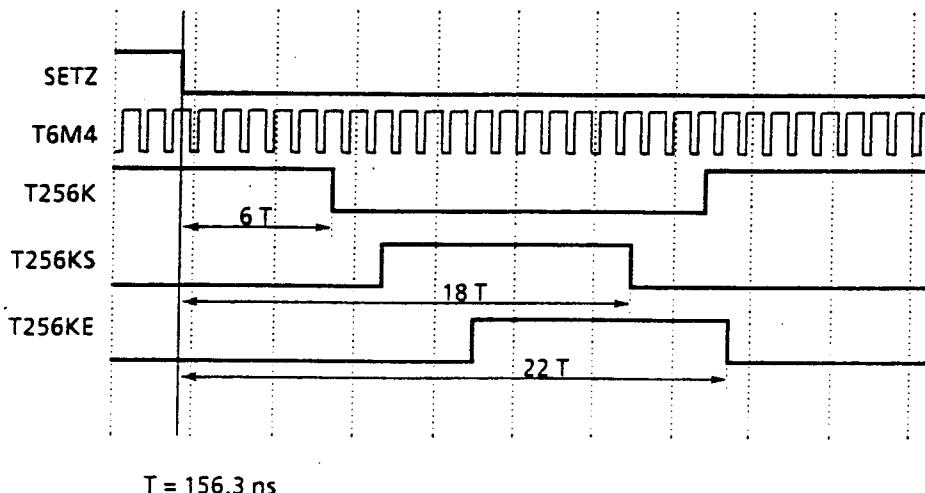


Bild 29 Laufzeitkorrektur

#### 4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HCT138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale -WRX0, -WRX2 bis -WRX4 sowie -RDX0, -RDX1, -RDX6 und -RDX7 erzeugt; das X bedeutet, daß die Adress-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung wie auf FF12, FF22 usw., es wird WRX2 aktiviert).

#### 4.2.3 Abfrage der Gestelladresse

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage geschieht mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese- Adressen-Signal RDX0 vom Adressendecoder).

#### 4.2.4 Ausgabeports

Vier Latch-Bausteine dienen zur byteweisen Ausgabe einiger Signale durch die Software nach folgender Tabelle:

Adresse	D7	D6	D5	D4	D3	D2	D1	D0
FFX2	-	FREQ0-6						
FFX3	OKVR	SELEI2	SELEI1	SELEI0	-	-	-	DUSY0
FFX4	-	-	-	-	-	-	-	FRUE0

#### Erläuterungen:

- FREQ0-6              Informationen für Frequenzeinstellung der Synthesizer  
OKVR                 Verfügbarmeldung vom Rechner (SW)  
SELEI0-2             Sendeleistung: mit diesen Signalen wird die Endstufe angesteuert  
DUSY0                Maskierung der Synthesizer-Fehlermeldung  
FRUE0                Übernahmesignal für Frequenzeinstellung des Synthesizers  
SQEI                 Steuerung Squelch ein/aus.

#### 4.2.5 Umsetzung der Feldstärke

Das vom Empfänger kommende Feldstärkesignal FESTI (0-2,5 V) wird mittels RC-Kombination integriert: bei Sprachbetrieb (SPRDA = 0) über eine Unterrahmenlänge, das sind 0,6 s; bei Datenbetrieb (SPRDA = 1) über eine Blocklänge, das sind 37,5 ms.

Das integrierte Signal gelangt über einen Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675k84 betrieben und erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

#### **4.2.6 Offsetkorrektur**

Der vom VLSI-Baustein M863 bzw. SCX 6B48 WWL gelieferte, digitale Schwellwert (SCHEIN0-7) wird mit Hilfe des D/A-Wandlers in einen Analogwert umgewandelt und über die Op.Amps LM258 dem Vergleicher LM311 zugeführt.

Am anderen Eingang des Vergleichers liegt das Signal DADEMI.

Am Ausgang des Vergleichers erscheint das Signal DANR (Daten nicht regeneriert), das zu den VLSI-Bausteinen M862 bzw. SCX 6B64 WWK und M863 bzw. SCX 6B48 WWL zur weiteren Verarbeitung geführt wird.

#### **4.2.7 Power-on-Reset, Resettaste**

Die betriebsspannungsabhängige Rücksetschaltung im Stromversorgungsteil liefert das Signal POR, das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert.

Das gleiche geschieht bei Drücken der Resetttaste, wobei eine Schaltung zur Entprellung vorgesehen ist.

#### **4.2.8 Störungsregister**

Der Inhalt der beiden Störungsregister, die als Speicher für einige Störungsmeldungen dienen, kann mit Hilfe von Lesebefehlen auf die Adresse FF06 bzw. FF07 gelesen werden.

Die an den D-Eingängen anliegenden Signale werden mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU-Baugruppe) oder bei Auftreten einer Störungsmeldung (letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Störungsmeldung ansteht) eingespeichert. Deshalb werden die Störungsmeldungen über ein UND-Gatter verknüpft.

Einige Störungsmeldungen können unter gewissen Umständen gesperrt werden:

**FFX6, Bit 0:** HFPEG HF-Pegel

**FFX7, Bit 3:** SELEI Sendeleistung

**FFX7, Bit 6:** SEVOR Sendervorlauf

Die Meldungen können nur für SEI = "1" und BLOTS = "0" wirksam werden, für SEVOR muß zusätzlich gelten: SELEI 0,1,2 = "1".

Die Störungsmeldung des Synthesizers SYLOK0 (FFX6, Bit 2) wird nur dann wirksam, wenn das Signal DUSY0 (Durchschalten der Synthesizerfrequenz) auf "1" liegt.

Weitere Störungsmeldungen sind:

**FFX6, Bit 1:** MODLOK Modulator

**FFX7, Bit 4:** TEMES Temperatur Endstufe

**FFX7, Bit 2:** SERUE Senderrücklauf

Schließlich gibt es noch eine Meldung, die ebenfalls über die Störungsregister geführt wird. Bei ihrem Auftreten wird jedoch kein automatisches Einlatchen durchgeführt.

**FFX6, Bit 1:** BGOK Prüfschleife: Baugruppen gesteckt

#### 4.2.9 Sonstiges

##### Pegelanpassung 6,4 MHz

Das von der Audio-Baugruppe kommende Signal T6,4MA wird mittels Transistor BCY58 und Schmitt-Trigger in ein TTL-Signal (T6M4) umgewandelt. Ein RC-Glied dient zum Verringern der Flankensteilheit (Verringern von Störeinflüssen).

##### -2,5-V-Versorgungsspannung für Audio-Teil

Die für die Audio-Baugruppe notwendigen -2,5V werden mittels eines Spannungs-konverters (ICL7660) aus der 10-V-Spannung erzeugt.

## 5 Technische Daten

Betriebsspannung 1 .....	U = +5 V
Stromaufnahme 1 .....	I = 0,65 A
Leistungsaufnahme 1 .....	P = 3,25 W
Betriebsspannung 2 .....	U = +10 V
Stromaufnahme 2 .....	I = 0,53 A
Leistungsaufnahme 2 .....	P = 5,3 W
Referenzfrequenz .....	6,4 MHz > 0 dBm
Betriebsarten .....	1. Sprache klar/WT 2. Sprache verschleiert 3. Schleifenschluß
Betriebsart .....	FM-Duplex
Frequenzhub mit Pre-/ Deemphasis bei	
Sprache klar/WT .....	≤ 4 kHz
Sprache verschleiert .....	≤ 4 kHz
Signaldaten .....	2,5 kHz
Funkkanalabstand .....	20 kHz
einstellbare Frequenzschritte .....	10/12,5 kHz
Duplexabstand .....	10 MHz
Sendefrequenzbereich .....	460,0 MHz bis 465,74 MHz
Signalisierungsdaten	
Datenformat .....	NRZ binär
Bitrate .....	5,28 kbit/s
Empfangsfrequenzbereich .....	450,0 MHz bis 455,74 MHz

## **5.1 Empfänger**

Betriebsspannung .....  $U = +10\text{ V}$   
Stromaufnahme .....  $I = 90\text{ mA}$   
Leistungsaufnahme .....  $P = 900\text{ mW}$

Störabstand, bezogen auf Prüfmodulation  
Fremdspannungsabstand .....  $\geq 37\text{ dB}$   
Geräuschspannungsabstand nach CCITT .....  $\geq 45\text{ dB}$

Datenausgang,  
konzentrierte Daten ..... NRZ

Verteilte Daten im Sprechkanal,  
6 bit breiter Schlitz alle 12,5 ms ..... NRZ

## **5.2 Synthesizer**

Betriebsspannung 1 .....  $U = +5\text{ V}$   
Stromaufnahme 1 .....  $I = 150\text{ mA}$   
Leistungsaufnahme 1 .....  $P = 750\text{ mW}$

Betriebsspannung 2 .....  $U = +10\text{ V}$   
Stromaufnahme 2 .....  $I = 200\text{ mA}$   
Leistungsaufnahme 2 .....  $P = 2\text{ W}$

## **5.3 Modulator**

Betriebsspannung 1 .....  $U = +5\text{ V}$   
Stromaufnahme 1 .....  $I = 65\text{ mA}$   
Leistungsaufnahme 1 .....  $P = 325\text{ mW}$

Betriebsspannung 2 .....  $U = +10\text{ V}$   
Stromaufnahme 2 .....  $I = 180\text{ mA}$   
Leistungsaufnahme 2 .....  $P = 1,8\text{ W}$

## 6 Geräteübersicht

Gegenstand	Bezeichnung	Maße in mm (BxHxT)	Gewicht in g
Funkmodem FKM-SPK ....	S42023-H131...	100x595x197	5800
zugehörige Baugruppen:			
Anschlußfeldverdrahtung ....	S42024-H412		
und			
Filterbaugruppe .....	S42024-H413...	100x63x12	
Empfänger .....	S42024-H169...	100x167x24	
Modulator .....	S42024-H167...	100x167x24	
Synthesizer .....	S42024-H168...	100x167x21	
Audio-Teil .....	S42024-H381...	100x167x2	
CPU .....	S42025-H418-B*1 + Software S42025-H432-A150	100x167x12	
Audio-Interface .....	S42024-H382...	100x167x12	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, variablen Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.

## **5.4 Audio-Teil**

Betriebsspannung 1 .....	$U = +5\text{ V}$
Stromaufnahme 1 .....	$I = 2\text{ mA}$
Leistungsaufnahme 1 .....	$P = 10\text{ mW}$
Betriebsspannung 2 .....	$U = +10\text{ V}$
Stromaufnahme 2 .....	$I = 100\text{ mA}$
Leistungsaufnahme 2 .....	$P = 1\text{ W}$

## **5.5 CPU**

Betriebsspannung .....	$U = +5\text{ V}$
Stromaufnahme .....	$I = 260\text{ mA}$
Leistungsaufnahme .....	$P = 1,3\text{ W}$

## **5.6 Audio-Interface**

Betriebsspannung .....	$U = +5\text{ V}$
Stromaufnahme .....	$I = 150\text{ mA}$
Leistungsaufnahme .....	$P = 0,65\text{ W}$