

Funktelefon C-Netz

Gerätebeschreibungen

Band 1

A42023-H1-X-1-18

Deutsche Bundespost
TELEKOM

Zentralamt für Mobilfunk

Referat C 4

Funktelefon Netz C
Gerätebeschreibungen BS LM 6
Band 1

FTZ

171 AB 19
Teil 1

Berechtigter Nachdruck
des Siemens-Handbuches
S42023-H1-P3-1-18

Anmerkung: Folgende Gerätebeschreibungen sind von LM 5
zu übernehmen, da keine Veränderung:

FDS (S42023-H72-B5-2-18)

SAE (S42023-H76-B1-4-18)

Ersatz für S42023-H1-P2-1-18

SIEMENS

Fu Tel C-Netz LM 6
Gerätebeschreibungen

Band 1

S42023-H1-P3-1-18

SIEMENS

Funktelefon C-Netz

**Gerätebeschreibungen
Basis-Station LM6**

Band 1



Zustandsnachweis für Gerätebeschreibungen der Basis-Station (Band 1 und 2)

Kurzbezeichnung	Sachnummer	Seiten
Band 1		
Deckblatt	S42023-H1-P3-1-18	1-2
ZU:Zustandsnachweis	S42023-H1-V3-1-18	1
FDS	S42023-H72-B5-2-18	1-120
SAE	S42023-H76-B1-4-18	1-76
FME	S42023-H129-E1-1-18	1-66
PFG	S42023-H130-E2-1-18	1-88
FKM-SPK	S42023-H131-E1-1-18	1-74
Band 2		
Deckblatt	S42023-H1-P3-1-18	1-2
FKM-OSK	S42023-H132-E1-1-18	1-81
PHE	S42023-H133-F1-2-18	1-102
SPK-K	S42023-H149-E1-1-18	1-82
OSK-K	S42023-H150-E1-1-18	1-90
FKM-SPK-D	S42023-H203-E1-1-18	1-69
FKM-SPK-E	S42023-H204-E1-1-18	1-77
Stromversorgung	S42023-H901-B3-2-18	1-9
Stromversorgung	S42023-H903-A2-4-18	1-13
Stromversorgung	S42023-H905-A1-2-18	1-11
Ortsfestes Sprechfunkgestell	S42023-H907-A1-1-18	1-55

SIEMENS

FDS
-H72-B5-

SAE
-H76-B1-

FME
H129-E1-

PFG
-H130-E2-

FKM-SPK
-H131-E1-

Fu Tel C-Netz
Gerätebeschreibungen
LM 6

Band 1

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 22, Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1989

SIEMENS

Fu Tel C-Netz

Beschreibung

Funkmeßempfänger

FME

S42023-H129-..

S42023-H129-E1-1-18

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung und Mitteilung ihres Inhalts nicht gestattet, soweit nicht ausdrücklich zugestanden. Zuwiderhandlungen verpflichten zu Schadenersatz. Alle Rechte vorbehalten, insbesondere für den Fall der Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

Inhalt

	Seite
1 Übersicht	5
1.1 Funkmeßempfänger (FME) im Netz C 450	5
1.2 Funkmeßempfänger in der Basisstation	8
1.3 Aufbau und Funktionseinheiten des Funkmeßempfängers	10
2 Schnittstellen	14
2.1 Externe Schnittstellen	14
2.1.1 Schnittstelle zur Antennenanlage	14
2.1.2 Schnittstelle zum Frequenzverteiler	14
2.1.3 Schnittstelle zur Gestellverdrahtung	14
2.1.4 Serielle Schnittstelle zur Funkdatensteuerung	14
2.1.5 Schnittstelle zur Stromversorgung	14
2.2 Interne Schnittstellen	15
3 Funkteil	16
3.1 Empfänger S42024-H169-...	16
3.1.1 Stromversorgung für PLL-Demodulator	16
3.1.2 Eingangsstufe mit Mischer 1	16
3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2	18
3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung	18
3.1.5 Basisbandaufbereitung	19
3.2 Synthesizer S42024-H168-...	19
3.2.1 Prinzip Synthesizer	21
3.2.2 Synthesizer-Baustein und Vorteiler	22
3.2.3 Regelverstärker mit Filter	22
3.2.4 Oszillator (VCO) und Entkopplungsverstärker 1	22
3.2.5 Entkopplungsverstärker 2, Ausgangsverstärker	24
3.2.6 Spannungsregelung +10V/+8V	24
3.3 Umschalter UM-EM S42024-H385-...	25
3.3.1 Einsatz- und Aufbauhinweise	25
3.3.2 Funktion	25
4 Funkkanalsteuerung	27
4.1 CPU S42025-H418-*1 + Software S42025-H430-A150	27
4.1.1 CPU-Baustein 80C85, Adressen- Daten- und Steuerbus	31
4.1.2 Speicher	34
4.1.3 Interruptsteuerung	35

4.1.4	Serielle Schnittstelle	36
4.1.5	VLSI-Bausteine	36
4.1.5.1	Takterzeugung	40
4.1.5.2	Teilerketten	41
4.1.5.3	Ablaufsteuerung	44
4.1.5.4	Überwachung und Rechnerreset	45
4.1.5.5	Korrelationsempfänger	46
4.1.5.6	Jittermesser	50
4.1.5.7	Offsetkorrektur	52
4.1.5.8	Decoder	55
4.2	BS-Interface- S42024-H379-....	57
4.2.1	Laufzeitkorrektur	57
4.2.2	Adressendecodierung	58
4.2.3	Abfrage der Gestelladresse	58
4.2.4	Ausgabeports	58
4.2.5	Umsetzung der Ident-Feldstärke	59
4.2.6	Offsetkorrektur	60
4.2.7	Power-on-Reset, Reset-Taste	60
4.3	FME-Interface S42024-H380-...	60
4.3.1	Korrelationszusatz	61
4.3.2	Umsetzung der Scan-Feldstärke	62
4.3.3	Störungsregister	62
4.3.4	Sonstige Funktionen	63
5	Technische Daten	64
5.1	Empfänger	64
5.2	Synthesizer	62
5.3	CPU	65
5.4	FME-Interface	65
5.5	Umschalter	65
6	Geräteübersicht	66

1 Übersicht

1.1 Funkmeßempfänger (FME) im Netz C 450

Jede Basisstation (BS) mißt mit dem Funkmeßempfänger (FME) die Feldstärke aller in den Nachbarfunkbereichen vergebenen Sendekanäle, stellt die funkspezifischen Eigenschaften der mobilen Teilnehmer fest und legt die Meßergebnisse kanalbezogen in einen Speicher ab. Für die Aktualität der Daten im Funkmeßempfänger ist es notwendig, daß die Feldstärken der in der Nachbarschaft benutzten Kanäle zur Bildung der relevanten Mittelwerte in relativ kurzen, sich schnell wiederholenden Zeitabständen erfaßt werden. Diese Funktion wird durch ein Kanal-Abfrage-Verfahren (Scan-Betrieb) sichergestellt.

Übersteigen die Meßergebnisse einen vorgegebenen Grenzwert, so synchronisiert sich der Funkmeßempfänger auf die Verbindung und identifiziert die Gesprächsverbindung durch Auswerten der Signalisierungsdaten. Stellt der Funkmeßempfänger über die Auswertung der Entfernung fest, daß das Teilnehmergerät bereits im eigenen Versorgungsbereich arbeitet, wird zwangsweise eine Gesprächsumschaltung eingeleitet.

Im Gesprächszustand (verteilte Signalisierung) ermittelt das Teilnehmergerät über den Barkercode und dessen Auswertung im Korrelationsempfänger die zum Lesen der Signalisierung erforderliche Empfangstakt-Phaseneinstellung. Diese Einstellung wird auch auf die Sendeseite übertragen. Das Teilnehmergerät verhält sich aus Sicht der Basisstation wie ein echter Reflektor.

Der Funkmeßempfänger FME (BS2) empfängt die Signalisierung des bei der BS1 im Sprechkanal (SpK) eingebuchten Teilnehmers mit der Laufzeit $t_1 + t_2$ (siehe Bild 1). Der Sprechkanal in der BS1 mißt mit seinem Korrelationsempfänger die doppelte Laufzeit zum Teilnehmer und signalisiert diese über die Luftschnittstelle an den Teilnehmer, der sie wiederum aussendet. Somit kann der FME (BS2) diesen Wert aus der Signalisierung des Teilnehmers entnehmen. Durch Halbierung dieses Wertes sowie Subtraktion von dem durch die Entfernungsmessung (Software-Korrelation) ermittelten Wert errechnet der FME die Entfernung zum Teilnehmer (t_2).

$$t_2 = t_1 + t_2 - 2t_1/2$$

Damit der Funkmeßempfänger den wirklichen Abstand zwischen Basisstation 2 und dem Teilnehmergerät ermitteln kann, sind zwei Forderungen zu berücksichtigen:

- Die Basisstationen müssen synchronisiert sein. Jede Phasendifferenz zwischen den Initialpunkten benachbarter Basisstationen wirkt sich als Fehler in der Entfernungsmessung des Funkmeßempfängers aus.
- Die Basisstation muß mindestens den Status "bedingte Genauigkeit" haben.

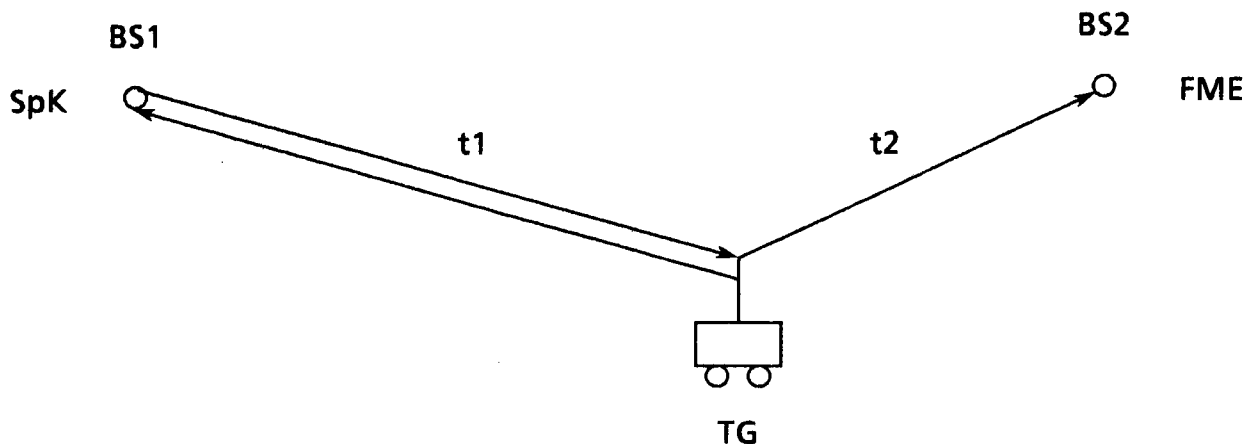


Bild 1 Entfernungsmessung Basisstation → Teilnehmergerät

Dem Funkmeßempfänger werden die Funkzonenradien seiner Nachbar-Funkkonzentratoren aus den jeweiligen Anlagenlisten übertragen.

Kriterien des Funkmeßempfängers für die entfernungsabhängige Umschaltung:

- Relative vorzeichenabhängige Entfernungssolldifferenz.
Die Funkzonenradien des eigenen bzw. der Nachbar-Funkkonzentratoren sind aus den Anlagenlisten bekannt.
- Relative vorzeichenabhängige Entfernungsdifferenz.
Der Funkmeßempfänger ermittelt aufgrund des Identifizierungsergebnisses die eigene Entfernung zum Teilnehmergerät über die Subtraktion Gesamtlaufzeit minus der vom Teilnehmergerät übertragenen Entfernung zu dessen aktueller Basisstation. Die Entfernungsdifferenz wird als Vergleichsgröße herangezogen.

Unter der Annahme der Konturengleichheit von Funkzonen für Umbuchen und Umschalten muß auch in Grenzfällen mit Sicherheit gewährleistet sein, daß das Teilnehmergerät mit einem kurz nach dem Umschalten vollzogenem Auslösen des Gespräches, die richtige organisatorische Zuordnung zu seiner Bezugs-BS findet.

Durch Geräte- und Funkfeldparameter, wie Temperatur, Rauschen, Mehrwegeinflüsse, könnten unterschiedliche Interpretationen entstehen. Bei der Umschaltung nach den Kriterien der relativen Entfernungsmessung wird mit einer Hysterese gearbeitet.

Im allgemeinen sind in der Basisstation für die relative Entfernungsmessung und damit für die Gestaltung der Funkbereiche nur die Festlegung der Differenz von Funkzonenradien und der Grenzbereich, innerhalb dessen Nachbarschaftsunterstützung geleistet wird, wichtig.

Durch die größere Flexibilität in der Funkzonengestaltung und näherungsweise Anpassung an die topographischen bzw. feldstärkemäßigen Gegebenheiten werden in der Regel durch den Funkmeßempfänger nur Zwangsumschaltungen durchgeführt, die den Datenverkehr zwischen Mobil Switching Center (MSC) und Basisstation minimieren (Datenaustausch BS → MSC → BS). Nur in seltenen Fällen, in denen punktuell die feldstärkemäßige Versorgung innerhalb der Funkzone nicht ausreicht, das Teilnehmergerät sich aber schon außerhalb des Versorgungsbereichs bewegt, wird an die Nachbarfunkbereiche ein Meßauftrag zum Zweck der Umschaltung erteilt.

Funkmeßempfänger in der Basisstation

In jeder Basisstation (Bild 2) gibt es mindestens einen Funkmeßempfänger. Im FME sind zwei Empfänger mit je zwei Synthesizern eingesetzt. Ein Empfänger dient nur für den Scan-Betrieb, der andere wird zum Scannen und Identifizieren benutzt. Die Ausbaustufe ist vom zu überwachenden Kanalvolumen der Nachbar-Basisstationen abhängig (max. etwa 220 Kanäle), wobei jeder Funkmeßempfänger bis maximal 40 Kanäle überwachen kann. Die Funkmeßempfänger sind grundsätzlich nicht als Ersatzschalteinheit vorgesehen. Fällt in der Basisstation ein Funkmeßempfänger aus, können daher auf den ihm zugewiesenen Kanälen keine Umschaltungen mehr durchgeführt werden.

Die Funkmeßempfänger sind in einem dem Zentralgestell zugeordneten, eigenen Gestell eingesetzt. In einem Gestell werden bis zu drei Funkmeßempfänger aufgenommen und von einer gemeinsamen Stromversorgung versorgt.

Alle Funkmeßempfänger sind über einen Antennenverstärker an die Antenneneinrichtungen angeschlossen.

Der Funkmeßempfänger wird über den Frequenzverteiler mit dem Rahmensetzsignal QSETZ (alle 2,4 s) und dem Takt 6,4 MHz (QT6,4M) versorgt. Der Datenaustausch mit der Funkdatensteuerung findet über eine serielle Schnittstelle statt.

Der Funkmeßempfänger wird in größeren zeitlichen Abständen zyklisch durch das Prüffunkgerät (PFG) überprüft. Die Prüfung selbst findet über Anreiz durch die Funkdatensteuerung (FDS) statt. Die Radiofrequenz-Kopplung zwischen Funkmeßempfänger und Prüffunkgerät wird in der Antennenanlage vorgenommen.

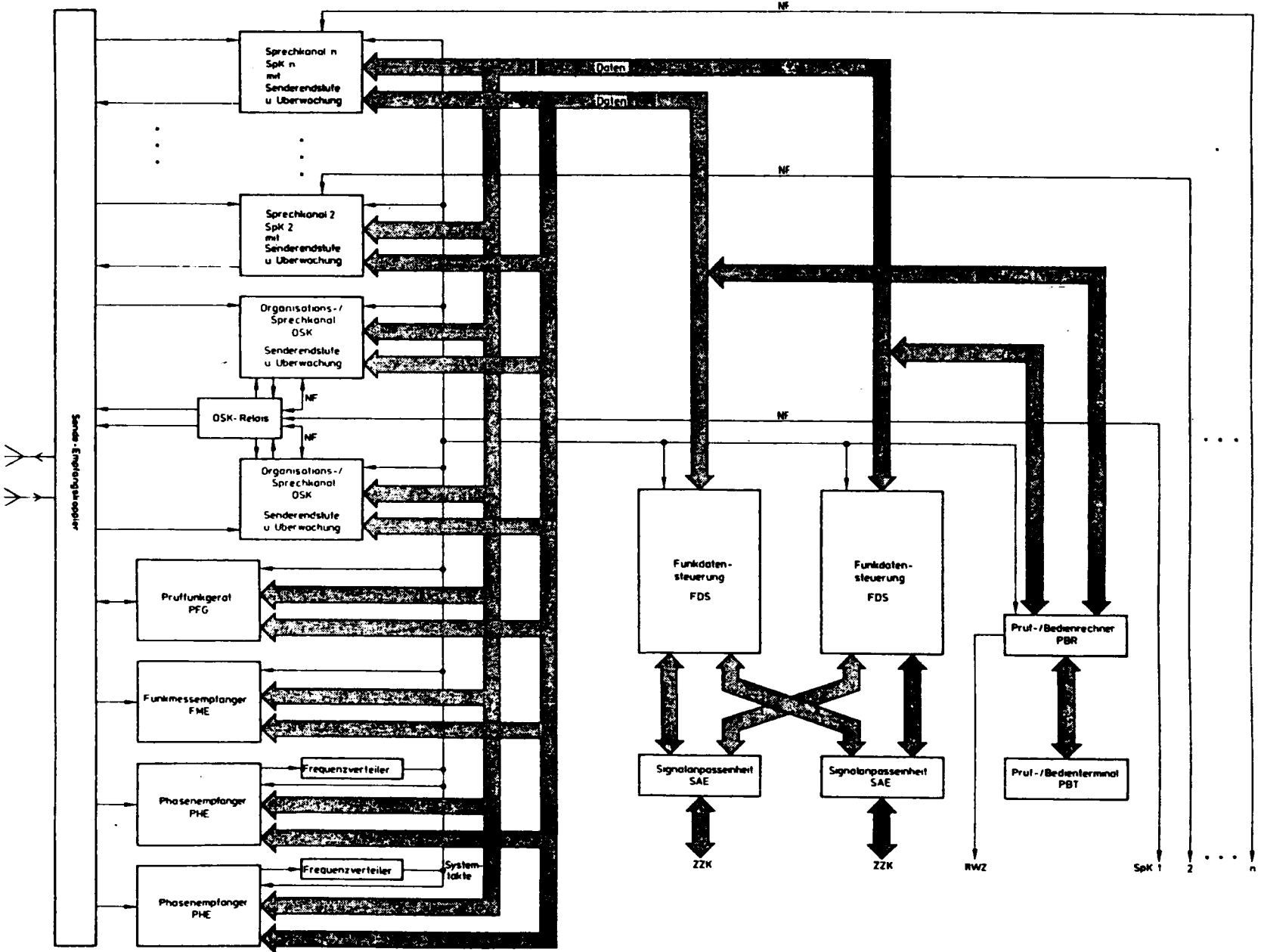


Bild 2 Übersichtsschaltplan Basisstation

1.3 Aufbau und Funktionseinheiten des Funkmeßempfängers

Der Funkmeßempfänger besteht aus den Funktionseinheiten Funkteil und Funkkanalsteuerung (Bilder 3 und 4).

Zum Funkteil gehören die Baugruppen Synthesizer, Umschalter und Empfänger. Die Empfänger sind an die Antennenanlage angeschlossen.

Die Funkkanalsteuerung besteht aus den Baugruppen CPU, BS-Interface und FME-Interface. Die CPU enthält neben 80C85-CPU, RAM und EPROM, einem Zeitgeber sowie einem USART für den block- und zeitplatzorientierten Datenaustausch zur Funkdatensteuerung (FDS) die beiden VLSI-Bausteine, in denen ein Großteil der Steuerungsfunktionen – wie z.B. die Signalbewertung – untergebracht ist.

Das Einstellen der Empfangsfrequenzen der Synthesizer sowie das Bewerten der Störungsmeldungen wird über die Steuerung (Port Frequenz- Einstellung, Störungsmeldungen) in den Baugruppen BS-Interface und FME-Interface vorgenommen. Die Empfänger liefern ihr Empfangsdaten- und Feldstärkesignal an die Steuerung (DADEMI, FESTI, FESTS). In einem A/D-Wandler wird die Feldstärke in digitale Signale umgesetzt und kann vom Rechner gelesen werden.

Das Empfangsdatensignal (DANRI, nur vom Ident-Empfänger) wird im VLSI nach der Empfangsgüte ausgewertet.

Die Signalbewertung (im VLSI) gliedert sich in die Funktionseinheiten Korrelationsempfänger, Offsetmesser und Jittermesser. Der Korrelationsempfänger ist im Funkmeßempfänger bis auf die FEP in konzentrierter Signalisierung ohne Funktion, da die Phasenauswertung des Barkercodes durch Software-Korrelation vorgenommen wird. Durch die Software-Korrelation werden Phase und Offset des empfangenen Teilnehmers berechnet und an die Empfangsteilerkette und die Offsetkorrektur ausgegeben. Damit kann im VLSI der Decoder die Nutzinformation lesen und sie zum weiteren Auswerten dem Rechner übertragen. Der für die Software-Korrelation notwendige Korrelator-Zusatz ist auf der Baugruppe FME-Interface untergebracht.

Der Jittermesser im VLSI überträgt die blockweise addierten Zeichenwechsel-Veränderungen der digitalen Signalisierungsdaten zum Rechner. Dieser berechnet den Geräuschabstand. Der Wert gilt neben der Feldstärke als ein Maß für die Empfangsgüte. Sende- und Empfangsteilerkette im VLSI werden auf Synchronismus überwacht. Die Sendeteilerkette wird rahmenweise durch das Zeitzeichen QSETZ aus dem Phasenempfänger gesetzt.

Die Baugruppe FME-Interface enthält neben dem Korrelationszusatz ein 4k-RAM, Rechnerports und Störungsregister, sowie die Integrationsschaltung für die Scan-Feldstärke. Das BS-Interface enthält u.a. Rechnerports zur Frequenzeinstellung der Synthesizer sowie die Integrationsschaltung der Ident-Feldstärke.

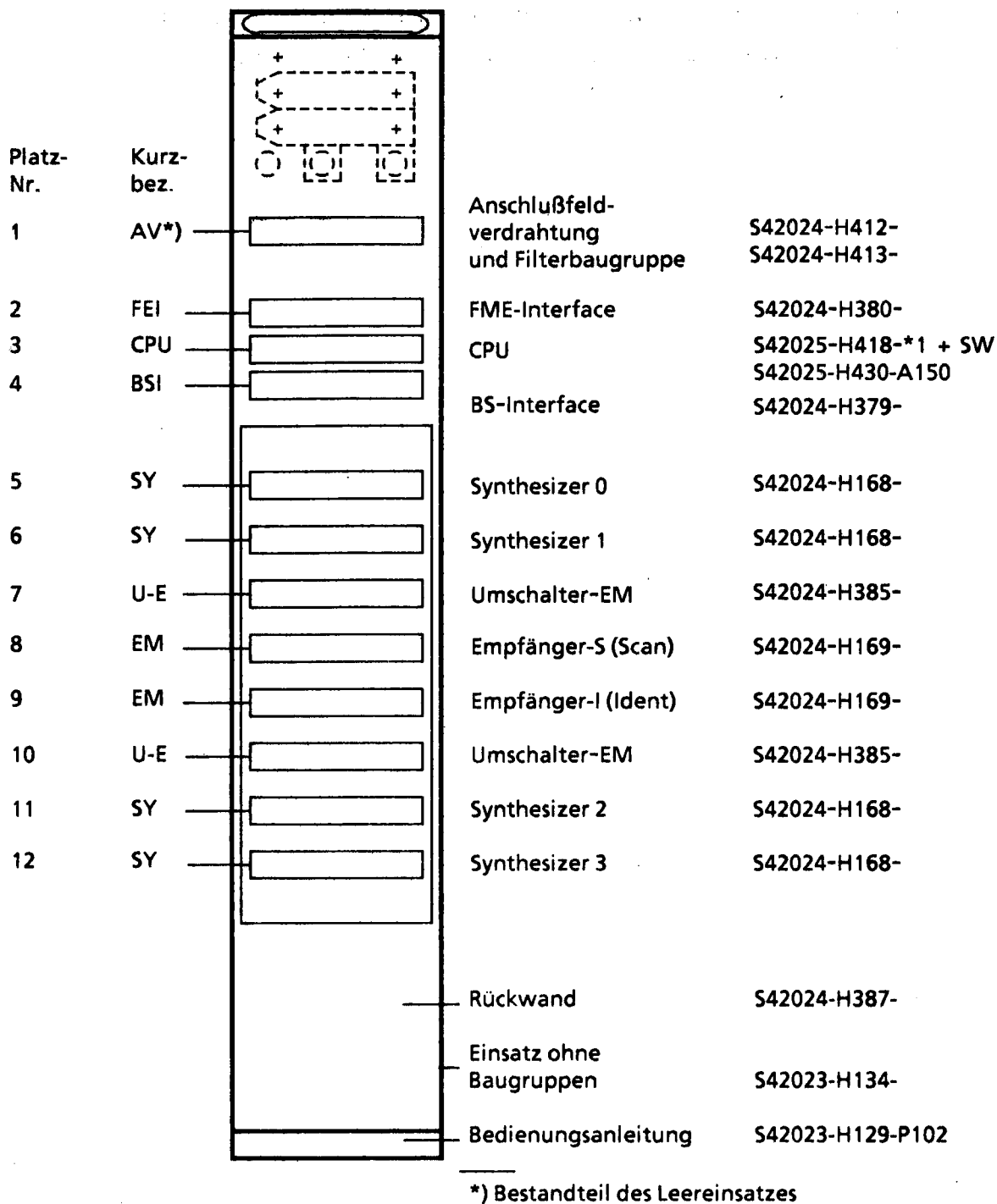
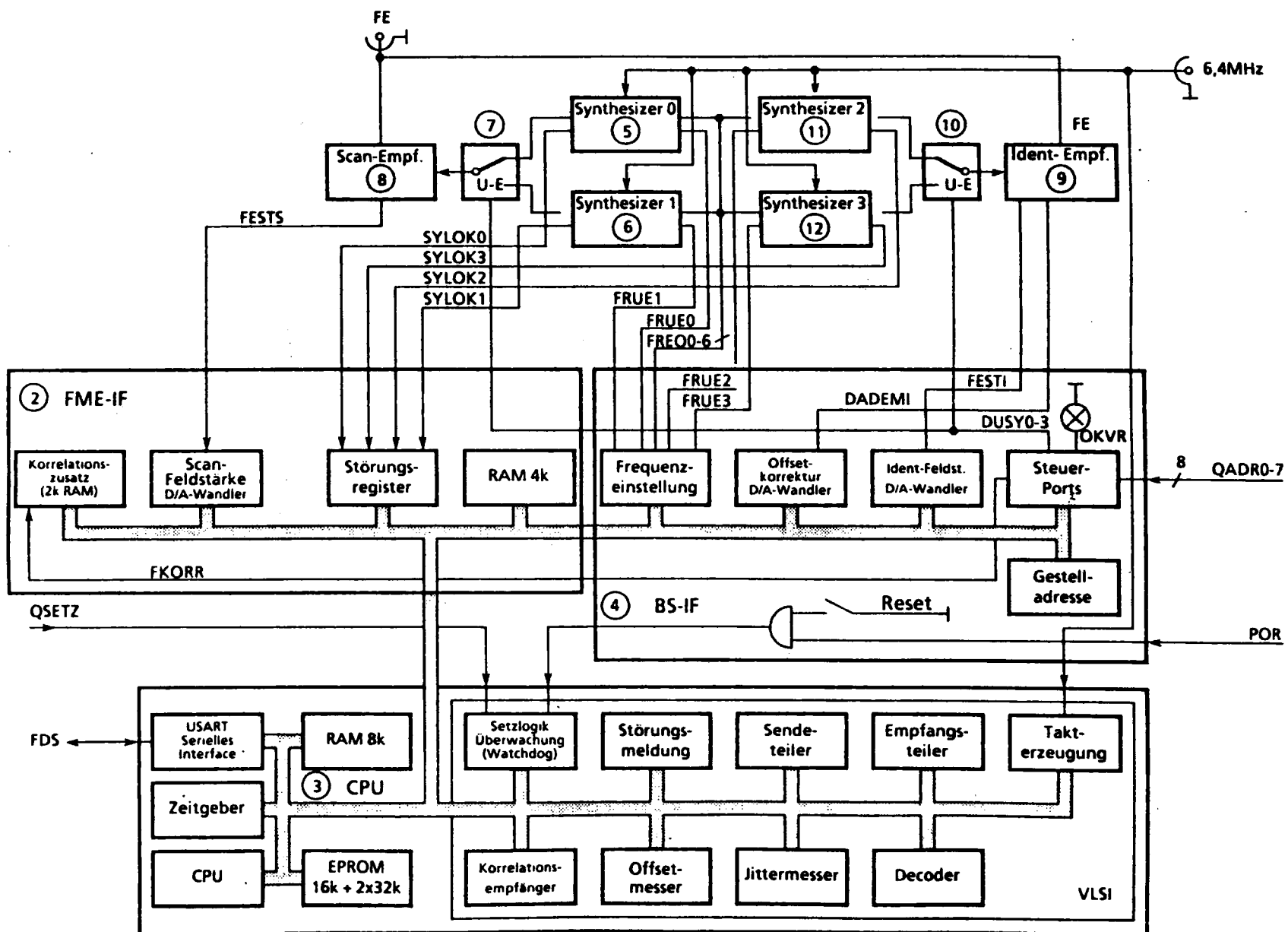


Bild 3 Aufbau des Funkmeßempfängers

Bild 4 Übersichtsschaltplan Funkmeßempfänger



2 Schnittstellen

2.1 Externe Schnittstellen

2.1.1 Schnittstelle zur Antennenanlage

Über diese Schnittstelle wird den Empfängern des Funkmeßempfängers vom Trennverstärker der Antennenanlage das HF-Eingangssignal FE zugeführt.

2.1.2 Schnittstelle zum Frequenzverteiler

An der Taktschnittstelle wird der Takt QT6,4M (6,4-MHz-Referenzfrequenz) und das Zeitzeichen QSETZ vom Frequenzverteiler eingespeist.

Vom Verteiler wird der Takt über Koaxialkabel an das FME-Interface sowie an den Synthesizer weitergeleitet. Auf dem FME-Interface werden 6,4 MHz zur Versorgung der übrigen Steuerungsbaugruppen auf TTL-Pegel umgesetzt.

2.1.3 Schnittstelle zur Gestellverdrahtung

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestelladresse (auch als Kanaladresse bezeichnet) übergeben (Leitungen QADR0-7, Auswertung am BS-Interface).

2.1.4 Serielle Schnittstelle zur Funkdatensteuerung (FDS)

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Datenaustausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Alle vier Bausteine befinden sich auf der CPU.

2.1.5 Schnittstelle zur Stromversorgung

Zur Generierung eines Power-on-Resets nach Spannungsausfall wird neben den Versorgungsspannungen +5V und +10V das Signal POR(-FME) aus der Stromversorgung zugeführt.

2.2 Interne Schnittstellen

Im folgenden sind die Schnittstellensignale zwischen der Funkkanalsteuerung und den Baugruppen des Funkteils erläutert.

Synthesizer

Die Frequenzeinstellung wird mit Hilfe der Signale FRUE0-3 und FREQ0-6 aus dem BS-Interface vorgenommen. Die Synthesizer liefern im nicht gelockten Zustand die Fehlermeldungen -SYLOK0-3.

Empfänger

Die Signale FESTI (Feldstärke) und DADEMI (analoges Datensignal) des Ident-Empfängers werden im BS-Interface verarbeitet. Vom Scan-Empfänger wird nur die Feldstärke FESTS ausgewertet (geschieht auf dem FME-Interface).

Umschaltebaugruppen

Mit Hilfe der Signale DUSY0-3 werden die Synthesizerfrequenzen zu den Empfängern durchgeschaltet. Das Signal -UMSCH liegt bei vorhandenen Umschalter (UM0) an GND.

3 Funkteil

3.1 Empfänger S42024-H169-...

Stromlaufplan S42024-H169-...*-7411

Der Empfänger (siehe Bild 5) ist Bestandteil des Funkteils im Funkmeßempfänger, er stellt die Verbindung zur Antennenanlage dar (siehe externe Schnittstellen 2.1.1).

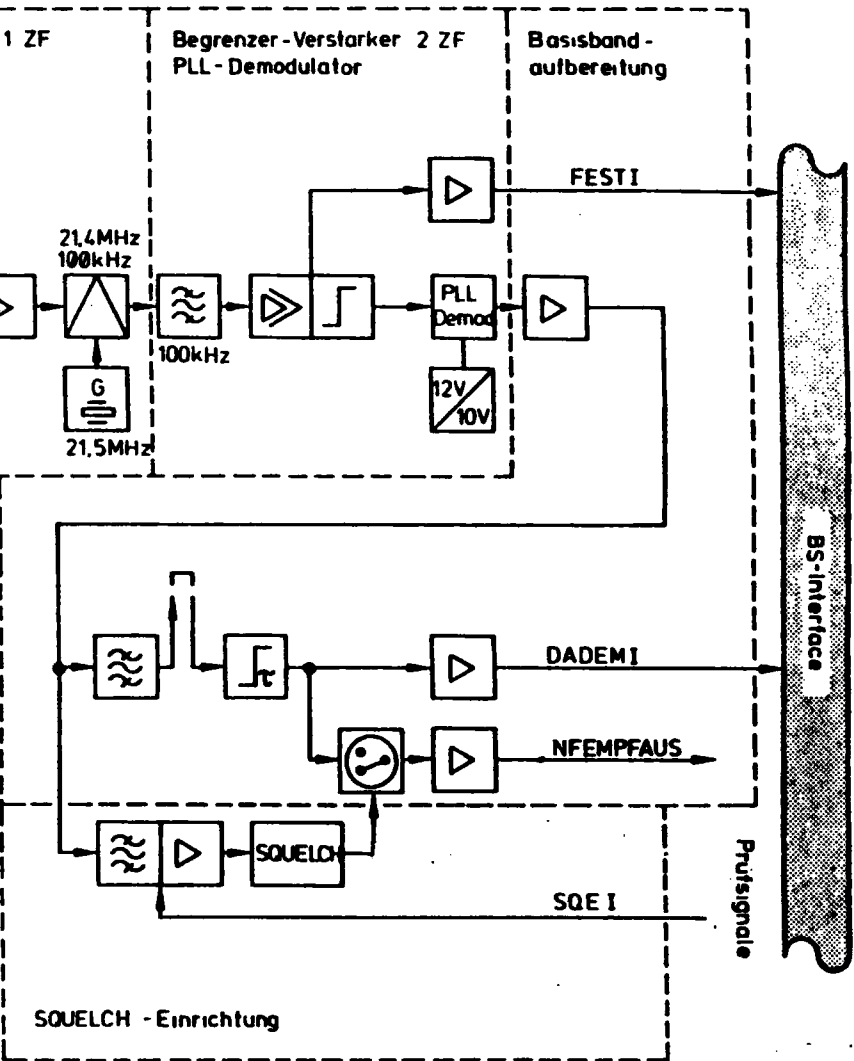
Das von der Antenne kommende Empfangssignal (FE) wird über die 1. Zwischenfrequenz (1. ZF 21,4 MHz) in die 2. ZF (100 kHz) umgesetzt, demoduliert und über den Datenweg (DADEMI) zur Funkkanalsteuerung weitergeleitet.

3.1.1 Stromversorgung für PLL-Demodulator

Die besonderen Anforderungen an die Konstanz des PLL-Demodulators 304 erfordern eine Betriebsspannung (+ 12 V) hoher Stabilität. Diese Spannung wird mit Hilfe eines Gleichspannungswandlers aus der extern zugeführten Betriebsspannung (10 V) gewonnen. Dazu erzeugt der IC305 Rechteckimpulse mit einer Frequenz von etwa 6 kHz. Diese Impulse werden mit Hilfe der Diode 250 und dem Kondensator 175 der Betriebsspannung (10 V) überlagert und zusammen gleichgerichtet (Diode 251 und Kondensator 176). Nach der anschließenden Stabilisierungsschaltung (Widerstand 57, Referenzdiode 252 und Kondensator 170) steht die gewünschte Ausgangsspannung (+ 12 V) zur Verfügung. Sie versorgt den IC304 und dient zum Erzeugen der Arbeitspunkte der Operationsverstärker 303 und 307.

3.1.2 Eingangsstufe mit Mischer 1

Das ankommende HF-Eingangssignal (FE) wird vom Transistor 271, dessen Arbeitspunkt vom Transistor 270 stabilisiert ist, verstärkt. Über das nachfolgende Zweikreis-Helical-Filter 240 gelangt das verstärkte Eingangssignal zum Ringmischer 320. Dort wird es mit Hilfe des Signals f_{L0} , das der Synthesizer des Funkteils liefert, auf die 1. Zwischenfrequenz (1. ZF) von 21,4 MHz umgesetzt.



1) im FME ohne Funktion

Bild 5 Übersichtsschaltplan Empfänger

3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2

Der Transistor 272 verstärkt die vom Ringmischer 320 gelieferte 1. ZF und leitet sie über eine Anpaßschaltung (Kondensator 139 und Spule 225) zum 8poligen Quarzfilter 300, in dem die Hauptselektion des Empfängers vorgenommen wird.

Der nach der Anpaßschaltung (Kondensator 142 und Spule 226) folgende Schaltungsteil mit dem Transistor 273 verstärkt das vom Quarzfilter 300 kommende 21,4-MHz-Signal und führt es zum Mischer 2 (301).

Das IC 301 wird als selbstschwingender Mischer betrieben; dabei bestimmt der angeschlossene 21,5-MHz-Quarz die Umsetzfrequenz und damit die Umsetzung auf die 2. Zwischenfrequenz von 100 kHz.

3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung

Das am Ausgang von Mischer 2 austretende 100-kHz-Signal (2. Zwischenfrequenz) gelangt über ein 100-kHz-Zweikreis-Bandfilter (Kondensatoren 155, 156, 157 sowie Spulen 229 und 230) zum Begrenzer-Verstärker 302. Dieser leitet es an den Demodulator (IC 304) weiter. Das 100-kHz-Zweikreis-Bandfilter dient sowohl zum Unterdrücken der durch den Mischer 2 erzeugten Umsatzfrequenz als auch zur weiteren Selektion des Empfangssignals.

Das Begrenzer-IC302 erfüllt zwei Aufgaben: es verstärkt und begrenzt das ZF-Signal, sodaß unabhängig vom Eingangspegel des Empfängers ein konstanter Pegel am Pin 11 für den nachfolgenden PLL-Demodulator zur Verfügung steht. Außerdem erzeugt es eine dem Empfangspegel proportionale Spannung (PIN 15), die im Operationsverstärker 303 auf einen Ausgangspegel zwischen 0 V und 2,5 V gebracht wird. Diese dient zum Messen des HF-Eingangspegels des Empfängers im Bereich von etwa -120 dBm bis etwa -60 dBm.

Das IC304 enthält einen spannungsgesteuerten 100-kHz-Oszillator (VCO), einen Phasenkomparator und ein Loop-Filter, die zusammen als PLL-Demodulator geschaltet sind. Die beim Übertragen von NRZ-Daten (Modulationssignal) notwendige Gleichspannungskopplung bei der Demodulation erfordert eine hohe Konstanz des Oszillators, die durch den Präzisions-IC304 bei der 2. ZF von 100 kHz gewährleistet ist. Am Ausgang des PLL-Demodulators 304 (Pin 10) steht das demodulierte Basisbandsignal zur Verfügung.

3.1.5 Basisbandaufbereitung

Das demodulierte Basisbandsignal wird vom nachfolgenden Operationsverstärker 306 verstärkt. Im Operationsverstärker 306 wird auch die gemeinsame Pegeleinstellung für den Daten- und NF-Ausgang vorgenommen. Ein Besselfilter 3. Ordnung begrenzt das Basisband anschließend auf etwa 4 kHz, es gelangt dann an den Allpaß 308. Dieser Allpaß ermöglicht das Einstellen der erforderlichen Soll- Laufzeit im Empfänger.

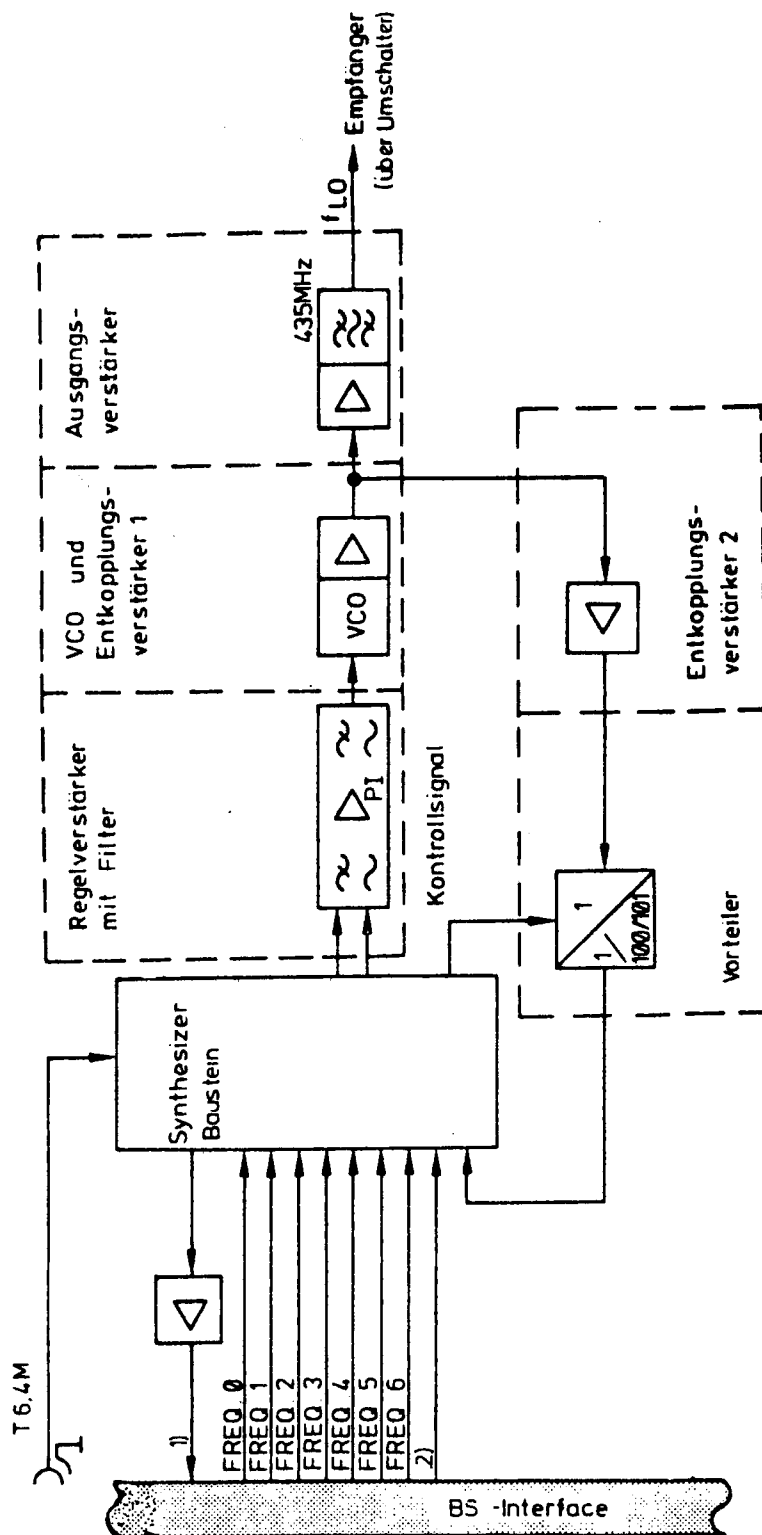
Nach dem Allpaß 308 wird eine Verzweigung in Daten- und NF-Weg vorgenommen; letzterer wird im FME nicht benötigt. Der Operationsverstärker 303 verstärkt das Daten-Signal auf einen Pegel von 2 V (Spitze-Spitze) und übergibt es an die Baugruppe BS-Interface (Signal DADEMI).

3.2 Synthesizer S42024-H168-....

Stromlaufplan S42024-H168-B3-*-7411

Jeder der vier Synthesizer (siehe Bild 6) erzeugt im Funkmeßempfänger die Umsetzfrequenz für einen der beiden Empfänger. Die Frequenz des Synthesizers kann digital durch ein 8-bit- Wort in Schritten von 10 kHz oder 12,5 kHz im Frequenzbereich von 428,60 MHz bis 434,34 MHz eingestellt werden. Der Signalpegel für das 8-bit-Wort beträgt +5 V. Nach Erreichen der gewünschten Frequenz wird das Signal SYLOK 0 (1, 2 oder 3) erzeugt (Lock-Kontrolle, Signal = "1").

Der Synthesizer benötigt eine Referenzfrequenz von 6,4 MHz.



- 1) SYLOK 0 bis 3
für Synthesizer 0 bis 3
- 2) FRUE 0 bis 3
für Synthesizer 0 bis 3

Bild 6 Übersichtsschaltplan Synthesizer

3.2.1 Prinzip Synthesizer

Bild 7 zeigt den Übersichtsschaltplan für die indirekte Frequenzsynthese dargestellt, wie sie im Synthesizer verwendet wird.

Der Frequenzteiler T2 dient zum Einstellen des Kanalarasters (10/12,5 kHz). Die Ausgangsfrequenz F_k stellt die Referenz für die Phasenbrücke (Phi) dar.

Der VCO ist ein spannungsgesteuerter Oszillator, der die Frequenzen von 429,60 MHz bis 434,34 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß $n \times F_k$ die gewünschte Frequenz F_{syn} ergibt. Am Ausgang der Phasenbrücke entsteht die Gleichspannung X , die proportional der Phase von $F_k/(F_{\text{syn}}/n)$ ist. Die Oberwellen der Frequenz F_k werden mit dem Filter F_i unterdrückt.

Die Gleichspannung X dient als Steuersignal für den VCO und steuert diesen solange nach, bis F_k und (F_{syn}/n) gleich sind.

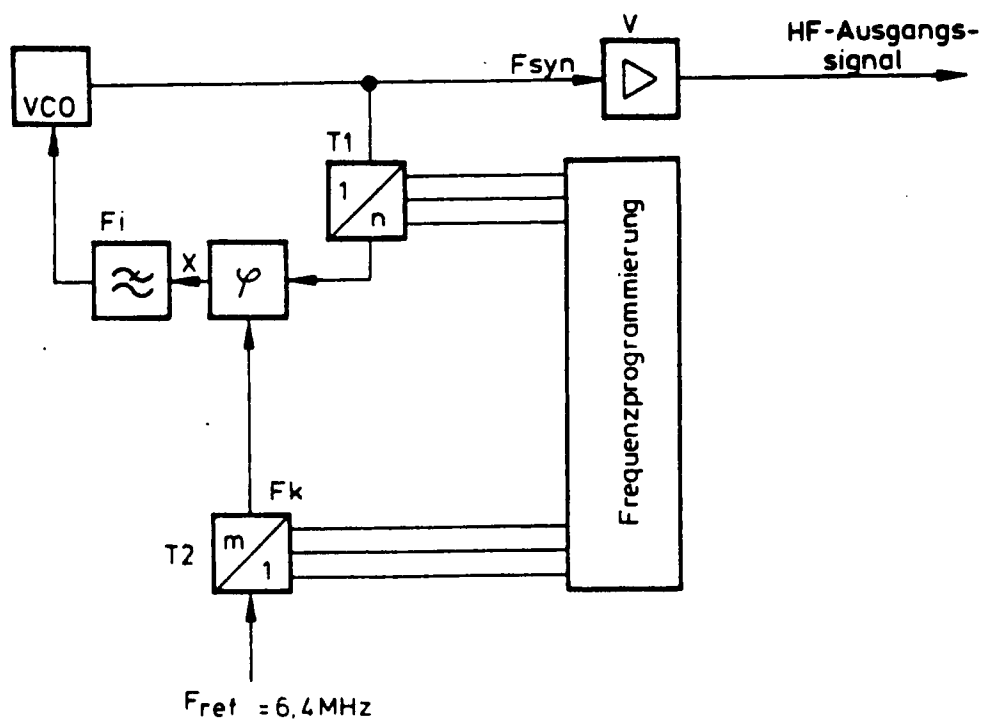


Bild 7 Prinzip Synthesizer

3.2.2 Synthesizer-Baustein und Vorteiler

Im Bild 8 sind der Synthesizerbaustein und die zugehörigen Funktionsteile dargestellt.

In den Synthesizer-Baustein integriert sind die Frequenzteiler für die Referenz (12-bit-R-Teiler) und ein Teil der Frequenzteiler, die die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz oder 12,5 kHz teilen. Außerdem sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrolllogik zur Steuerung eines externen Vorteilers und eine Programmierlogik enthalten.

Der 7-bit-A-Teiler, der 10-bit-N-Teiler, die beiden externen Bausteine 552, 553 sowie die Kontrolllogik bilden den vollständigen Frequenzteiler; die Bausteine 552, 533 bilden einen 100/101-Vorteiler, der mit dem Kontrollsignal definiert umgeschaltet wird.

Die Frequenzprogrammierung (Signale $FREQ0...6$ von der Baugruppe BS-Interface) geschieht an den Eingängen $D0...3$, $A0...2$ und St (Signal $FRUE0$ bzw 1, 2, 3). Die Adreßeingänge $A0...2$ wählen die Speicher ($S0...7$) aus, die die Daten von $D0...3$ empfangen sollen. Mit dem Signal $FRUE0$ (bzw 1, 2, 3) wird am Eingang St der Übernahmezeitpunkt bestimmt.

Zur Gewinnung der Steuerspannung für den VCO stehen zwei Phasendetektoren (A, B) zur Verfügung, von denen der Phasendetektor B verwendet wird. Dieser Phasendetektor hat einen symmetrischen Ausgang, um Störspannungen von außen zu unterdrücken.

3.2.3 Regelverstärker mit Filter

Der Operationsverstärker 551 erzeugt aus der symmetrischen Spannung vom Phasendetektor B eine unsymmetrische Spannung zur Ansteuerung des VCO. Die Widerstände 22 bis 25 sowie die Kondensatoren 202 bis 204 und 207 bilden zwei in Serie geschaltete Tiefpässe. Die Widerstände 26, 27 und Kondensatoren 205, 206 dienen zur Stabilisierung des Regelkreises (Lag-Glieder). Die Widerstände 28, 29, 30 und Kondensatoren 208, 229, 230 stellen ebenfalls drei Tiefpässe dar, sie unterdrücken die Referenzfrequenz und deren Oberwellen.

3.2.4 Oszillator (VCO) und Entkopplungsverstärker 1

Der spannungsgesteuerte Oszillator (VCO) besteht im wesentlichen aus dem Feldeffekttransistor 507 sowie dem Rückkoppelnetzwerk 235 und 236. Die Schwingkreisspule besteht aus einem 20 mm langem Kupferdraht auf den Stützpunkten A, B, C.

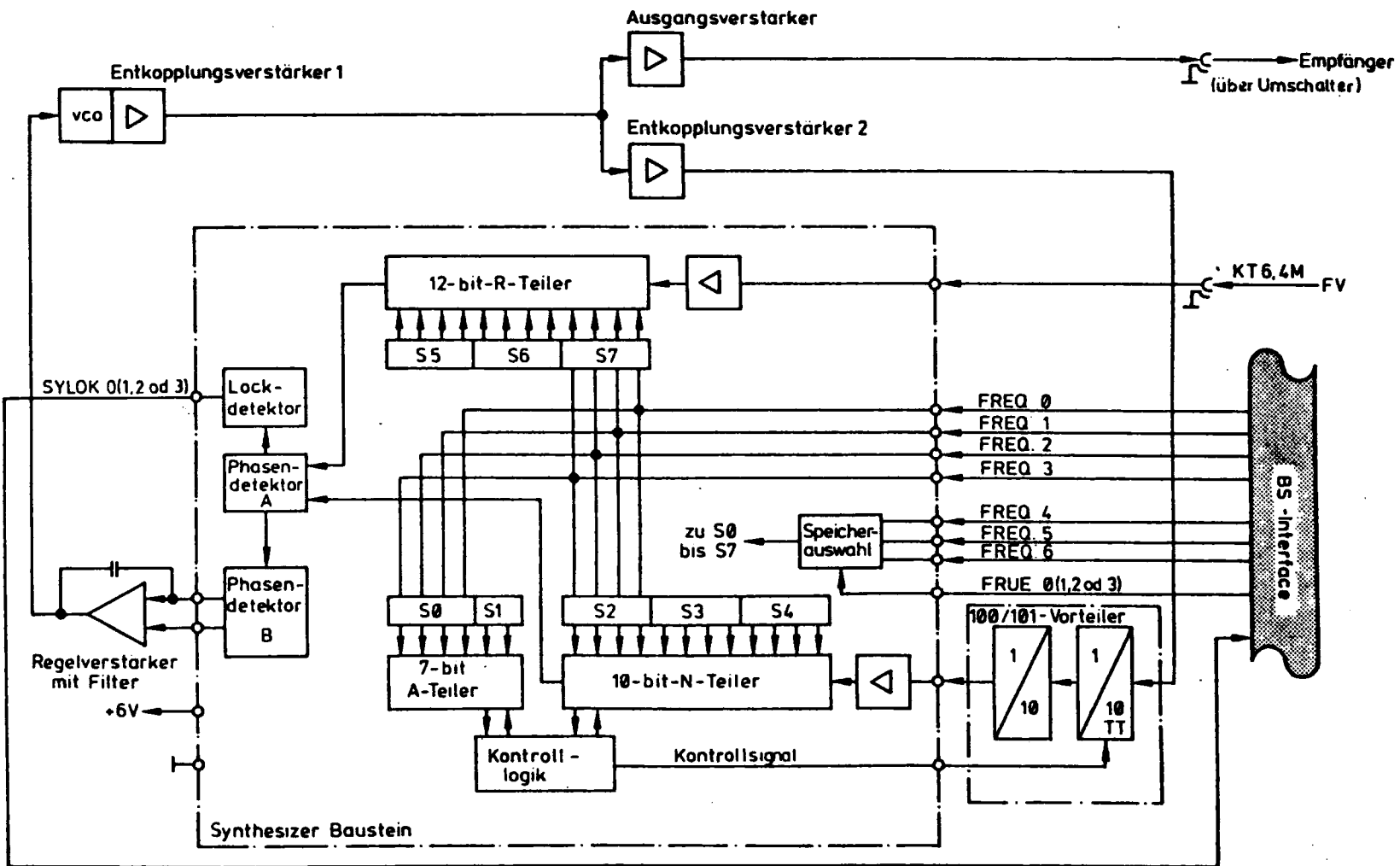


Bild 8 Übersichtsschaltplan Synthesizer-Baustein

Mit zwei Kapazitätsdioden, 472 und 473, die über die Kondensatoren 231, 232, 233 an den Schwingkreis angekoppelt sind, läßt sich der Oszillator in seiner Frequenz verändern. Um Rückwirkungen vom Ausgang und von den Frequenzteilern 552 und 553 möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker (Transistoren 508 und 509) erforderlich. Das Dämpfungsglied (Widerstände 63, 64, 65) dient zum Erhöhen der Entkopplung und zum Anpassen der Ausgangsleistung. Um die Störmodulation, bedingt z.B. durch mechanische Erschütterung, klein zu halten, befinden sich der VCO und die beiden Stufen in einem fest umschlossenen Gehäuse.

3.2.5 Entkopplungsverstärker 2, Ausgangsverstärker

Der hochfrequente Teiler 553 wird vom Verstärker mit dem Transistor 505 angesteuert. Der Verstärker ist beidseitig mit einem Dämpfungsglied abgeschlossen, um den Pegel an Teiler 553 anzupassen.

Die Verstärkerstufe mit dem Transistor 523 bildet die Ausgangsstufe (s.Bild 8). Mit dieser Stufe wird eine Ausgangsleistung von 15 mW bis 40 mW erreicht. Am Ausgang liegt das Signal f_{L0} , das an den Empfänger übergeben wird. Es dient als Umsetzfrequenz für den Empfänger, um die erste Zwischenfrequenz zu erzeugen. Der Transistor 521 dient zur Arbeitspunktregelung der Verstärkerstufe. Die Zenerdiode 485 unterdrückt Störspannungen, die auf der +10-V-Versorgungsspannung liegen. Das Helicalfilter 381 hat eine Bandfiltercharakteristik; es unterdrückt restliche Nebenwellen, die in den Frequenzteilern entstehen.

3.2.6 Spannungsregelung +10 V/+8 V

Für besonders empfindliche Schaltungen und Bauteile der Baugruppe Synthesizer sind die von der Gestell-Stromversorgung gelieferten Spannungen zusätzlich stabilisiert.

Zu den empfindlichen Schaltungen gehören der Oszillator und die Entkopplungsverstärker mit den Transistoren 505, 508 und 509.

Die Stabilisierungsschaltung ist mit dem IC 554 und dem Transistor 530 aufgebaut. Der Transistor ist notwendig, um einen möglichst geringen Spannungsabfall an der Stabilisierungsschaltung zu erhalten.

3.3 Umschalter UM-EM S42024-H385-

3.3.1 Einsatz- und Aufbauhinweise

Mit Hilfe der Baugruppen Umschalter-Empfänger (UM-EM) ist es möglich, die Betriebsfrequenzen der beiden Empfänger rasch zu ändern. Es wird dabei der Umschaltfrequenzeingang eines Empfängers zwischen zwei Synthesizern umgeschaltet. Die Steuerung wird mit den Signalen DUSY0 und DUSY1 bzw. DUSY2 und DUSY3 vom BS-Interface durchgeführt.

Die Baugruppe ist auf einer 4fach Multilayer-Leiterplatte im Europaformat aufgebaut. Die HF-Teile dieser Baugruppe sind mittels eines gefrästen Schirmblockes voneinander elektrisch entkoppelt, die Abschirmung des Bodens der Baugruppe wird von der Leiterplatte selbst hergestellt. Eine 24poligen Messerleiste mit acht Sonderplätzen (hievon drei belegt) stellt die Verbindung zur Einsatzrückwand her.

3.3.2 Funktion

Der Umschalter wird in Funkmodems und Funkmeßempfängern mit vier Synthesizern eingesetzt. Der Duplexabstand ist im Raster von 10 kHz bzw. 12,5 kHz frei wählbar, da die beiden Empfänger von getrennten Synthesizern gespeist werden.

Unerwünschte Rückwirkungen des Umschalters auf die Synthesizer, z.B. durch Fehlanpassung während des Umschaltens, werden durch Trennstufen unterbunden.

Bild 9 zeigt den Übersichtsplan des Umschalters. Bevor die f_{LO} -Signale der Synthesizer an die Schalter gelangen, durchlaufen sie jeweils drei Dämpfungsglieder und zwei Transistorstufen. Die Dämpfungsglieder (überbrückte T-Glieder) dienen dazu, den Frequenzgang der Transistorstufen auszugleichen und gleichzeitig Schalter und Synthesizer zu entkoppeln.

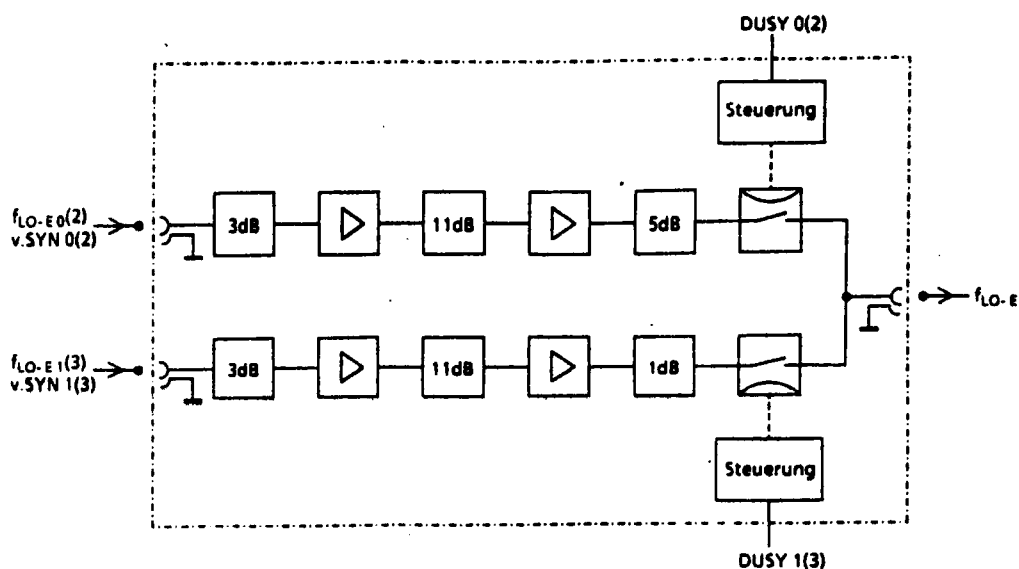


Bild 9 Übersichtsschaltplan Umschalter UM-EM

Um das Eigenrauschen der Baugruppe möglichst gering zu halten, werden die Transistoren knapp am 1-dB-Kompressionspunkt betrieben. Der eigentliche HF-Schalter ist 4stufig aufgebaut. Die vier Schaltstufen legen das ankommende Signal auf Masse. Die letzten PIN-Dioden der zwei Schaltgruppen sind miteinander verbunden und bilden den HF-Ausgang.

Die Steuersignale DUSY0/1 bzw. DUSY2/3 aus dem BS-Interface werden über schnelle Transistorschaltstufen in die entsprechenden Fluß- und Sperrströme umgewandelt und den Diodenschaltern über HF-Filter zugeführt. Die HF-Filter (LC-Tiefpässe) sind in eigenen Schirmkammern untergebracht, um die geforderte Entkopplung zwischen Ein- und Ausgang bzw. zwischen den Eingängen zu erreichen. Logisch "0" am Steuereingang bedeutet entsprechender HF-Weg gesperrt, logisch "1" HF-Weg durchgeschaltet.

4 Funkkanalsteuerung

4.1 CPU S42025-H418-*1

Stromlaufplan S42024-H378-*1-*7411

Die CPU-Baugruppe (Bild 10) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuern des Datendialoges über serielle Schnittstelle zur Funkdatensteuerung und die Funkschnittstelle (Datensicherungsverfahren)
- Verarbeiten der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungsbewertung)
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Offsetkorrektur)
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich
EPROM: Grundbereich 16k, 2 Bänke à 32k
RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- Zwei VLSI-Bausteine mit den Funktionen:
Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät
Erkennen des Zeitbezuges aus den empfangenen Signalisierungsdaten (Korrelationsempfänger)
Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren)

Ermitteln der Signalgüte der empfangenen Signalisierungsdaten

Messen des Geräuschabstandes (Jittermesser)

Messen der Gleichspannungsablage des Analogsignals und Ausgabe des Offsetkorrekturwertes.

Entfernungsmessung

Fehlerüberwachung

fehlendes Setzsignal

Synchronlauf Sende- und Empfangsbaustein

Fehler Sendeteilerkette

Watchdog.

Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit einem ICE (In-Circuit-Emulator)).

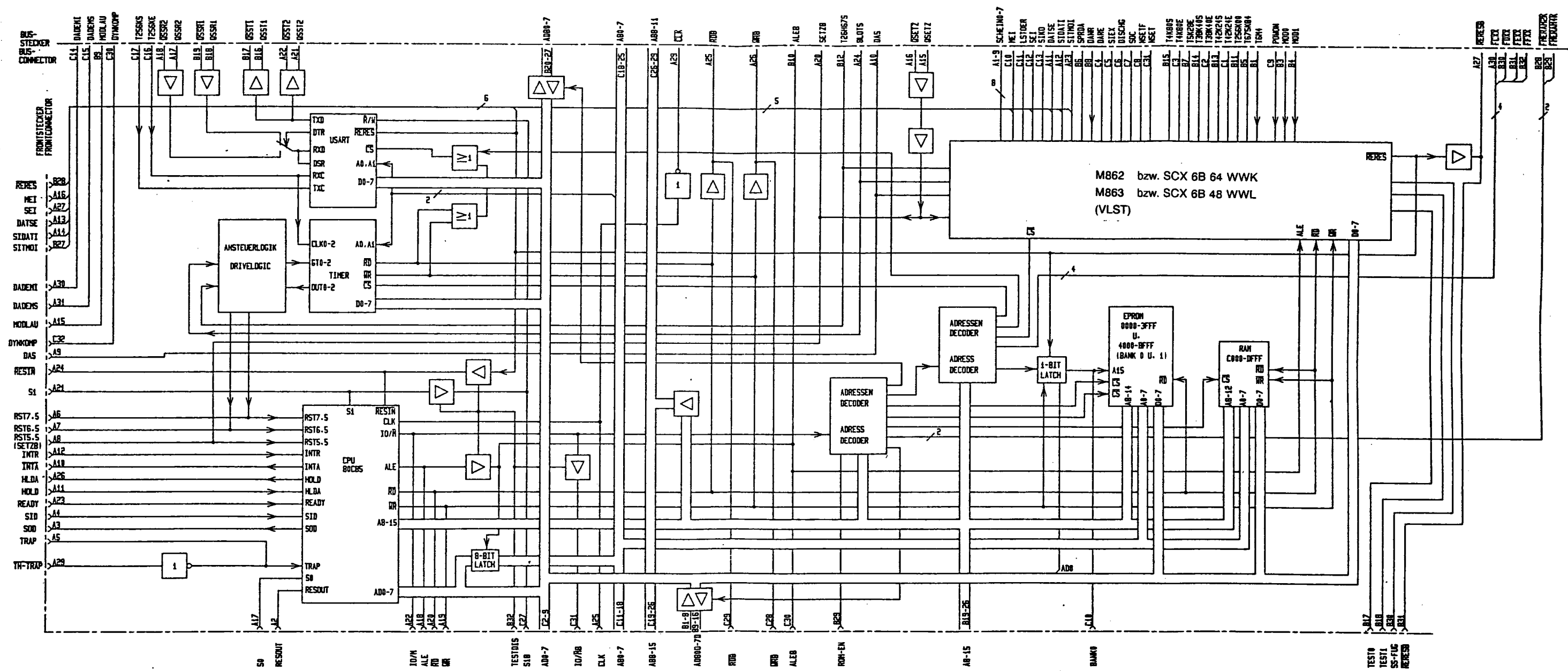


Bild 10 Übersichtsschaltplan CPU

4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 11 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.

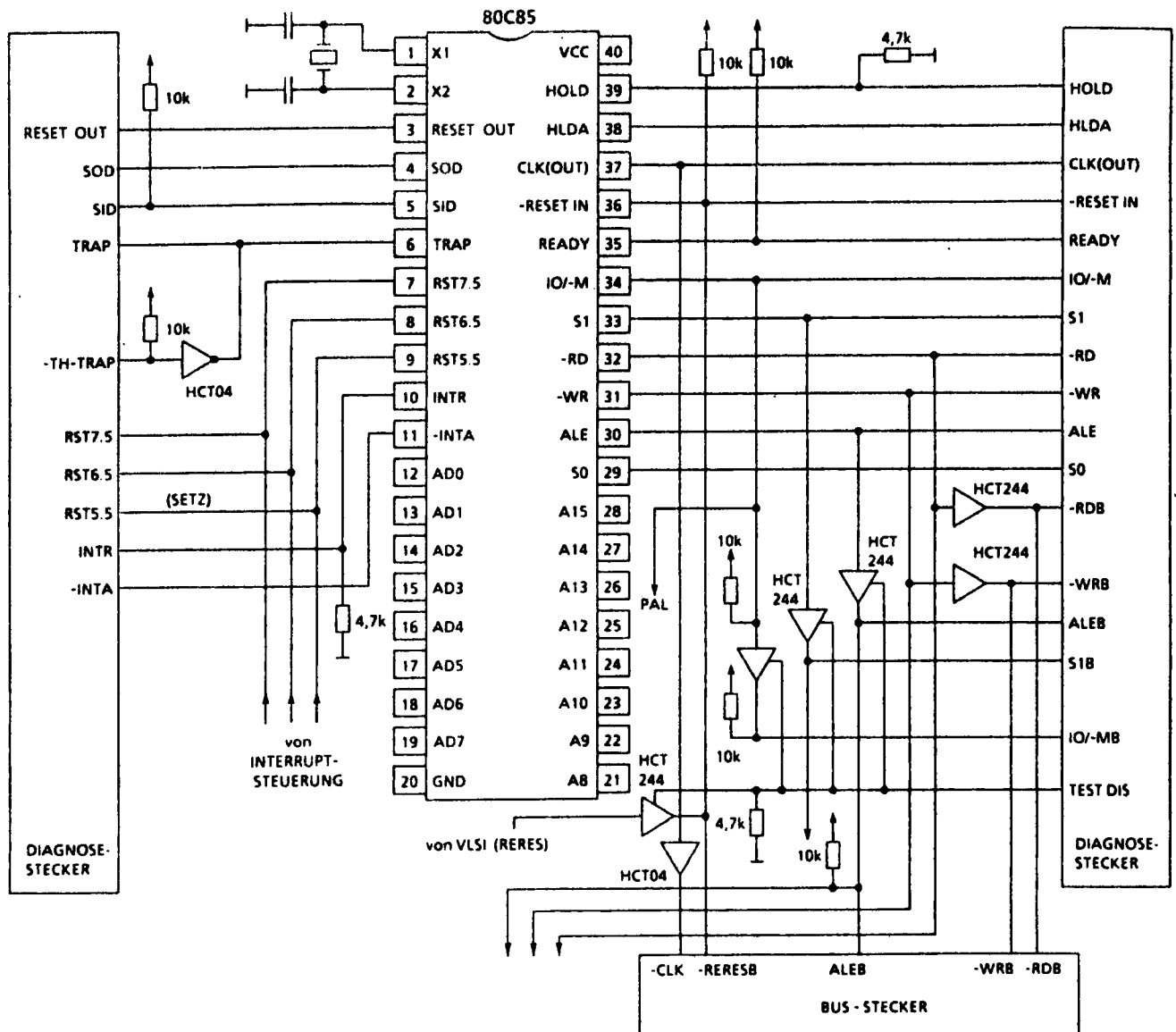


Bild 11 "80C85" Steuersignale

Wie Bild 11 zeigt, sind alle CPU-Signale grundsätzlich um Diagnosestecker geführt, da über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benützt wird (SID = "1", INTR = "0", HOLD = "0", READY = "1", -TH-TRAP = "1"). Um einen TRAP auszulösen, muß der Eingang -TH-TRAP benutzt werden.

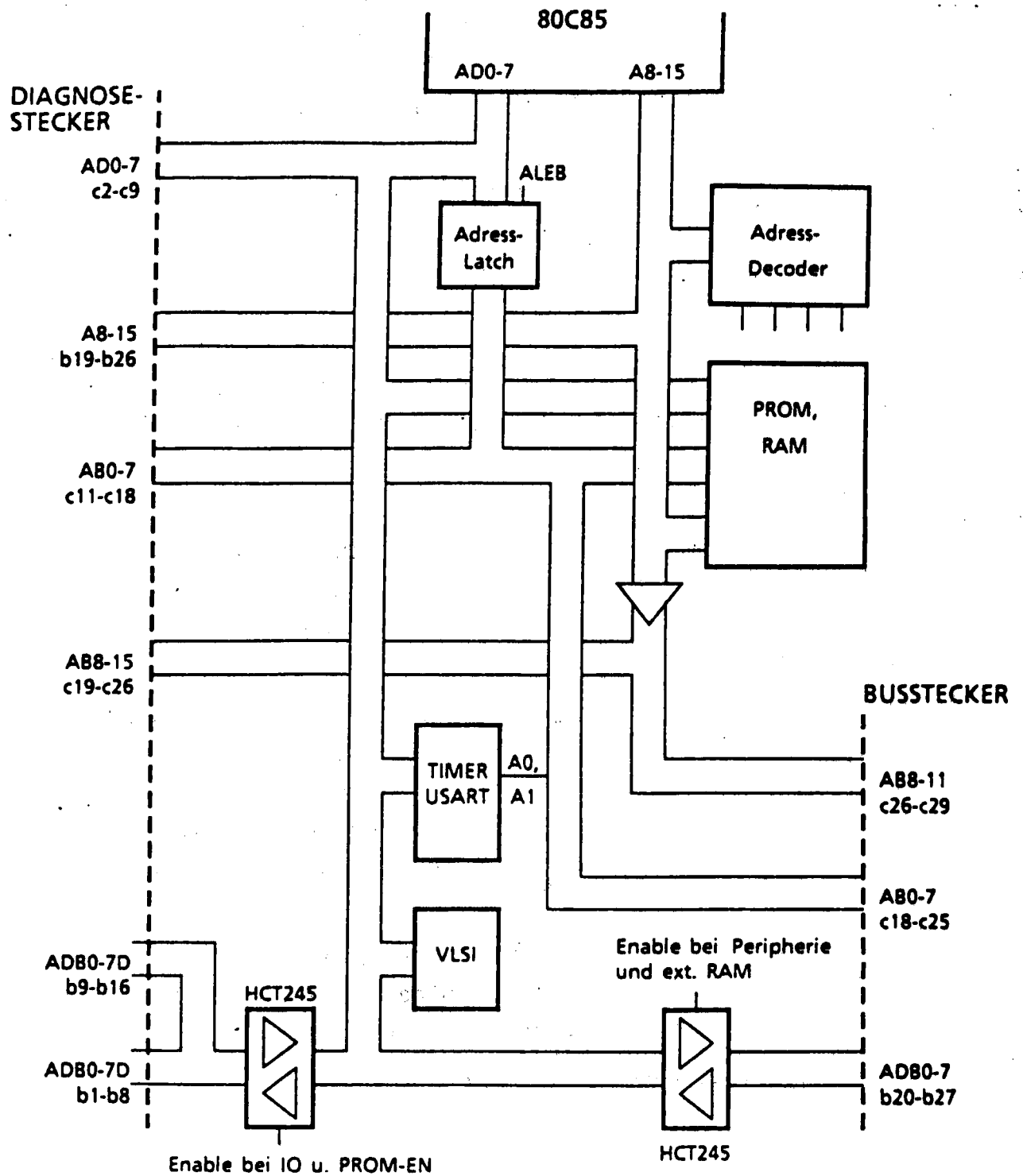
Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sendebaustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter HCT04 und ein RC-Glied (Verringern der Flankensteilheit, um Störeinflüsse zu vermindern).

Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B, IO/-M für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen AD0-7 und A8-A15 des 80C85 auf den Diagnosestecker geführt sind.

Bild 12 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Der Treiber wird mittels Adressenbereichs- Auswahl-Signal aus einem PAL-Baustein aktiviert.



A.....Adr. Bus
 AD...Adr. - Datenbus
 AB....Adr. Bus, gepuffert
 ADB,Adr. - Datenbus, gepuffert

Bild 12 Schema der Adressen- und Datenleitungen

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert u. bei PROM-EN von 0-BFFF, Memory adressiert).

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL vorgenommen, das die Signale IO/-M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen, z.B. auf dem CPU-Adapter, auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO/-M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bank-Bereich.

Der Bank-Bereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM. Die Bankumschaltung wird durchgeführt durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0. Wird die Bankumschaltung nicht benutzt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit $V_{pp} = \text{high}$ ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bankumschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt und zwar invers.

Das RAM liegt im Bereich von C000 bis DFFF.

4.1.3 Interruptsteuerung

Standardmäßig werden die Interrupts RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benutzt werden.

Der RST5,5 wird durch das Setzsignal ausgelöst, das über den Empfangsbaustein SN75173 aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockraster auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) – das ist zu Blockwechsel – wird er wieder zurückgenommen (siehe Bild 13).

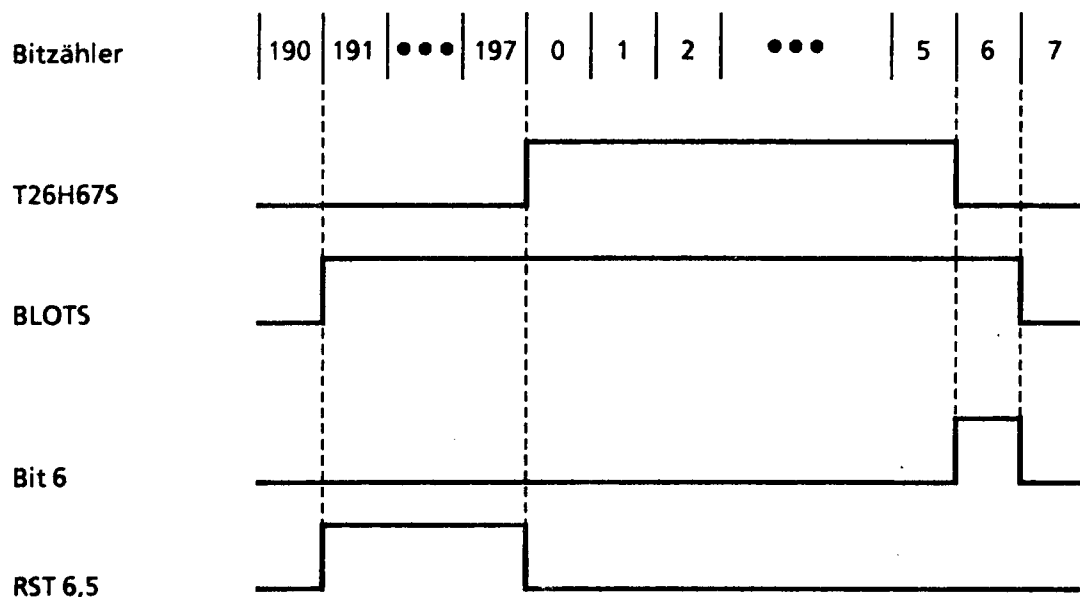


Bild 13 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Der Timer wird mit den Adressen FA00 bis FA03 adressiert.

4.1.4 Serielle Schnittstelle

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzten. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 kBd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialoges der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Kapitel 4.1.3).

Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256KE und dem Sendetakt T256KS aus der Interfacekarte betrieben. Der Sendetakt T256KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungskabellänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine 74ALS1631N werden parallel vom USART angesteuert.

Für die Empfangseinrichtung gibt es ebenfalls zwei Bausteine. Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

4.1.5 VLSI-Bausteine

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX 6B 64 WWKund M863 bzw. SCX 6B 48 WWL (im folgenden einfach mit "VLSI"-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 80C85-kompatible Busschnittstelle, die die Signale ADO-7 (8-bit-Adressen-Datenbus), ALE (Adress Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprechbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signales über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den FME liegen MOD0 und MOD1 auf "1".

TEST0 und TEST1 sind "0" bei Normalbetrieb.

Für Testzwecke kann mit $TEST0 = 0$ und $TEST1 = 1$ die verteilte Signalisierung abgeschaltet werden (wird über den Diagnosestecker mit Hilfe des CPU-Adapters vorgenommen).

Das Bild 14 zeigt die Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich beide Bausteine eine eigene Schnittstelle haben).

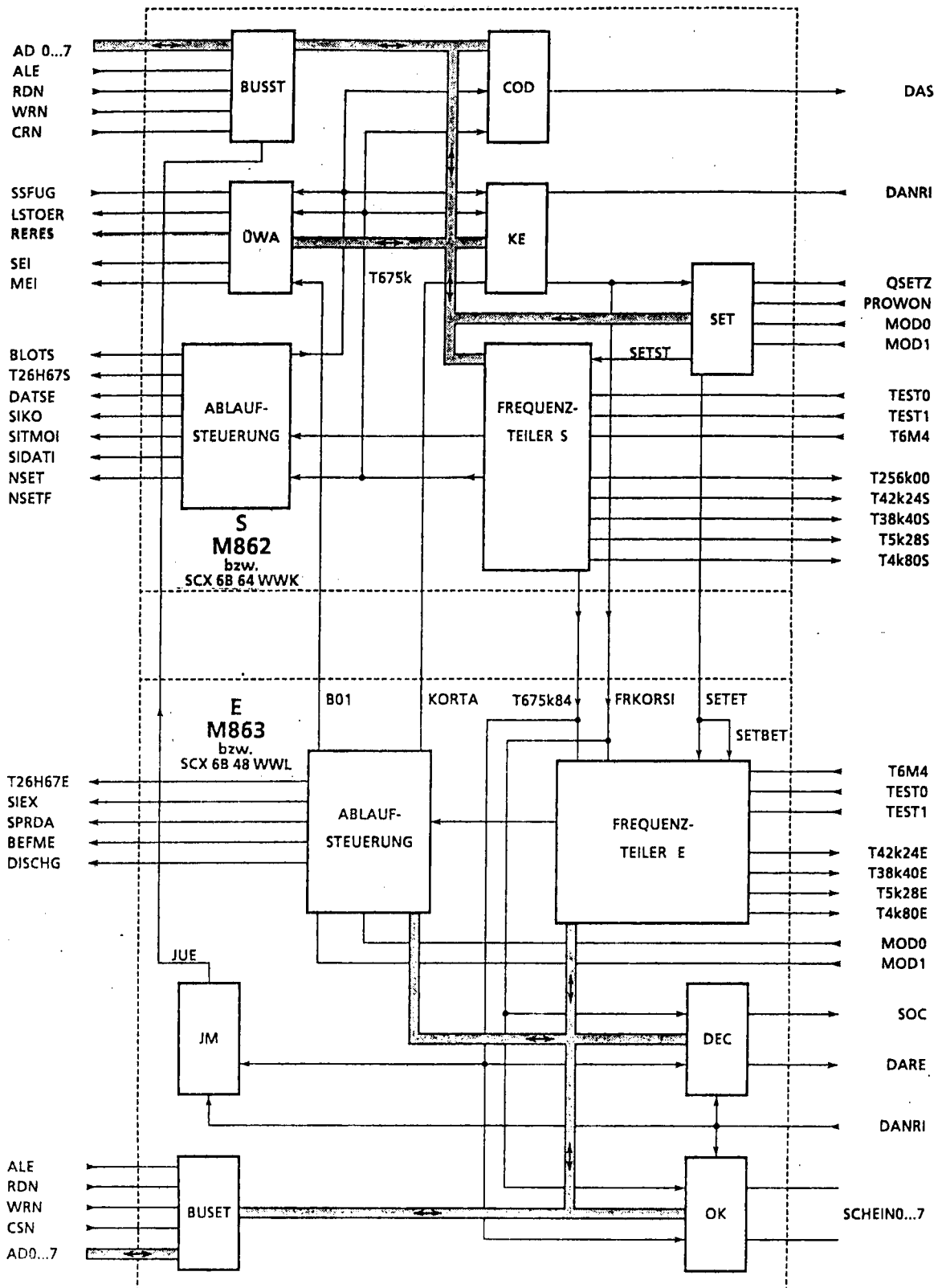


Bild 14 Übersichtsschaltplan Bausteine M862 bzw SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL

Das Bild 15 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.

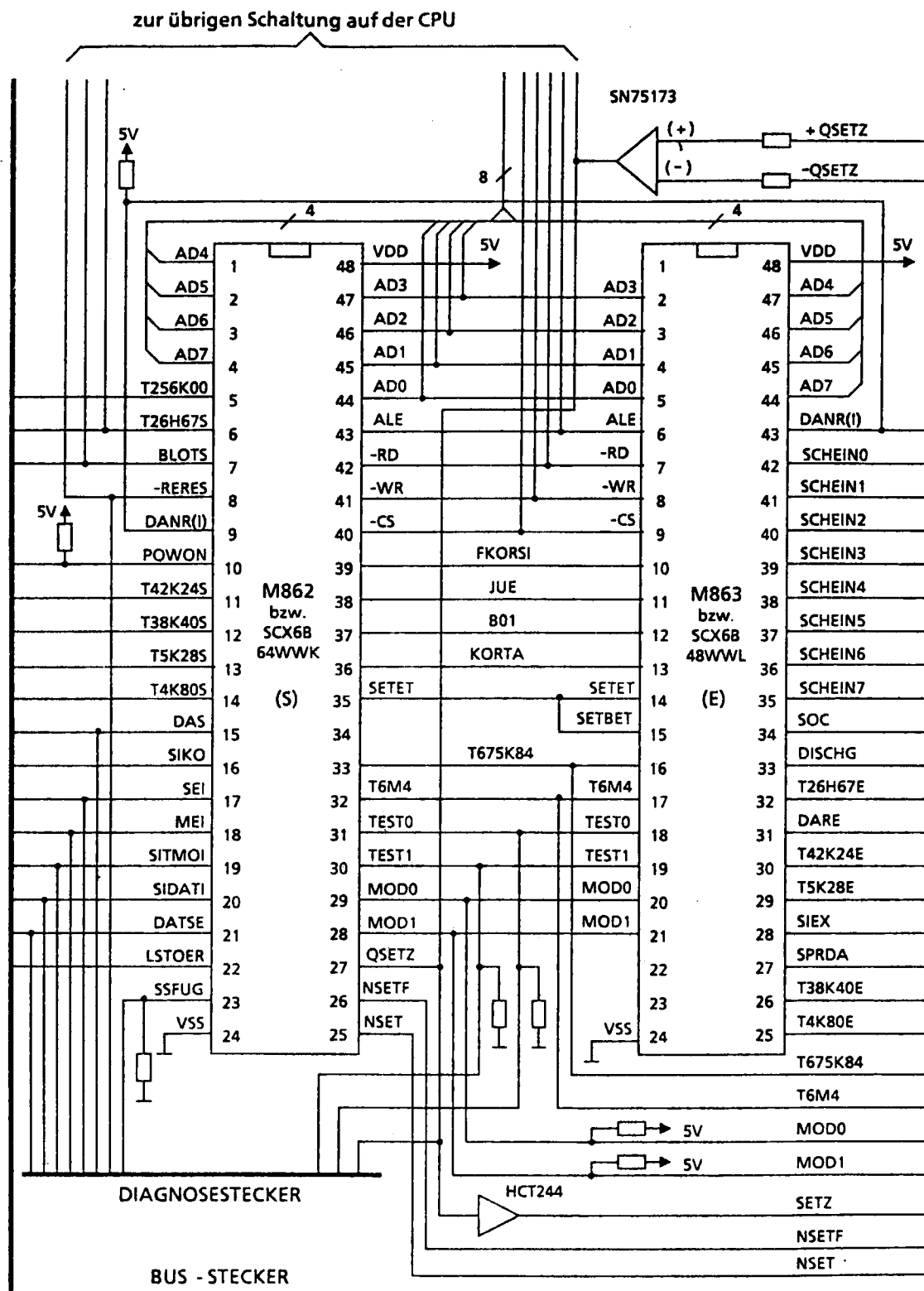


Bild 15 Anschlußschema der VLSI-Bausteine

4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4 MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 16).

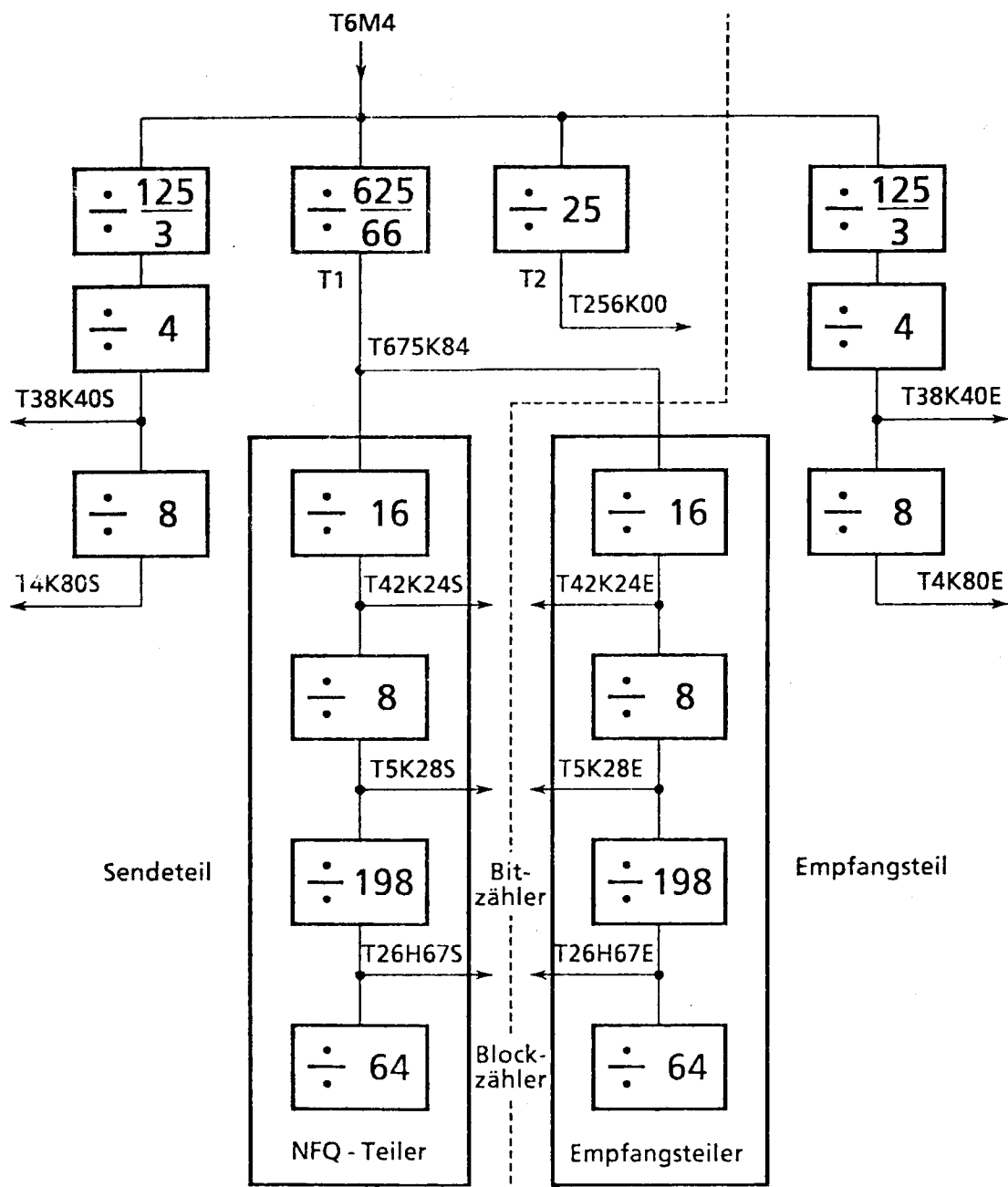


Bild 16 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte läßt sich nicht durch rationale Teilverhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktname	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	– 78,15 – 146,78ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	– 4,7 – 146,78ns
T5K28S,E	T42K24S,E	8	– 4,7 – 146,78ns
T26H67S,E	T5K28S,E	198	0

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

T675K84: Taktung für A/D-Wandler für Feldstärken und Taktung für Korrelationszusatz

T256K00: Takt für serielle Schnittstellen

T26H67S: Speichern von Port-Signalen

T5K28E: Takt für Umwandlung der Scan-Feldstärke.

4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler und Empfangsteiler) getaktet. Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. T5K28E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. T26H67E, mit dem schließlich der Blockzähler gezählt wird.

64 Blöcke zu je 37,5ms bilden einen Rahmen, der demnach 2,4s lang ist.

Der Bitzählerstand der Sendeteilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des Sendeblockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

Externe Signale

POWON entsteht bei Einschalten der Spannung; erzeugt internes POP-Signal (power-on-puls)

QSETZ Rahmensetzsignal
erzeugt mit Rückflanke internes Setzsignal QSET

Beide Signale setzen alle Teiler einschließlich Teilerkette

Interne Signale

FRKORS freigegebenes Korrelationssignal; SETIS und SETIE Setzsignale für indirektes Setzen aus dem Inkrementierungszähler

Mit FRKORS wird der Bitzählerstand der Empfangsteilerkette auf 40, in allen anderen Fällen auf 0 gebracht. Die Sendeteilerkette wird auf Bit 3 gesetzt.

Einzelheiten dazu zeigt Bild 17.

4.1.5.3 Ablaufsteuerung

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil abhängig von der Betriebsart und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

Konzentrierte Signalisierung: Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

Verteilte Signalisierung: Sprachbetrieb, Aussenden der Signalisierungsinformation in Zeitschlitten während eines Unterrahmens
= 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 7) bestimmt den Zustand konzentrierte / verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA
(SPRDA = "0": verteilte Signalisierung).

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im FME verwendet:

T26H67S	Takt 26,67Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blockes auf "1", sonst "0".
BLOTS	"Blocktor senden", von Beginn Bit 191 jeden Blockes bis Ende Bit 6 des folgenden Blockes auf "1", sonst "0".
SOC	"Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodiervorganges erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke.
DISCHG	"Discharge": Entladeimpuls für Ladekondensator (Feldstärkemessung), zu Beginn jedes Blocks.

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI- intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggered werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, der den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt, er wird erst wieder durch die nächste Retriggierung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei POWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es zwei weitere Fehlermeldungen ("0" bei Fehler):

FTAK (Fehler Teilerkette außer Kontrolle)

FQSET (fehlendes QSET)

FSTK (Fehler Sendeteilerkette).

FTAK tritt auf, wenn Sendeteilerkette und Empfangsteilerkette um mehr als ± 1 bit auseinanderliegen (überwacht wird nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen). FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird. FSTK tritt auf, wenn die negative Flanke von QSETZ nicht mehr in den Bereich Bit 2,5 bis Bit 3,5 der Sendeteilerkette fällt.

Bei Einschalten der Versorgungsspannung werden FTAK und FQSET in den Zustand "0" (d.h. Fehler) gebracht, WADOG auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 7: FSTK, Bit 2: FQSET, Bit 1: WADOG, Bit 0: FTAK

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung – wenn noch keine andere Störungsmeldung vorliegt – oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister"). In beiden Fällen erscheint am externen Anschluß LSTOER ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am BS-Interface geladen werden.

4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANR(I). Am Anfang jedes Signalisierungsblocks befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

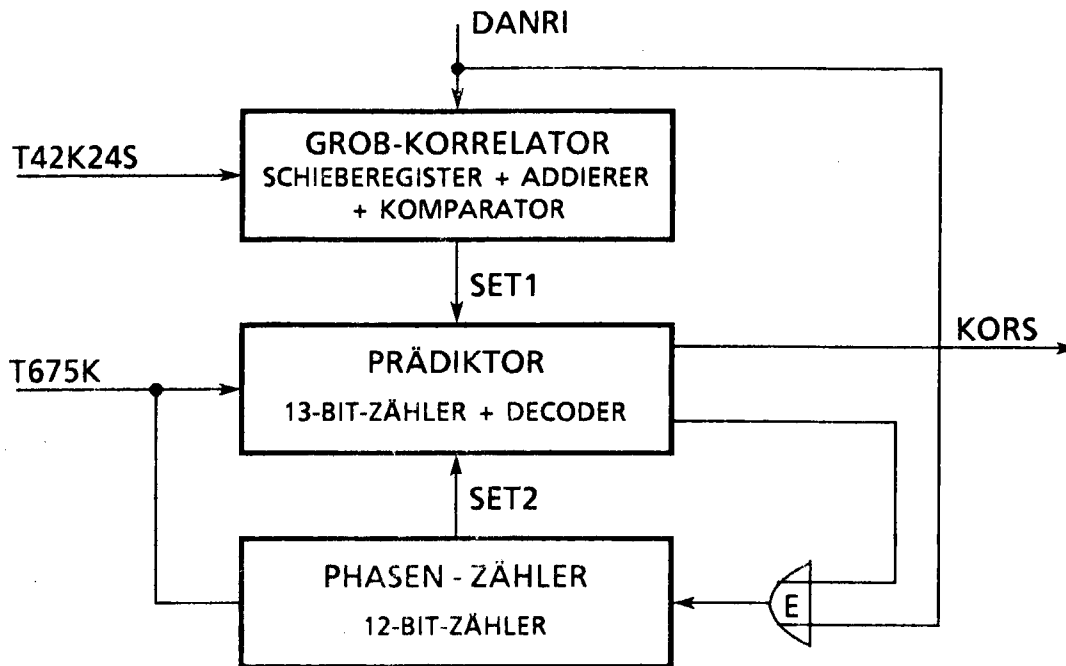


Bild 18 Übersichtsschaltplan Korrelationsempfänger

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von $t = 1/T_{5K28}$ jedes Signalisierungsbit mindestens die Pulsbreite $t = 1/T_{42K24}$ hat und
- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 19).

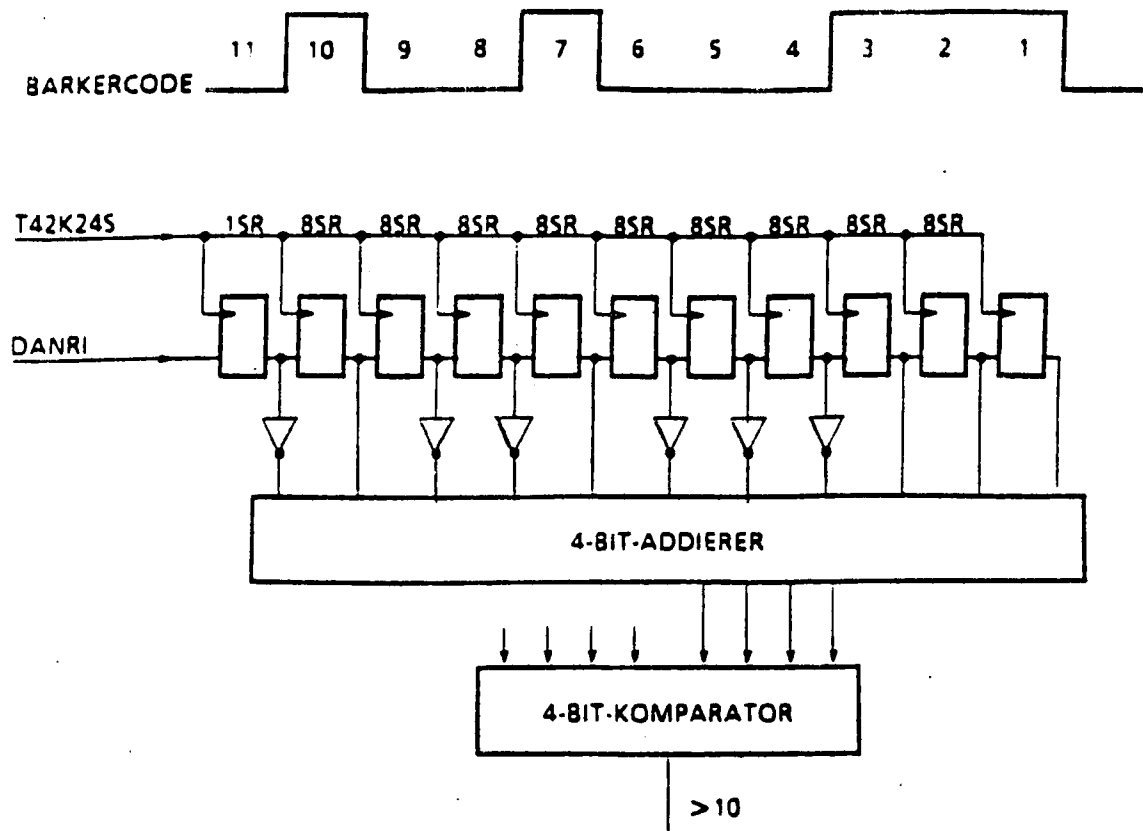


Bild 19 Grob-Korrelator mit 81 bit Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode, und er ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und dann nach weiteren acht Flankenwechseln paßt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

$0,5 \times t_{675K}$ nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind

- Suchlauf (im FME nicht verwendet)
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger

F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind

KORS (siehe oben)

FRKORS Freigabe Korrelationssignal (UND-Verknüpfung von KORS und F82C.6)

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T5K28 vor dem Aussenden des Barkercodes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

SYNT Synchronisations-Erwartungstor.

Zeittor für das Erkennen des ersten Barkercodes durch den Grobkorrelator.

Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit, 1 bit: maximale Breite der Grobkorrelation).

SYKON Synchronisationskontrolle.

Zeittor für das Korrelationssignal KORS. Dieses Zeittor ist 2 bit breit.

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeittores SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	3.Barker- code erkannt	Tor SYKON	F82C.6 Freigabe Korrelations- empfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeittor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisfrequenzband ermittelt. Die Jittermessung bewertet die zeitliche Lage aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich bei konzentrierter Signalisierung über eine Blocklänge, bei verteilter Signalisierung über einen Unterrahmen (0,6 sec.). Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128facher Bittakt) betrieben wird (siehe Bild 20).

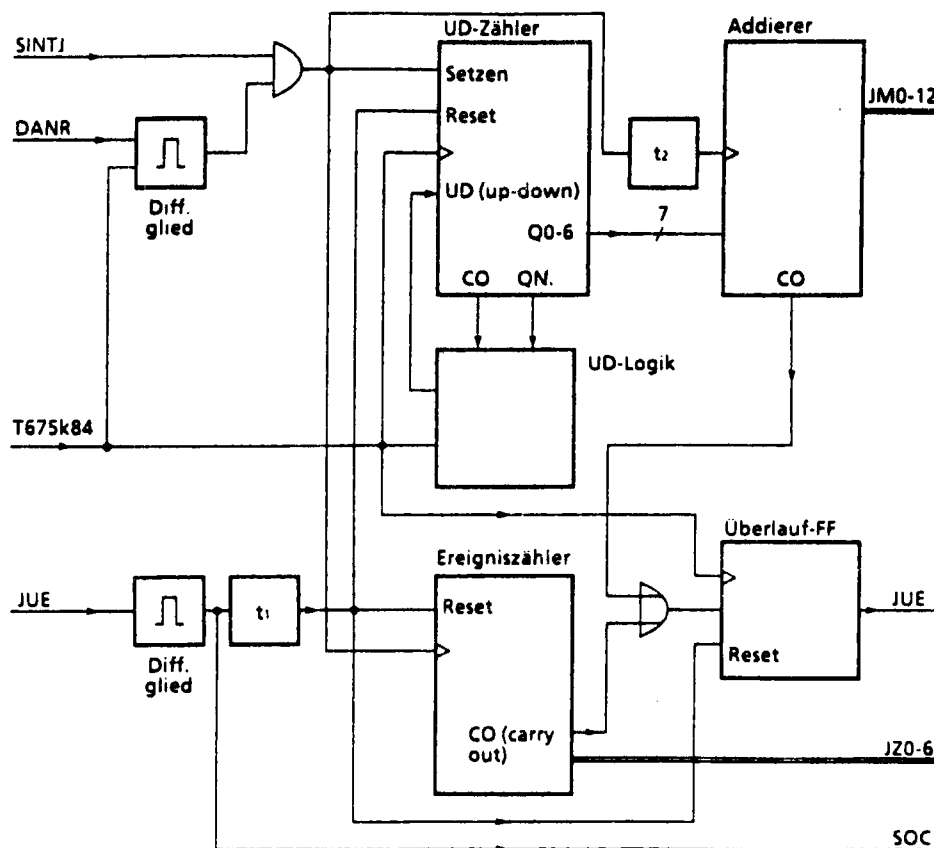


Bild 20 Übersichtsschaltplan Jittermesser

Seine Zählrichtung wird jeweils beim Zählerstand 0 und 63 umgekehrt. Mit dem ersten negativen Flankenwechsel des innerhalb des Bewertungszeitraumes (SINTJ) einlaufenden Dateneingangssignals (DANR) wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang gestartet. Mit jedem negativen Flankenwechsel werden die jeweiligen Zählerstände des Auf-/Abwärtszählers in einen Addierer übernommen und aufaddiert. Gleichzeitig wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang neu gestartet. Nur bei störungsfreier Datenübertragung erreicht der Zähler am Ende jedes Bewertungsvorganges zwischen zwei negativen Flankenwechseln den Wert 0 (siehe Bild 21). Ist der Abstand zweier aufeinanderfolgender negativer Flanken größer oder kleiner als die n -fache Bitbreite ($n > 1$), so ergibt sich aus dem Zählerstand des Modulo-Bit-Zählers der Absolutwert der zeitlichen Abweichung vom Sollwert als Jitterwert (siehe Bild 21), der in den Addierer addiert wird. Die Anzahl aller negativen Flanken innerhalb des Bewertungszeitraumes registriert ein Ereigniszähler (7 bit). Nach Ablauf des Bewertungszeitraumes werden mit dem Signal STD (stop-decoder) der im Addierer aufaddierte Jitterwert (JM) und der Zählerstand des Ereigniszählers (JZ) abgespeichert, und sie stehen zum Auslesen über die Busschnittstelle zur Verfügung. Unter der Adresse F849 läßt sich die Anzahl der negativen Flankenwechsel auslesen. Über die Adressen F84A und F84C kann auf den Jitterwert zugegriffen werden, wobei unter Adresse F84A das MSB (5 bit) und unter Adresse F84C das LSB (8 bit) abgespeichert sind.

Ebenfalls vom Signal STD abgeleitet wird ein Rücksetzsignal, mit dem UD-Zähler, Akkumulator und Ereigniszähler zurückgesetzt werden; diese sind somit für einen neuen Bewertungsvorgang vorbereitet.

Übersteigt der akkumulierte Jitterwert innerhalb eines Bewertungszeitraumes den Wert $2^{13} = 8192$ oder ist die Anzahl der Zeichenwechsel größer als $2^7 = 128$, so steht am Ausgang Jittermesser-Überlauf (JUE) ein H-Pegel an. Das Signal JUE wird im Sendebaustein weiter verarbeitet und kann über die Busschnittstelle (Adresse F819.2) ausgelesen werden.

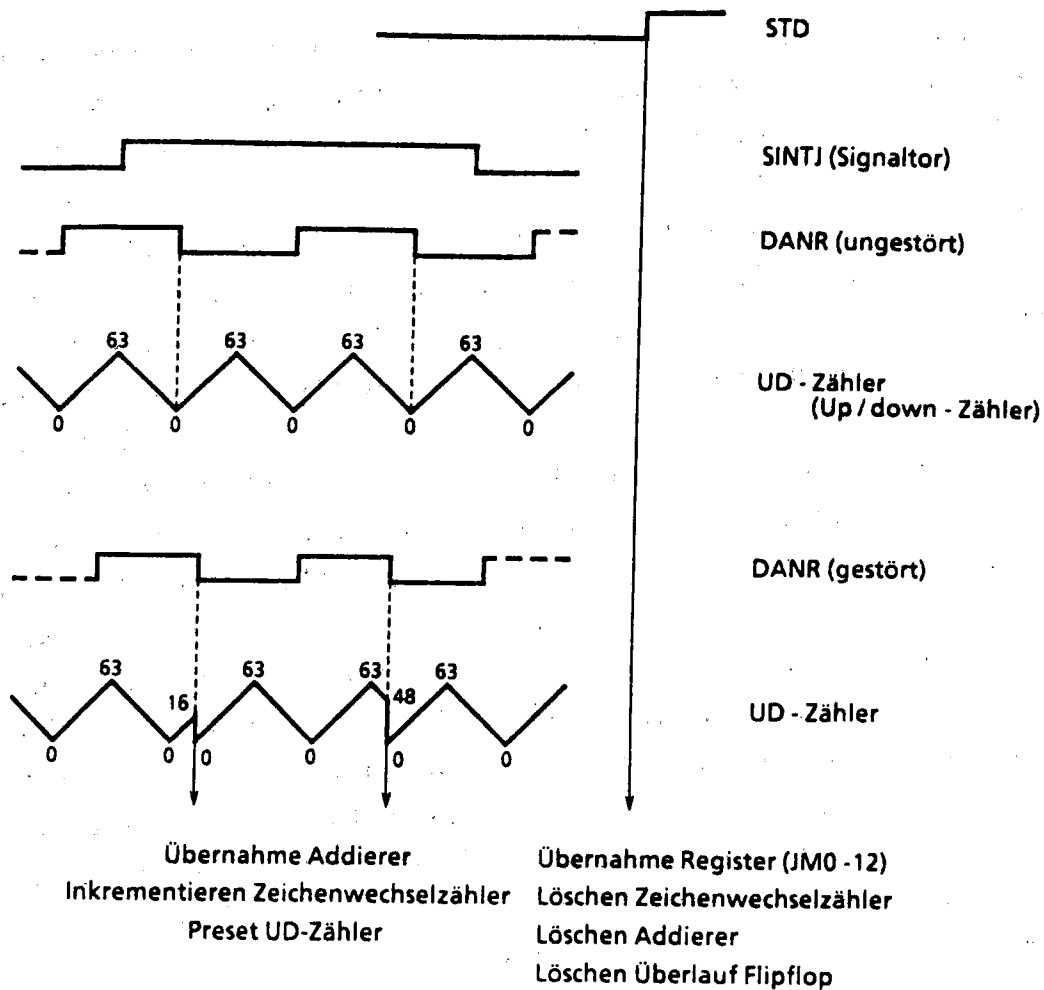


Bild 21 Funktion des Jittermessers

4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 22 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am BS-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

Funktionsweise des Offsetmessers

Der 128fache Bittakt (T675K84) zählt während des Bewertungszeitraums SINTO = 1 (das ist während des Barkerodes, Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts. Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H (OFFE0-7 = SCHEIN0-7 auf Mittenwert) versorgt sein muß, sodaß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraumes wird der Zähler auf 2304 eingestellt, d.i. um 2×128 über dem Mittenwert des Zählers $4096/2 = 2048$. Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalles auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Lade Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die Schwellwerteinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0-7.

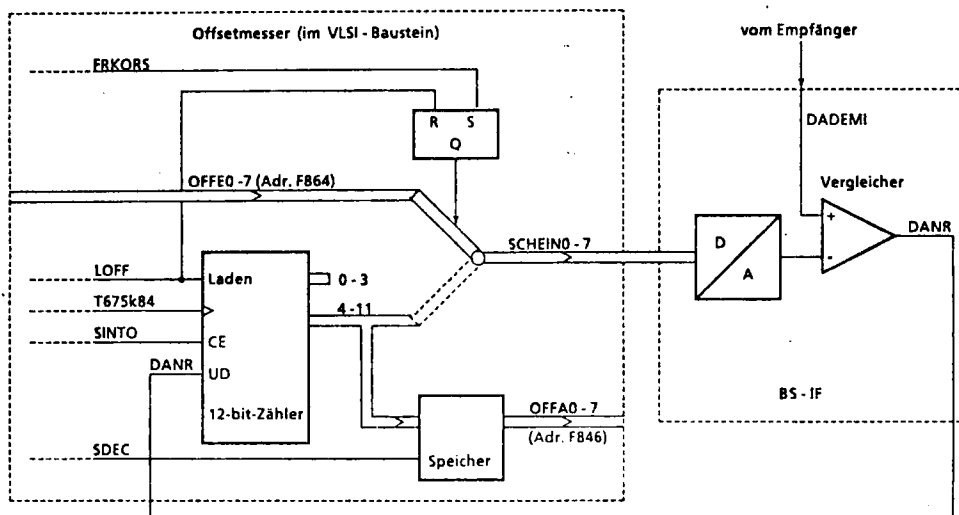


Bild 22 Offsetkorrektur

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 - SCHEIN7 gelegt.

Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die Schwellwerteinstellung.

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an BS-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleichsverstärker so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bit-Längen aufweist (siehe Bild 23).

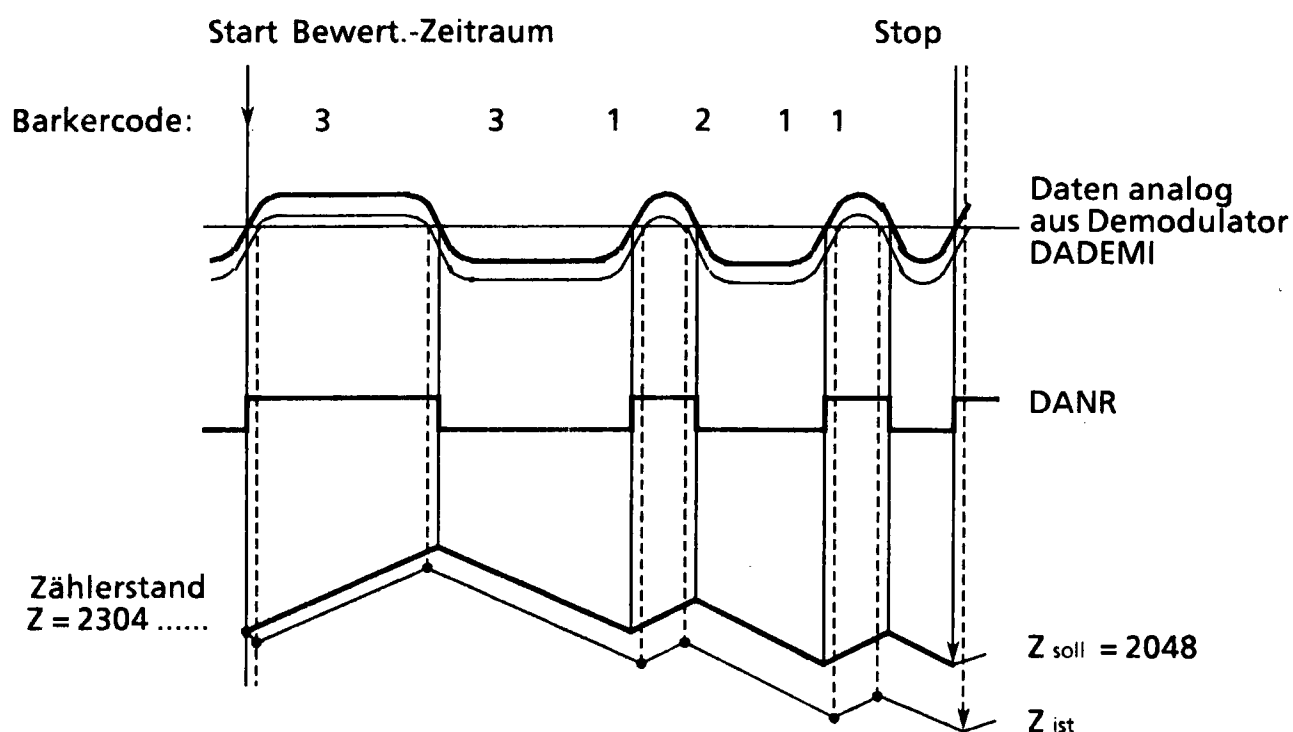


Bild 23 Offsetkorrektur Barkercode

4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar; seine Aufgaben sind:

- Zwischenspeichern der vom Funkteil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.

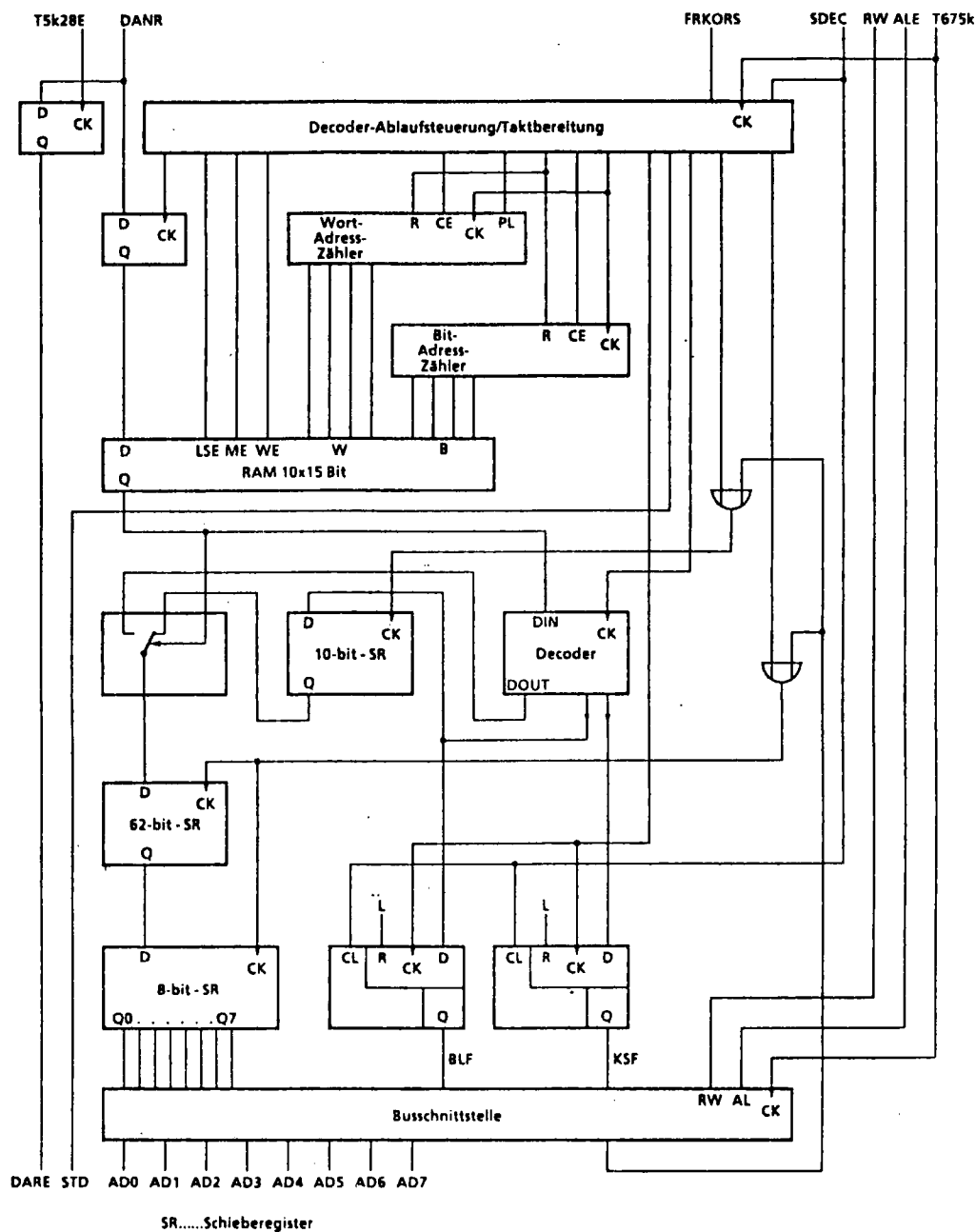


Bild 24 Übersichtsschaltplan Decoder

Der Decoder empfängt über den Eingang DANR (I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode, bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisierungsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen. Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Kapitel 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen/decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorganges zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beenden des Einlesevorgangs, mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5), wird der Decodiervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Kapitel 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T675K). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodiervorgang ist nach 600 Takten T675K ($t_{DEC} = 600 \times t_{675K} = 888 \mu s$) beendet. Nach Abschluß des Decodiervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsbits, stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Ausgelesen werden die Daten in 10 Worten à 8 bit. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten 8 bit für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe:

$$t_{READ} \geq 10 \cdot t_{T675K} = 14,8 \mu s$$

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 (Bit 0 bis 7) und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 bis 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbit "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechnerschnittstelle (Adresse F843) abfragen (siehe oben).

4.2 BS-Interface S42024-H379-...

Die Baugruppe enthält folgende Funktionen, die in den folgenden Unterkapiteln näher beschrieben sind:

- Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)
- Adressendecodierung für Ein- und Ausgabeports
- Abfrage der Gestelladresse
- Ausgabeports für Ansteuerung der Umschaltebaugruppe und des Synthesizers sowie Ausgabe der Bits OKVR und FKORR ("Software-Verfügbarkeit" und "Freigabe Korrelationszusatz")
- Erfassen (Umsetzen) der Feldstärke
- Offset-Korrektur durch Vergleich des empfangenen Signals DADEMI mit eingestellter Schwelle
- Erzeugen des Power-on-Resets; Reset-Taste.

4.2.1 Laufzeitkorrektur

Aus dem 256-kHz-Takt (Signal T256k00 aus dem VLSI) werden die beiden Signale T256kS und T256kE mit Hilfe von zwei Schieberegistern erzeugt; die Signale sind gegenüber dem T256k00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256kS ist um 12 Takte, T256kE um 16 Takte gegenüber T256k00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7 μ s) dient zum Ausgleich von Kabelllaufzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 25). Die Verschiebung des Taktes T256kE gegenüber T256k00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

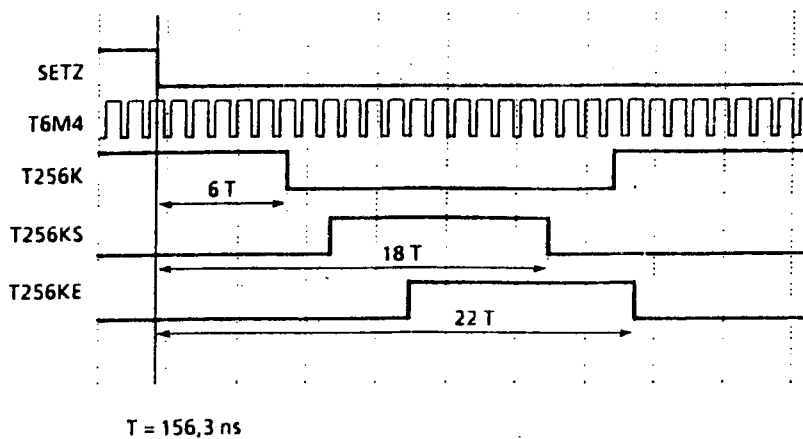


Bild 25 Laufzeitkorrektur

4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HCT138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale WRX2 bis WRX6 sowie RDX0, RDX1, RDX4 bis RDX7 erzeugt (das X bedeutet, daß die Adreß-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung wie auf FF12, FF22 usw., es wird WRX2 aktiviert).

4.2.3 Abfrage der Gestelladresse

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage wird mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese-Adressen-Signal RDX0) vom Adressendecoder vorgenommen.

4.2.4 Ausgabeports

Über Latch-Bausteine werden einige Signale byteweise durch die Software nach folgender Tabelle ausgegeben.

Adresse	D7	D6	D5	D4	D3	D2	D1	D0
FFX2	-	FREQ0-6						
FFX3	OKVR	-	-	-	DUSY0-3			
FFX4	-	FKORR	-	-	FRUE0-3			

Erläuterungen zur Tabelle:

OKVR Verfügbarmeldung vom Rechner (SW)

FREQ0-6 Information für Frequenzeinstellung der Synthesizer

DUSY0-3 Durchschaltesignale für Umschaltebaugruppen, Maskierung der Synthesizer-Fehlermeldungen

FRUE0-3 Übernahme-signal für Frequenzeinstellung der Synthesizer

FKORR Freigabe Korrelationszusatz.

Die Signale DUSY werden zusätzlich mit T26H67 getaktet, d.h. Änderung des gespeicherten Inhaltes nur bei Blockwechsel.

4.2.5 Umsetzung der Ident-Feldstärke

Das vom Ident-Empfänger kommende Feldstärkesignal FESTI (0-2,5V) wird mittels RC-Kombination integriert: bei Sprachbetrieb (SPDRA = 0) über eine Unterrahmenlänge, das sind 0,6 s; über eine Blocklänge, das sind 37,5 ms.

Das integrierte Signal gelangt über den Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675k84 betrieben und erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein vom Bus lesbares Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

4.2.6 Offsetkorrektur

Der vom VLSI-Baustein M863 bzw. SCX 6B 48 WWL gelieferte, digitale Schwellwert (SCHEIN0-7) wird mit Hilfe eines DA-Wandlers in einen Analogwert umgewandelt und über die Op. Amps LM258 dem Vergleicher LM311 zugeführt. Der Analogwert ist als Signal SCHEINA für Meßzwecke auf die Steckerleiste (PIN B9) geführt.

Am anderen Eingang des Vergleichers liegt das Signal DADEMI. Am Ausgang des Vergleichers erscheint das Signal DANR, das zu den VLSI-Bausteinen M863 bzw. SXC 6B 48 WWL zur weiteren Verarbeitung geführt wird.

4.2.7 Power-on-Reset, Reset-Taste

Die betriebsspannungsabhängige Rücksetzschaltung im Stromversorgungsteil liefert das Signal POR (-FME), das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert.

Das gleiche geschieht bei Drücken der Reset-Taste.

4.3 FME-Interface S42024-H380-...

Die Baugruppe stellt eine Ergänzung des BS-Interfaces dar, es enthält vor allem folgende FME-spezifische Funktionen:

- Zusatz für Softwarekorrelation
- Umsetzen der Scan-Feldstärke in einen digitalen Wert
- Abspeichern der Störungsmeldungen in ein vom Prozessor lesbares Störungsregister.

Außerdem gibt es eine Pegelanpassung für die 6,4MHz . Eine LED dient zur Anzeige der Verfügbarkeit. Schließlich steht der Software noch ein zusätzliches 4k-RAM zur Verfügung.

4.3.1 Korrelationszusatz

Der Korrelationszusatz (Bild 26) besteht im wesentlichen aus einem Speicher, in den die empfangenen Daten in den Signalisierungsschlitzen der verteilten Signalisierung mit hoher Quantisierung, nämlich mit dem 128fachen Bittakt, seriell eingelesen werden. Die so gespeicherten Informationen können dann vom Prozessor gelesen und im Korrelationsprogramm ausgewertet werden (Bestimmen von Phasenbezug und Offsetwert).

Mit dem vom BS-Interface kommenden Signal FKORR wird der Korrelationszusatz freigegeben. Während der Zeitschlitz (Signal SIEX = 1, aus dem VLSI) werden die empfangenen Daten, nämlich das Signal DANR, mit Hilfe des Taktes T675k84 in ein Seriell-In-Parallel-Out-Schieberegister eingetaktet. Nach je acht Takten werden die acht Zustände parallel in das 2k-RAM fortlaufend eingespeichert. Das geschieht mit Hilfe von Treiberbausteinen HCT244, die für SIEX = 1 (also während der Zeitschlitz) durchgeschaltet sind und mit Hilfe des Datenselektors HCT257, der während SIEX = 1 die A-Eingänge durchschaltet.

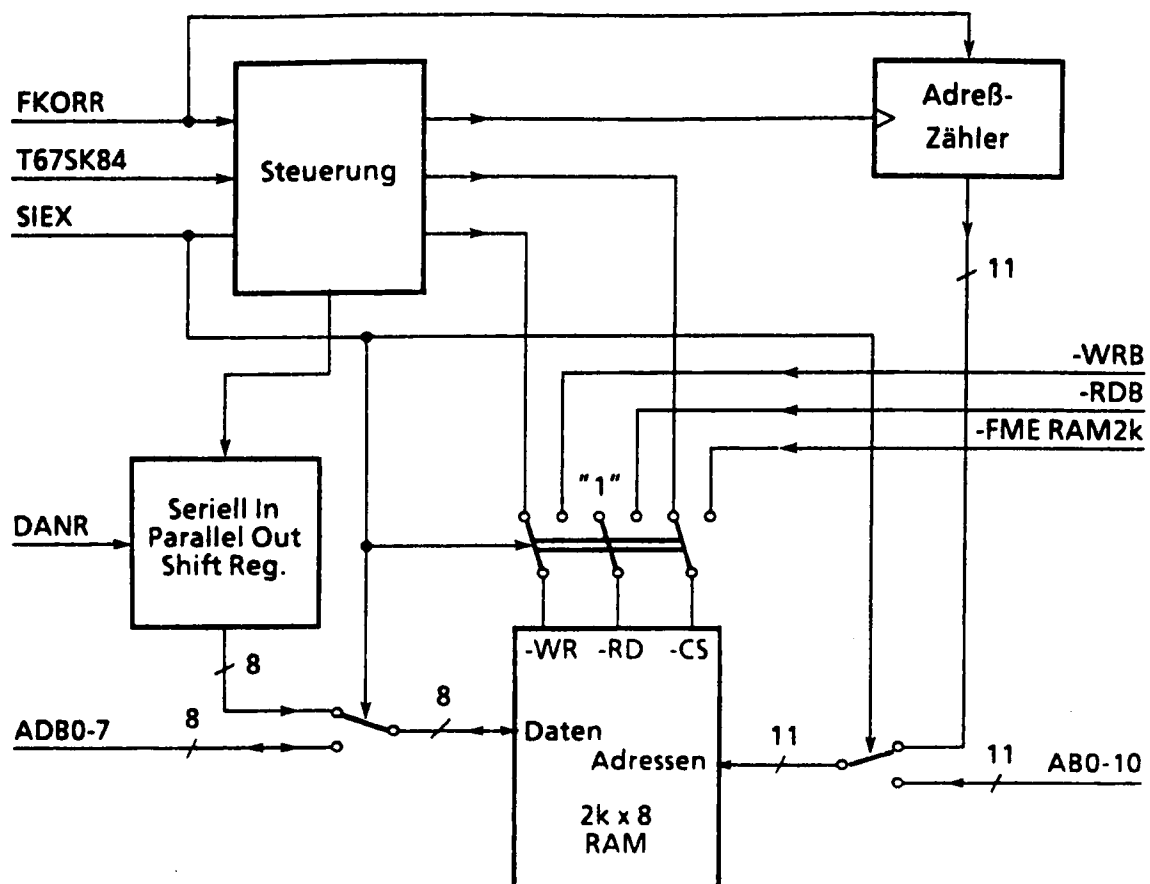


Bild 26 Übersichtsschaltplan Korrelationszusatz

Außerhalb der Zeitschlitzze kann der Inhalt des RAMS mit Lesebefehlen im Bereich F000-F7FF vom Prozessor ausgelesen werden. Die Auswahl des Adressenbereiches geschieht mit Signal -FMERAM2k von der CPU; es ist auch ein Beschreiben mit Write-Befehlen außerhalb der Zeitschlitzze möglich.

Ob der Korrelationszusatz in Funktion ist (d.i. während der Zeitschlitzze), kann durch Abfrage des SIEX-Signales festgestellt werden: dies geschieht über das Störungsregister. Es ist jedoch erforderlich, vorher mittels Signal LSTOER dieses Register zu takten.

Auslesen des Störungsregisters geschieht mit Read auf Adresse FFX6, SIEX liegt auf Bit 0.

4.3.2 Umsetzung der Scan-Feldstärke

Das vom Scan-Empfänger kommende Feldstärke-Signal FESTS (0 - 2,5 V) wird mittels RC-Glied über eine Blocklänge integriert und gelangt über einen Op. Amp. zum AD-Wandler; dieser wird mit T675k84 getaktet. Der Start der Verschlüsselung geschieht mit der steigenden Flanke von BLOTS (aus dem VLSI) durch Generierung eines Impulses. Nach Ende der Verschlüsselung wird der digitale Wert in das vom Bus lesbare Latch eingespeichert sowie der Ladekondensator entladen.

Der digitale Wert der Feldstärke kann vom Prozessor mit Signal RDX5 (Lesen von Adresse FFX5) eingelesen werden.

4.3.3 Störungsregister

Der Inhalt des Störungsregisters kann mit Hilfe eines Lesebefehles auf Adresse FFX6 gelesen werden. Das dafür nötige Signal RDX6 – Kombination aus Adressendecodierung und Lesesignal – liefert das BS-Interface.

Eingespeichert werden die an den D-Eingängen des Registers anliegenden Signale mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU) oder bei Auftreten einer Störungsmeldung (letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Meldung ansteht). Zu diesem Zweck werden die Störungsmeldungen über das Gatter HCT30 geführt.

Es gibt folgende Störungsmeldungen:

Bit 2: SYLOK0

und

Bit 4-6 SYLOK1-3 Synthesizer 0-3 nicht gelockt. Die Störungsmeldungen werden nur wirksam, wenn die zugehörigen Durchschaltesignale (DUSY0-3) aktiv sind.

Außerdem lassen sich noch folgende Meldungen einlesen:

Bit 0: SIEX Abfrage des Zeitschlitzsignales (aus dem VLSI auf der CPU)

Bit 1: BGOK Baugruppen gesteckt

Bit 7: UMSCH Umschaltebaugruppe 0 vorhanden.

4.3.4 Sonstige Funktionen

Verfügbar-Anzeige

Mit dem Signal OKVR, geliefert von der Software aus dem BS-Interface, wird die Verfügbar-LED angesteuert, sie ist mittels eines Drahtbügelschalters abschaltbar.

Pegelanpassung

Das über einen Koaxialstecker kommende Signal QT6,4M (vom Frequenzverteiler) wird über Transistor und Schmitt-Trigger in das TTL-Signal T6M4 umgewandelt. Das n-Glied dient zum Verringern der Flankensteilheit (Verringern von Störeinflüssen), Signal T6,4MA dient nur zu Prüfzwecken.

Zusatz-RAM

Auf der Baugruppe ist ein allgemein verwendbares 4k-RAM im Bereich E000 bis EFFF untergebracht.

5 Technische Daten

Hinweis: Die technischen Anforderungen entsprechen der FTZ-Richtlinie
FTZ 171 R60

Betriebsspannung 1		$U = +5 \text{ V}$
Stromaufnahme 1		$I = 1,5 \text{ A}$
Leistungsaufnahme 1		$P(\text{typ}) = 7,5 \text{ W}$
Betriebsspannung 2		$U = (+10 \pm 0,5) \text{ V}$
Stromaufnahme 2		$I = 0,72 \text{ A}$
Leistungsaufnahme 2		$P(\text{typ}) = 7,2 \text{ W}$
Referenzfrequenz		$6,4 \text{ MHz} / > 0 \text{ dBm}$
Sendart		FM-Duplex
Frequenzhub bei Signalisierungs-Daten		$2,5 \text{ kHz}$
Funkkanalabstand		20 kHz
einstellbare Frequenzschritte		$10/12,5 \text{ kHz}$
Duplexabstand		10 MHz
Bitrate		$5,28 \text{ kbit/s}$

5.1 Empfänger

Betriebsspannung		$U = (10 \pm 0,5) \text{ V}$
Stromaufnahme		$I = (90 \pm 10) \text{ mA}$
Leistungsaufnahme		$P(\text{typ}) = 0,9 \text{ W}$
Frequenzbereich		$450 \text{ MHz bis } 455,74 \text{ MHz}$
Frequenzhub maximal		$\pm 4 \text{ kHz}$
Empfindlichkeit		
für $S/N = 20 \text{ dB}$ mit CCITT-Filter		$\leq -116 \text{ dBm}$
Störabstand, bezogen auf Prüfmodulation		
Fremdspannungsabstand		$\geq 43 \text{ dB}$
Geräuschspannungsabstand nach CCITT		$\geq 48 \text{ dB}$

Datenausgang

konzentrierte Daten	NRZ
verteilte Daten im Sprechkanal	
6 bit breiter Schlitz alle 12,5 ms	NRZ

5.2 Synthesizer

Betriebsspannung 1	$U_1 = (+10 \pm 0,5)V$
Stromaufnahme 1	$I_1 = (125 \pm 20)mA$
Leistungsaufnahme 1	$P_1 (typ) = 1,25 W$
Betriebsspannung 2	$U_2 = (+5 + 0,25, -0,5)V$
Stromaufnahme 2	$I_2 = (135 \pm 20)mA$
Leistungsaufnahme 2	$P_2 (typ) = 675 mW$
Frequenzbereich	428,60 MHz bis 434,34 MHz

5.3 CPU

Betriebsspannung	$U = +5 V$
Stromaufnahme	$I = 260 mA$
Leistungsaufnahme	$P (typ) = 1,3 W$

5.4 FME-Interface

Betriebsspannung	$U = +5 V$
Stromaufnahme	$I = 50 mA$
Leistungsaufnahme	$P (typ) = 250 mW$

5.5 Umschalter

Betriebsspannung	$U = +5 V$
Stromaufnahme	$I = 350 mA$
Leistungsaufnahme	$P (typ) = 1,75 W$

6 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm (BxHxT)	Gewicht in g
Funkmeßempfänger FME	S42023-H129-...	100x595x24	8840
zugehörige Baugruppen:			
Anschlußfeldverdrahtung	S42024-H412-...		
und			
Filterbaugruppe	S42024-H413-...	100x63x12	
Empfänger	S42024-H169-...	100x167x24	
Synthesizer	S42024-H168-...	100x167x21	
Umschalter	S42024-H385-...	100x167x21	
CPU	S42025-H418-...	100x167x12	
	+ Software S42025-H430-A150		
BS-Interface	S42024-H379-...	100x167x12	
FME-Interface	S42024-H380-...	100x167x12	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, variablen Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.

SIEMENS

Fu Tel C-Netz

Beschreibung

Prüffunkgerät

PFG

S42023-H130-..

S42023-H130-E2-1-18

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung und Mitteilung ihres Inhalts nicht gestattet, soweit nicht ausdrücklich zugestanden. Zuwiderhandlungen verpflichten zu Schadenersatz. Alle Rechte vorbehalten, insbesondere für den Fall der Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

Inhalt

	Seite
1	Übersicht 5
1.1	Prüffunkgerät (PFG) im Netz C 450 5
1.2	Prüffunkgerät in der Basisstation 5
1.2.1	Aufgabenstellung 7
1.2.2	Eigenprüfung Prüffunkgerät 7
1.2.3	Funkeinrichtungsprüfung (FEP) 10
1.2.3.1	Übersicht 10
1.2.3.2	Ablauf der Prüfungen 10
1.3	Funktionseinheiten des Prüffunkgerätes 12
1.3.1	Funkteil 12
1.3.2	Funkkanalsteuerung 14
2	Schnittstellen 17
2.1	Externe Schnittstellen 17
2.1.1	Schnittstelle zum Prüfverteiler 17
2.1.2	Schnittstelle zum Frequenzverteiler 17
2.1.3	Serielle Schnittstelle zur Funkdatensteuerung (FDS) 17
2.1.4	Schnittstelle zur Gestellverdrahtung 17
2.1.5	Schnittstelle zur Stromversorgung 17
2.2	Interne Schnittstellen 18
2.2.1	Synthesizer 18
2.2.2	Empfänger 18
2.2.3	Modulator 18
2.2.4	Audio-Teil 18
2.2.5	Tonempfänger 19
2.2.6	Tonsender 19
3	Funkteil 20
3.1	Empfänger S42024-H169- 20
3.1.1	Stromversorgung für PLL-Demodulator 20
3.1.2	Eingangsstufe mit Mischer 1 20
3.1.3	Verstärker für 1. Zwischenfrequenz und Mischer 2. 22
3.1.4	Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung 22
3.1.5	Basisbandaufbereitung 23
3.2	Synthesizer S42024-H168- 24
3.2.1	Prinzip Synthesizer 26
3.2.2	Synthesizer-Baustein und Verteiler 27
3.2.3	Regelverstärker mit Filter 27
3.2.4	Oszillator (VCO) und Entkopplungsverstärker 1 29
3.2.5	Entkopplungsverstärker 2 29
3.2.6	Ausgangsverstärker 1 und 2 29

3.2.7	Testschleife für Laufzeitmessung	30
3.2.8	Spannungsregelung +10V/+8V	31
3.3	Modulator S42024-H167-	32
3.3.1	Aktives NF-Filter	36
3.3.2	Oszillator (VCO) und Entkopplungsverstärker	36
3.3.3	Modulationsgesteuerte Phasenregelschleife	37
3.3.4	Mischer und Sendevorstufe	38
3.4	Audio-Teil S42024-H381-	39
3.5	Tonsender S42024-H324-	41
3.6	Tonempfänger S42024-H331-	43
3.6.1	Messen der Prüftöne	43
3.6.2	Betriebsarten	46
4	Funkkanalsteuerung	47
4.1	CPU S42025-H418-*1 + Software S42025-H431-A150	47
4.1.1	CPU-Baustein 80C85, Adressen- Daten- und Steuerbus	51
4.1.2	Speicher	54
4.1.3	Interruptsteuerung	54
4.1.4	Serielle Schnittstelle	55
4.1.5	VLSI-Bausteine	56
4.1.5.1	Takterzeugung	59
4.1.5.2	Ablaufsteuerung	63
4.1.5.4	Überwachung und Rechnerreset	64
4.1.5.5	Korrelationsempfänger	65
4.1.5.6	Jittermesser	68
4.1.5.7	Offsetkorrektur	71
4.1.5.8	Decoder	73
4.1.5.9	Coder	75
4.2	Audio-Interface S42024-H382-	77
4.2.1	Laufzeitkorrektur	78
4.2.2	Adressendecodierung	78
4.2.3	Abfrage der Gestelladresse	81
4.2.4	Ausgabeports	81
4.2.5	Umsetzung der Feldstärke	82
4.2.6	Offsetkorrektur, Basisbandanpassung	82
4.2.7	Power-on-Reset, Resettaste	82
4.2.8	Störungsregister	83
4.2.9	Sonstiges	83
5	Technische Daten	84
5.1	Empfänger	85
5.2	Synthesizer	85
5.3	Modulator	85
5.4	Audio-Teil	86
5.5	Tonsender	86
5.6	Tonempfänger	86
5.7	CPU	87
5.8	Audio-Interface	87
6	Geräteübersicht	88

1. Übersicht

1.1 Prüffunkgerät (PFG) im Netz C 450

Das Prüffunkgerät (PFG) ist ein Einsatz der Funkperipherie der Basisstation (BS), siehe Bild 1. Es führt eine Eigenprüfung der Einsätze Sprechkanal (SPK), Organisations-/Sprechkanal (OSK) und Funkmeßempfänger (FME) innerhalb der Basisstation durch. Das Prüffunkgerät hat keine BS-übergreifenden Funktionen.

1.2 Prüffunkgerät in der Basisstation

Das Prüffunkgerät übernimmt in der Basisstation die routinemäßige Prüfung der Einrichtungen OSK, SPK und FME. Um Prüffehler durch Eigenfehler auszuschließen, führt das Prüffunkgerät regelmäßig eine Eigenprüfung durch.

Bei Signalisierungsaustausch während der Funkeinrichtungsprüfungen, die teilweise vom Prüffunkgerät selbst (Eigenprüfung), zum Teil von der Funkdatensteuerung angeregt werden, sendet das Prüffunkgerät im Unterband und empfängt im Oberband.

Die RF-Ankopplung des Prüffunkgerätes an die Prüflinge geschieht mit definierter Dämpfung über den Prüfsignalverteiler und die Richtkoppler in den Sende-/Empfangskopplern, die in den Zuführungen der Sende- und Empfangsantennen angeordnet sind. Dadurch können sowohl die gesamten Sendezüge als auch die gesamten Empfangszüge der o. g. Einrichtungen geprüft werden.

Das Prüffunkgerät hat außer der RF-Ankopplung über den Prüfsignalverteiler noch die Versorgungsschnittstelle zum Frequenzverteiler sowie die serielle Datenduplex-Schnittstelle zur Funkdatensteuerung. Über diese werden die Einrichtungsprüfungen von der Funkdatensteuerung angeregt und fehlerhafte Einrichtungen vom Prüffunkgerät an die Funkdatensteuerung gemeldet.

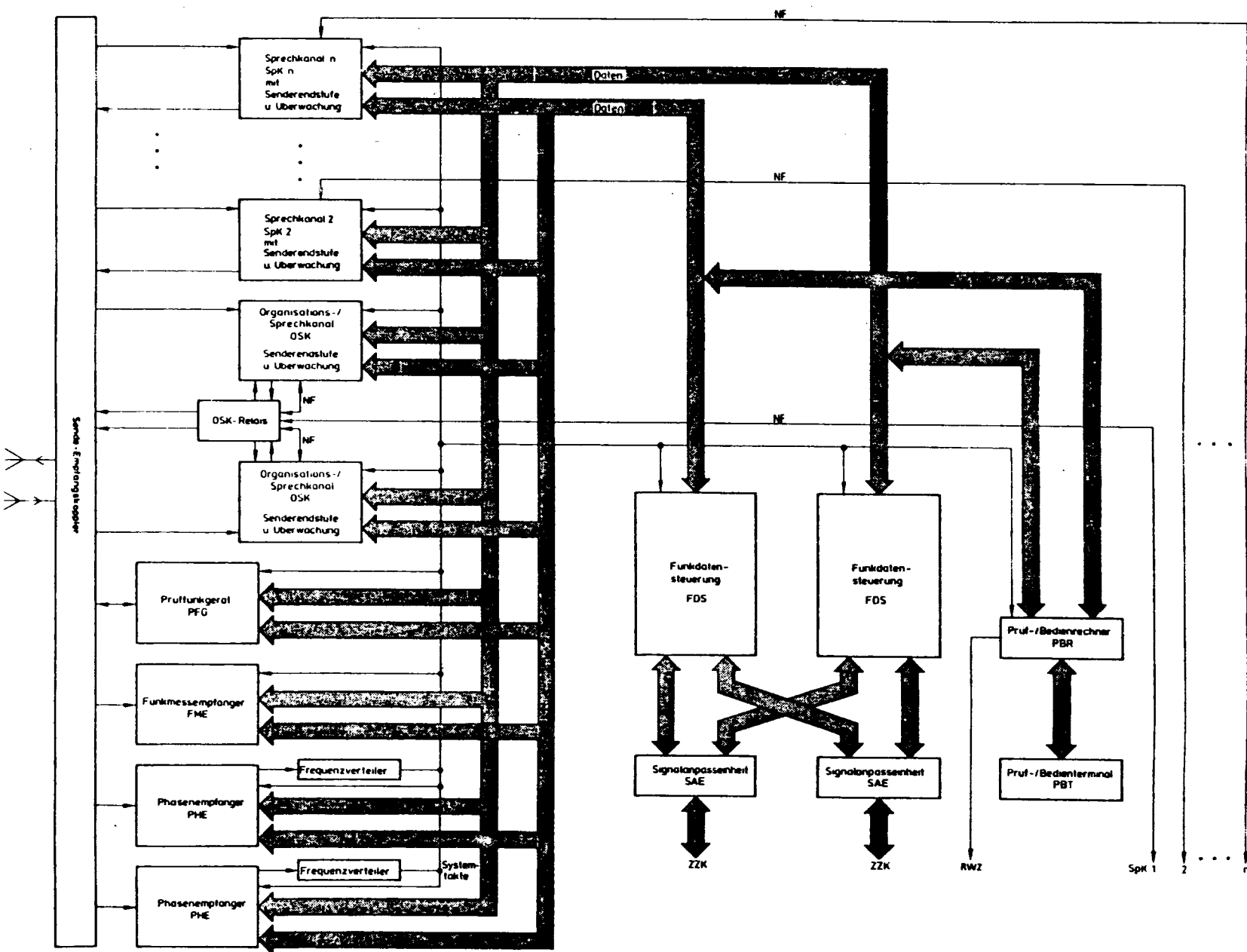


Bild 1 Übersichtsschaltplan der Basisstation

1.2.1 Aufgabenstellung

Das Prüffunkgerät hat die Aufgabe, Hardware-Fehler in den Einsätzen der Basisstation SPK, OSK und FME im Signalisierungsaustausch mit diesen durch Test und Messungen frühzeitig aufzudecken und an die Funkdatensteuerung zu melden. Im wesentlichen werden die Prüflinge nach folgenden Kriterien untersucht und auf Einhaltung der vorgeschriebenen Werte und zulässigen Toleranzen geprüft:

- Gerätelaufzeiten der Sende- und Empfangsseite
Insbesondere wird hierbei im Prüfling ein Eichen der Empfängerlaufzeit vorgenommen, um die Genauigkeit bei den Entfernungsmessungen zu erhöhen.
- Empfängerempfindlichkeit der SPK's
- Übertragungsqualität
Amplitudengang,
S/N und Klirrfaktor (SINAD-Messung)
- Funktion der NF-Betriebsarten
Sprache klar, Sprache invertiert.

Im Rahmen der Prüfungen mit diesen Kriterien werden gleichzeitig weitere Funktionen der Einrichtungen mitgetestet.

Die Prüflinge sind zum Teil aktiv an der Ermittlung der Prüfergebnisse beteiligt, insbesondere bei der Bestimmung ihrer eigenen Empfängerlaufzeit und des Geräuschabstandes (Jittermessung).

1.2.2 Eigenprüfung Prüffunkgerät

Wird im Rahmen einer Prüfung eine fehlerhafte Einrichtung erkannt, wird dies der Funkdatensteuerung gemeldet. Diese setzt die geprüfte Einrichtung auf den Zustand NICHT VERFÜGBAR. Um eine hohe Aussagesicherheit des Prüffunkgerätes zu gewährleisten, muß es ständig seine eigenen Meßeinrichtungen überprüfen. Das Prüffunkgerät muß für die Bestimmung der Senderlaufzeit im Prüfling die eigene Empfängerlaufzeit kennen. Die mit dem Prüffunkgerät im Signalisierungsaustausch stehenden Prüflinge setzen bei der Ermittlung und Eichung ihrer Empfängerlaufzeit eine im Toleranzbereich liegende Senderlaufzeit im Prüffunkgerät voraus. Aus diesen Gründen wird die Laufzeit im eigenen Sender und Empfänger ständig ermittelt und auf Toleranz geprüft.

Im Verlauf der Eigenprüfung werden folgende Aktionen ausgeführt:

- Sender- und Empfängerlaufzeitbestimmung
Kontrolle der Toleranz
Eichen der Empfängerlaufzeit
- Funktionstests
Test der SINAD-Meßeinrichtung (Signal-to-noise and distortion)
Test der Amplitudengang-Meßeinrichtung
Test der Prüf-Hardware für die Prüfung der Betriebsarten im Sprechkanal
(Betriebsarten: Sender oder Empfänger klar/invertiert).

Für die Eigenprüfung wird durch Aktivieren einer Testschleife das RF-Modulatorausgangssignal mittels Frequenzumsetzung auf den Empfänger geschaltet und wieder demoduliert (mit GERLAU, siehe Bild 2). Dieser Prüfvorgang wird in konzentrierter und verteilter Signalisierung vorgenommen.

Für die Empfängerlaufzeitmessung und -eichung in den Einsätzen der Basisstation ist das Prüfen der Senderlaufzeit und das Eichen der Empfängerlaufzeit im Prüffunkgerät notwendig.

Nach Aktivieren einer Testschleife mit GERLAU läßt sich bei konzentrierter Signalisierung die gesamte Sender- und Empfängerlaufzeit messen und mit dem Erwartungswert vergleichen.

Im Folgeschritt wird mit einer weiteren Testschleife (mit GERLAU1, siehe Bild 2) nur die Sendefilterlaufzeit im Modulator ermittelt und auf ihren Absolutwert sowie die noch zulässige Toleranz kontrolliert. Bei dieser Messung wird das Signal MODLAU unmittelbar vom Modulator über eine Basisbandanpassung - unter Umgehung des Empfängers - zur Auswerteschaltung geführt. Durch Wegfall der Empfängerlaufzeit wird das Signal um zwei Signalisierungsbits verzögert. Aus den Ergebnissen der beiden Messungen berechnet das Prüffunkgerät die eigene Empfängerlaufzeit.

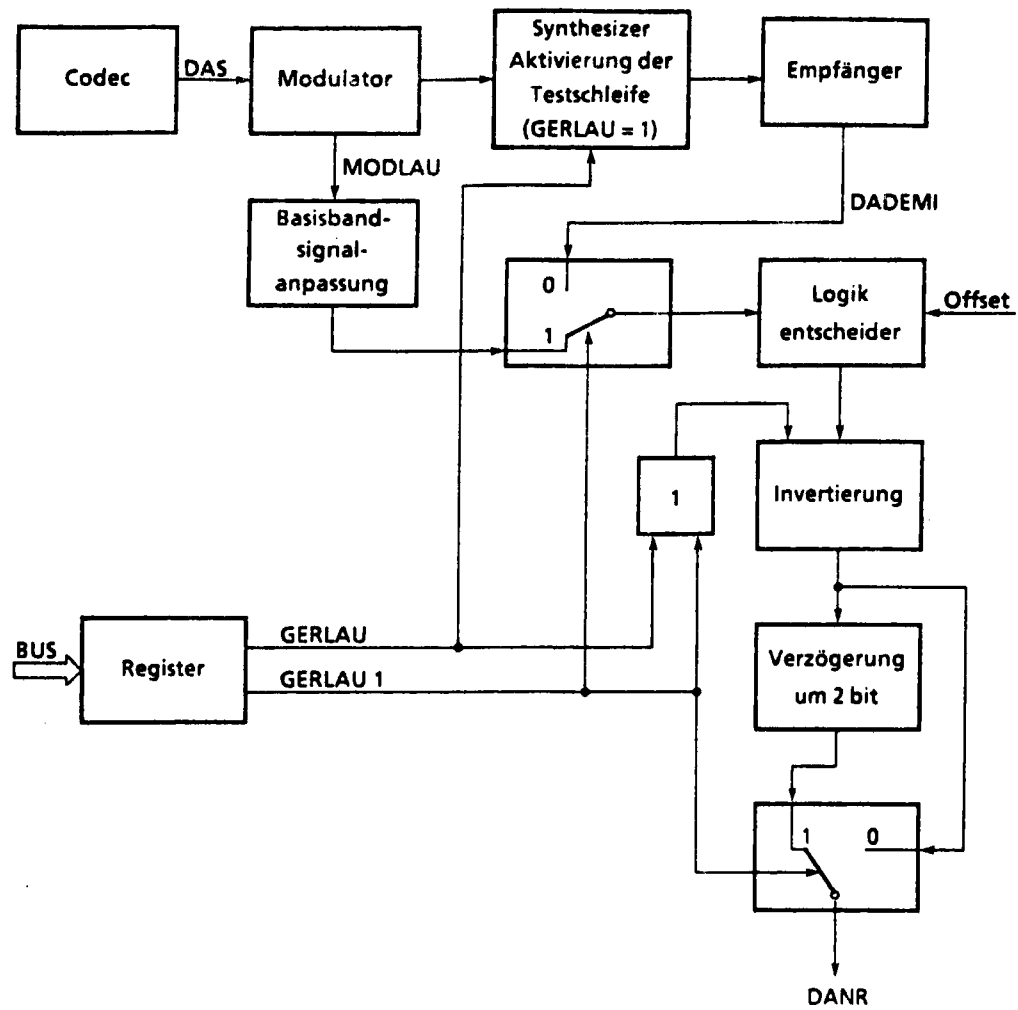


Bild 2 Testschleifen für Gerätelaufzeitmessungen im Prüffunkgerät

1.2.3 Funkeinrichtungsprüfung (FEP)

1.2.3.1 Übersicht

Alle drei Prüflinge (OSK, SPK und FME) werden folgenden Prüfungen unterzogen:

- Sender- und Empfängerlaufzeitmessung (FME nur Empfängerlaufzeit):
Kontrolle der Toleranz, Eichen der Empfängerlaufzeit
- Messen der Empfängerempfindlichkeit.

Dabei wird der Organisationskanal auf allen Frequenzen, die in der BS-Datenbasis eingetragen sind, geprüft.

Zusätzlich werden im Sprechkanalbetrieb folgende Prüfungen vorgenommen:

- Prüfen des Amplitudengangs (300Hz; 1kHz; 2,3kHz)
- SINAD-Messung (S/N und Klirrfaktor)
- Prüfen der Betriebsarten (Sender und Empfänger klar/invertiert).

Der FME wird gleichzeitig mit dem Sprechkanal getestet.

Die Ergebnisse der Funkmeßempfänger-Prüfung können vom Prüffunkgerät nicht beurteilt und an die Funkdatensteuerung gemeldet werden.

Der Funkmeßempfänger verwendet die Prüfverbindung PFG ---> Sprechkanal zu seiner Prüfung und sendet die Ergebnisse an die FDS.

1.2.3.2 Ablauf der Prüfungen

Kontrolle und Eichen der Gerätelaufzeiten

Der Prüfling setzt während der Prüfprozedur für die Empfängerlaufzeit einen bekannten Wert voraus. Jede Abweichung vom Erwartungswert wird als Korrekturgröße erkannt und bei der Entfernungsbewertung von Funkteilnehmern berücksichtigt (Empfängerlaufzeiteichung). Wenn dem Prüffunkgerät die eigene Empfängerlaufzeit bekannt ist, kontrolliert es die Senderlaufzeit des Prüflings auf Einhaltung der Toleranzwerte.

Messen des Amplitudengangs (nur für Sprechkanalbetrieb)

Diese Messung findet in verteilter Signalisierung statt. Im Sprechkanal wird eine NF-Schleife aktiviert, die die NF-Sende- und Empfängerseite kurzschließt. Gleichzeitig wird die NF des Sprechkanals von den MSC-Sprechleitungen getrennt.

Nacheinander werden ein 300-Hz-, ein 1-kHz- und ein 2,3-kHz-Prüftone, die im Tonsender generiert werden, über die RF-Schnittstelle zum Sprechkanal und über die NF-Schleife zurück zum Tonempfänger übertragen.

Das Ergebnis der dabei im Tonempfänger stattfindenden Breitbandmessung wird am Meldeport des Tonempfängers in Form einer Gut-/Schlechtaussage (Signal TEMEL, HIGH/LOW) ausgegeben und über die Baugruppe Audio-Interface von der CPU abgefragt.

SINAD-Messung

(Klirrfaktor und Empfindlichkeitsmessung)

Diese Messung wird im Sprechkanal mit der NF-Schleife und abgekoppelter MSC-Sprechleitung durchgeführt.

Ein über die Meßstrecke übertragener 1-kHz-Prüftton aus dem Tonsender wird im Tonempfänger mit der SINAD-Meßeinrichtung ausgewertet. Das Ergebnis wird am Meldeport angezeigt. Zum Prüfen der Empfängerempfindlichkeit wird die gleiche Messung bei abgesenktem RF-Pegel wiederholt. Im Modulator des Prüffunkgerätes wird zu diesem Zweck ein Dämpfungsglied aktiviert (Einschalten mit Signal SELEIO).

Zur Kontrolle der Empfängerempfindlichkeit und des Geräuschabstandes werden auch die in den Prüflingen gemessenen Feldstärke- und Jitterwerte zur Bewertung herangezogen und mit Erwartungswerten verglichen.

Prüfen der Invertierungseinrichtungen (nur für Sprechkanal)

Ebenso wie bei der SINAD-Messung wird ein 1-kHz-Prüftton über die Meßstrecke vom Tonsender zum Tonempfänger übertragen. Die Invertierungseinrichtungen der Sende- und Empfangsseite im Prüffunkgerät und im Sprechkanal lassen sich über die Betriebsartenports (Audio-Teil) einzeln ein- oder ausschalten, wodurch eine fehlerhafte Einrichtung eindeutig lokalisiert wird. Es werden alle Einstellkombinationen im Sprechkanal geprüft. Der Tonempfänger liefert nur dann eine Gutaussage am Meldeport, wenn eine ungerade Anzahl von Invertierungen (Verschleierungen) in die Meßstrecke eingeschaltet ist, z.B.:

Sprechkanal		Prüffunkgerät	
Sender	Empfänger	Sender	Empfänger
v	k	k	k
k	v	k	k

k = klar

v = verschleiert (invertiert)

1.3 Funktionseinheiten des Prüffunkgerätes

Das Prüffunkgerät (siehe Bilder 3 und 4) besteht aus den Funktionseinheiten Funkteil und Funkkanalsteuerung.

1.3.1 Funkteil

Der Funkteil enthält folgende Baugruppen: Modulator, Synthesizer, Empfänger, Audio-Teil, Tonsender, Tonempfänger

Die Ankopplung der HF-Sende- und Empfangssignale der Prüflinge geschieht über den Koppler im Anschlußfeld des Prüffunkgerätes,; dabei wird der HF-Ausgang des Modulators mit dem HF-Eingang des Empfängers zusammengeschaltet. Das über die Versorgungsschnittstelle zugeführte 6,4-MHz-Referenzsignal versorgt den Audio-Teil, den Modulator und den Synthesizer. Die Synthesizerfrequenz wird von der Funkkanalsteuerung durch Wahl der entsprechenden Kanalnummer eingestellt.

Die digitalen Sendedaten werden vom Coder unmittelbar zum Modulator, die analogen Empfangsdaten vom Empfänger zum Logikentscheider auf der Baugruppe Audio-Interface übertragen.

In verteilter Signalisierung werden im Modulator die verteilten Datenblöcke in das komprimierte Sprachsignal eingeblendet und entsprechend im Empfangszug ausgeblendet.

Der Modulator wird über die Funkkanalsteuerung ein- und ausgeschaltet.

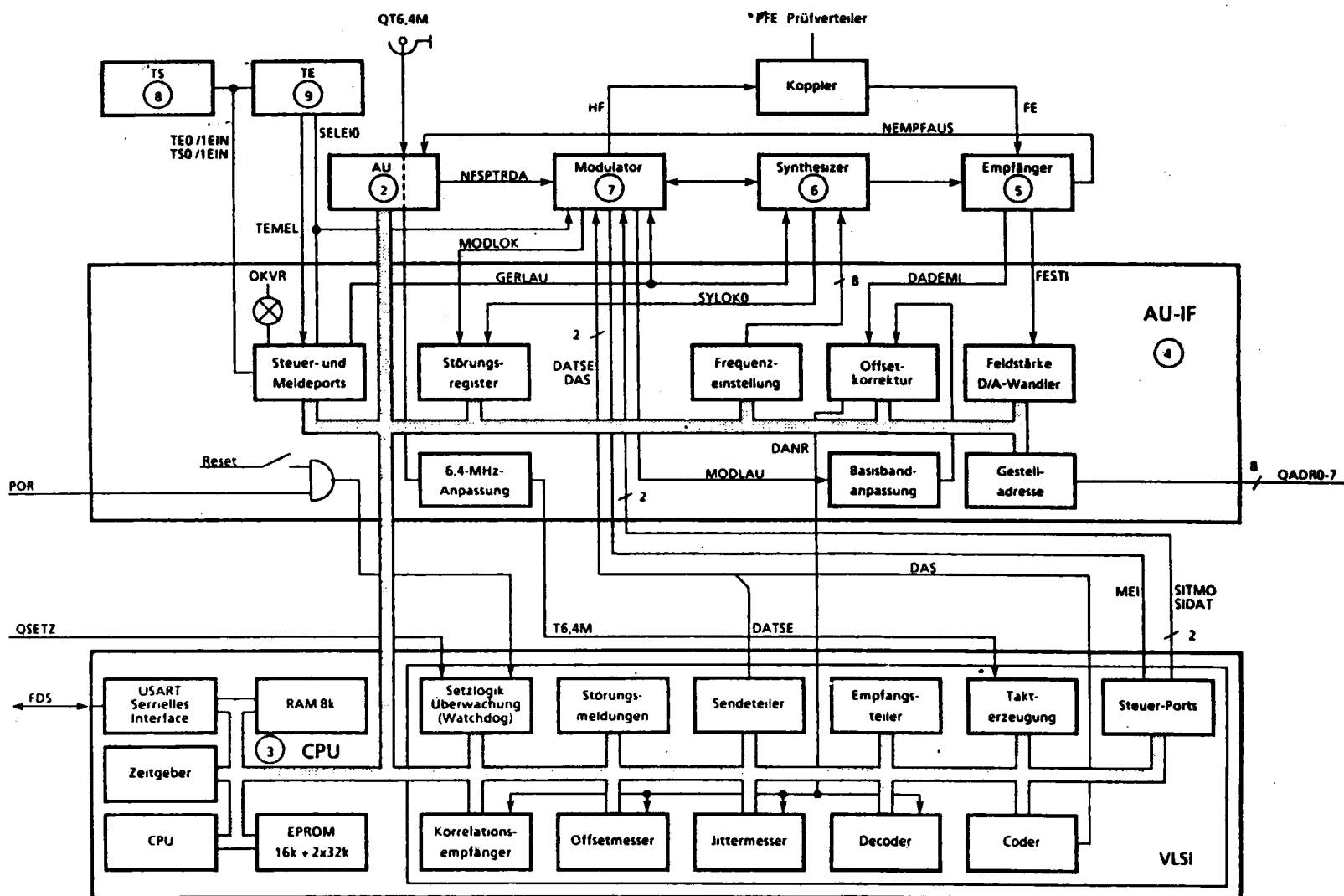
Störungen im Modulator (Signal MODLOK!) und im Synthesizer (Signal SYLOK!) werden über Ports an die Funkkanalsteuerung gemeldet.

Der Empfänger liefert das demodulierte Sprachsignal an den Audio-Teil, das demodulierte Datensignal und das Feldstärkesignal an die Funkkanalsteuerung.

Der RF-Ausgangspegel des Modulators wird beim Überprüfen der Empfindlichkeitsgrenze der Prüflinge um 26 dB herabgesetzt. Zum Messen der Modulatorlaufzeit wird das Basisband-Sendesignal aus dem Modulator über einen Anpassungsverstärker (anstatt des Empfangsdatensignals aus dem Empfänger) auf den Eingang des Logikentscheiders (Baugruppe Audio-Interface) geschaltet.

Für die Messung der Gesamtlaufzeit über Modulator und Empfänger wird eine Testschleife vom Modulator zum Empfänger über den Synthesizer (10-MHz-Umsetzung) geschlossen. Die Schleife wird für den Eigentest der Prüf-Hardware im Prüffunkgerät aktiviert.

Bild 3 Übersichtsschaltplan Prüffunkgerät (PFG)



Tonsender und Tonempfänger werden entsprechend den Prüfschritten in der Funkscheinrichtungsprüfung (FEP) über die zugeordneten Betriebsartenports vom Rechner eingestellt (siehe Abschnitt 1.2.3.2).

Je nach Prüfmodus ist die Betriebsart der Baugruppe Audio-Teil auf "klar" oder "invertiert" (über die Betriebsartenports) eingestellt.

In verteilter Signalisierung wird das Prüfsignal vom Tonsender über Inverter und Zeitkompressor auf dem Audio-Teil in den Modulator übertragen. Entsprechend gelangt auf der Empfangsseite das demodulierte Basisbandsignal vom Empfänger über Zeitexpander und Inverter auf dem Audio-Teil in den Tonempfänger.

1.3.2 Funkkanalsteuerung

Zur Funkkanalsteuerung gehören die Baugruppen CPU und Audio-Interface.

Die CPU-Baugruppe besteht im wesentlichen aus der CPU (80C85), RAM, EPROM, Zeitgeber, USART und den beiden VLSI-Bausteinen. Sie organisiert datenblock- und zeitplatzorientiert die gesamte Hardware-Steuerung für den Sende- und Empfangsbetrieb, das Lesen und Auswerten von Meßwerten und den Datenaustausch mit der Funkkanalsteuerung.

Die VLSI-Bausteine enthalten die Funktionseinheiten Korrelationsempfänger, Jittermesser, Offsetmesser, Coder, Decoder sowie die Taktaufbereitung mit den Teilerketten, sowie die Watchdog-Steuerung.

Der Korrelationsempfänger ermittelt aus dem Barkercode des Empfangsdatenblockes den Phasenbezug des Signals, mit dem direkt die Empfangsteilerkette in der Taktaufbereitung eingestellt wird (die Sendeteilerkette wird mit dem Rahmensetzsignal QSETZ gesetzt).

Mit dem Jittermesser wird der Geräuschabstand des NF-Datensignals ermittelt.

Der Offsetmesser ermittelt die Gleichspannungsablage des analogen Datensignals durch Erfassen der Veränderung der Zeichendauerzustände im nicht taktregenerierten Datensignal. Der gemessene Ablagewert läßt sich direkt (über die Hardware) oder auch indirekt (über die Software) zur Korrektur der Schwelle am Logikentscheider heranziehen (Offsetkorrektur).

Die Taktaufbereitung im VLSI enthält die Empfangs- und Sendeteilerkette sowie die Überwachungseinrichtung, die den Bezug der Teilerketten zueinander und zum Rahmensetzsignal (QSETZ) kontrolliert. Sind die Teilerketten zueinander asynchron, wird eine Störungsmeldung erzeugt.

Der Coder unterzieht die Daten vom Rechner einer Datensicherung (Codierung), bevor sie dem Modulator zugeführt werden.

Der Decoder ermittelt die Nutzinformation aus den codierten Empfangsdaten. Fehler lassen sich unterhalb einer definierten Korrekturschwelle korrigieren. Die Nutzinformation wird vom Rechner aus dem Empfangsdatenpuffer des Decoders ausgelesen.

Die Baugruppe Audio-Interface übernimmt folgende Aufgaben:

- Pegelregeneration des demodulierten (analogen) Datensignals vom Empfänger
- Einstellen der Hardware im Funkteil (Betriebsarten, Frequenzen, Testschleifen, Pegelabsenkung)
- Übernahme der Störungsmeldungen
- Lesen der Kanaladresse für den Datenaustausch mit der Funkdatensteuerung
- Erzeugen eines Rücksetzsignals für Taktaufbereitung und CPU
- Umwandeln des Feldstärkesignals aus dem Empfänger
- Offsetkorrektur
- Anzeige der Verfügbarkeit des Prüffunkgeräts.

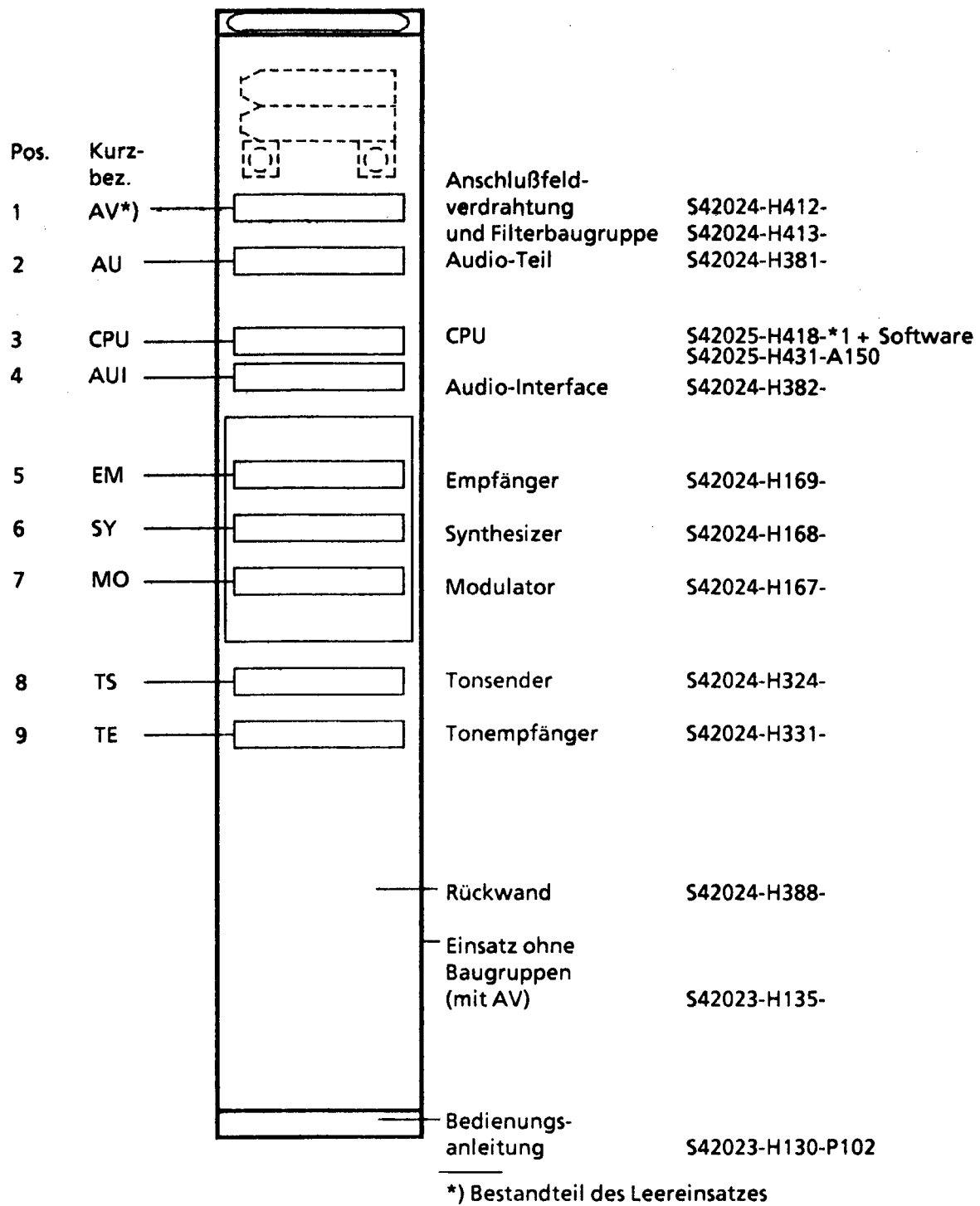


Bild 4 Aufbau des Prüffunktgeräts (PFG)

2 Schnittstellen

2.1 Externe Schnittstellen

2.1.1 Schnittstelle zum Prüfverteiler

Der HF-Ein/Ausgang des Prüffunkgerätes dient zur Ankopplung des PFG an den Prüfverteiler.

2.1.2 Schnittstelle zum Frequenzverteiler

Hier werden der Takt QT6,4M (Koaxstecker) und das Rahmensetzsignal QSETZ (symmetrische Leitung), die vom Frequenzverteiler kommen, eingespeist.

Über Koaxleitungen gelangt der 6,4-MHz-Takt einerseits zu den Synthesizern sowie zum Modulator, andererseits zum Audio-Teil, von wo er über die Einsatzrückwand-Platine zum Audio-Interface geführt wird; dort wird zur Versorgung der Steuerung die Umsetzung auf TTL-Pegel vorgenommen.

2.1.3 Serielle Schnittstelle zur Funkdatensteuerung (FDS)

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Datenaustausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Die Bausteine befinden sich auf der CPU (siehe Übersichtsschaltplan der CPU).

2.1.4 Schnittstelle zur Gestellverdrahtung

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestelladresse (auch als Kanaladresse bezeichnet) übergeben (Auswertung auf Audio-Interface; Leitungen QADR0-7).

2.1.5 Schnittstelle zur Stromversorgung

Zur Generierung eines Power-on-Resets nach Spannungsausfall wird neben den Versorgungsspannungen +5 V und +10 V das Signal POR(-PFG) aus der Stromversorgung zugeführt.

2.2 Interne Schnittstellen (Funkteil ↔ Funkkanalsteuerung)

2.2.1 Synthesizer

Die Frequenzeinstellung geschieht mit Hilfe der Signale FRUE0 und FREQ0-6 aus dem Audio-Interface. Der Synthesizer liefert im nicht gerasteten Zustand die Fehlermeldungen -SYLOK0.

Das Signal GERLAU aus dem Audio-Interface wird für die Gerätelauftzeitmessung benötigt.

2.2.2 Empfänger

Die Signale FESTI (Feldstärke) und DADEMI (analoges Datensignal) werden im Audio-Interface verarbeitet.

2.2.3 Modulator

Aus der CPU (VLSI-Bausteine) gelangen folgende Signale zum Modulator:

MEI	Modulator ein
SITMOI	Signaltor Modulator (Umschaltung Sprache/Daten im Sprechkanal)
SIDATI	Signaltor Daten
DATSE	Daten senden (Datentor)
DAS	Daten senden (ausgesendete Signalisierungsdaten).

Das Signal-MODLOK meldet das Einrastkriterium der Phasenregelschleife des Modulators an den Rechner (Audio-Interface), es wird LOW bei Fehler.

2.2.4 Audio-Teil

Der Audio-Teil ist an den Rechnerbus mit folgenden Signalen angeschlossen:

-WRX0, -RDB, -WRB, ALEB, ADB0-7.

Für die Komprimierung der Daten werden das Signal SIKO (Signaltor Komprimierung) sowie die Takte T38K40S und T42K24S aus der CPU (VLSI) zugeführt.

Die entsprechenden Signale für die Expandierung sind SIEX (Signaltor Expandierung), T38K40E und T42K24E, ebenfalls aus der CPU.

Die CPU bzw. das Audio-Interface liefert das Signal SPRDA (Umschalten Sprache/Daten) .

Das Signal DYNKOMP (Dynamikkompandierung) dient für Testzwecke und kann über den Diagnosestecker der CPU (z.B. mit Hilfe des CPU-Adapters) gesteuert werden (das Signal ist auf der CPU nur vom Diagnose- zum Busstecker durchgeschleift).

2.2.5 Tonempfänger

Die Steuerung des Tonempfängers geschieht mit Hilfe der Signale SELEI0 (Pegelabsenkung bei Empfänger-Empfindlichkeitsprüfung) und TEEIN0,1 sowie TSEIN0,1 (Betriebsmodi des Tonempfängers) aus dem Audio-Interface.

Das Meldesignal TEMEL (0) des Tonempfängers gelangt zum Audio-Interface.

2.2.6 Tonsender

Mit dem Signal TSEIN0,1 aus dem Audio-Interface wird der Betriebsmodus eingestellt.

3 Funkteil

3.1 Empfänger S42024-H169-....

Der Empfänger (siehe Bild 5) ist Bestandteil des Funkteils im Prüffunkgerät; er stellt die Verbindung zum Koppler her (siehe externe Schnittstellen 2.1.1).

Der Empfangsfrequenzbereich beträgt 460,0 MHz bis 465,74 MHz.

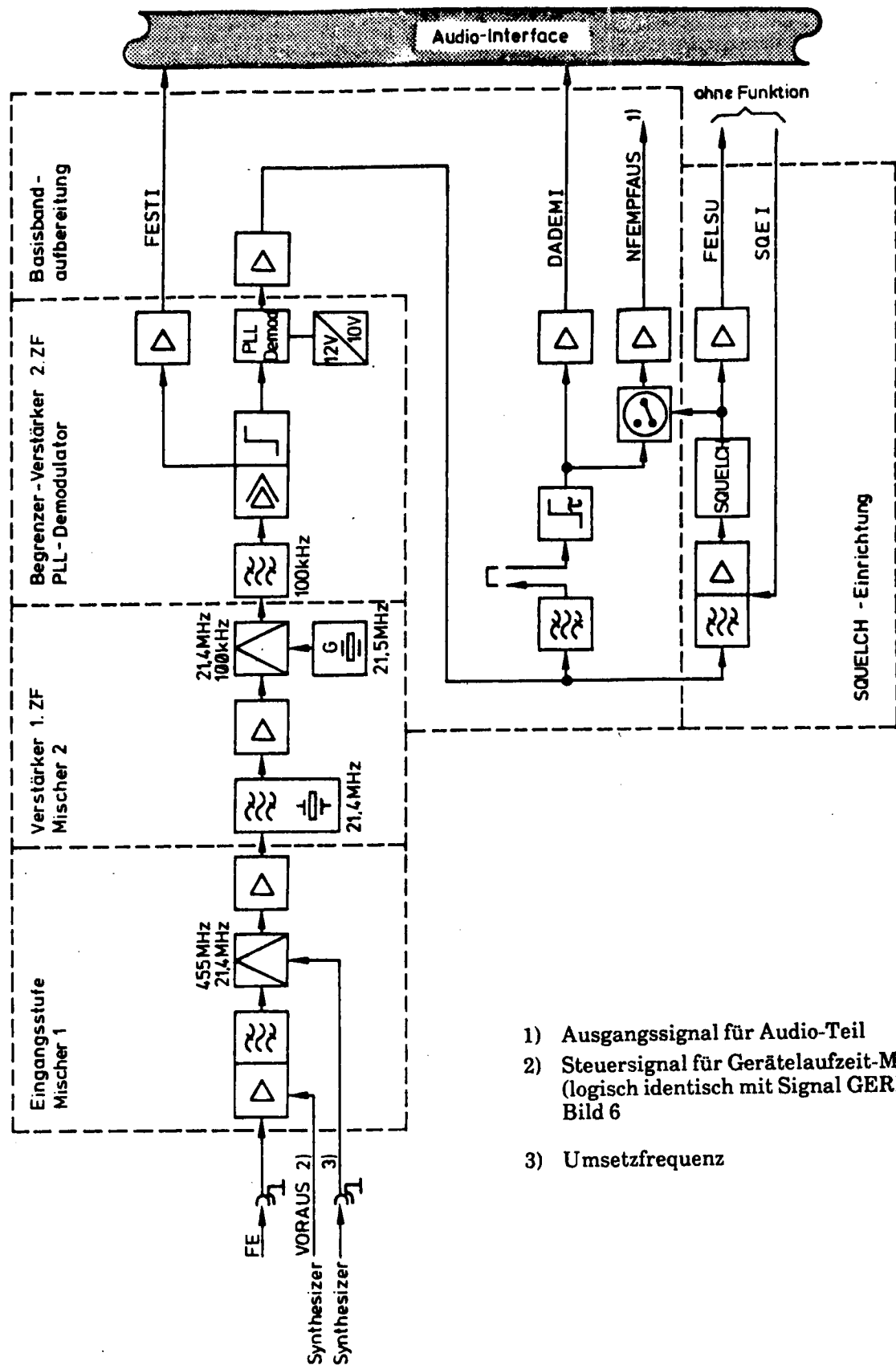
Das vom Koppler kommende Empfangssignal wird über die 1. Zwischenfrequenz (21,4 MHz) in die 2. Zwischenfrequenz (100 kHz) umgesetzt, demoduliert und über den Datenweg (DADEMI) und NF-Weg (NFEMPFAUS) der Funkkanalsteuerung und der Baugruppe Audio-Teil zugeführt.

3.1.1 Stromversorgung für PLL-Demodulator

Die besonderen Anforderungen an die Konstanz des PLL-Demodulators 304 erfordern eine Betriebsspannung (+ 12 V) hoher Stabilität. Diese Spannung wird mit Hilfe eines Gleichspannungswandlers aus der extern zugeführten Betriebsspannung (10 V) gewonnen. Dazu erzeugt der IC305 Rechteckimpulse mit einer Frequenz von etwa 6 kHz. Diese Impulse werden mit Hilfe der Diode 250 und dem Kondensator 175 der Betriebsspannung (10 V) überlagert und zusammen gleichgerichtet (Diode 251 und Kondensator 176). Nach der anschließenden Stabilisierungsschaltung (Widerstand 57, Referenzdiode 252 und Kondensator 170) steht die gewünschte Ausgangsspannung (+ 12 V) zur Verfügung. Sie versorgt den IC304 und dient zum Erzeugen der Arbeitspunkte der Operationsverstärker 303 und 307.

3.1.2 Eingangsstufe mit Mischer 1

Das ankommende HF-Eingangssignal (FE) wird vom Transistor 271, dessen Arbeitspunkt vom Transistor 270 stabilisiert ist, verstärkt. Über das nachfolgende Zweikreis-Helical-Filter 240 gelangt das verstärkte Eingangssignal zum Ringmischer 320. Dort wird es mit Hilfe der Umsetzfrequenz, die der Synthesizer des Funkteils liefert, auf die 1. Zwischenfrequenz (1. ZF) von 21,4 MHz umgesetzt.



- 1) Ausgangssignal für Audio-Teil
- 2) Steuersignal für Gerätelaufzeit-Messung (logisch identisch mit Signal GERLAU, Bild 6)
- 3) Umsetzfrequenz

Bild 5 Übersichtschaltplan Empfänger

3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2

Der Transistor 272 verstärkt die vom Ringmischer 320 gelieferte 1. ZF und leitet sie über eine Anpaßschaltung (Kondensator 139 und Spule 225) zum 8poligen Quarzfilter 300, in dem die Hauptselektion des Empfängers vorgenommen wird.

Der nach der Anpaßschaltung (Kondensator 142 und Spule 226) folgende Schaltungsteil mit dem Transistor 273 verstärkt das vom Quarzfilter 300 kommende 21,4-MHz-Signal und führt es zum Mischer 2 (301).

Das IC 301 wird als selbstschwingender Mischer betrieben; dabei bestimmt der angeschlossene 21,5-MHz-Quarz die Umsetzfrequenz und damit die Umsetzung auf die 2. Zwischenfrequenz von 100 kHz.

3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung

Das am Ausgang von Mischer 2 austretende 100-kHz-Signal (2. Zwischenfrequenz) gelangt über ein 100-kHz-Zweikreis-Bandfilter (Kondensatoren 155, 156, 157 sowie Spulen 229 und 230) zum Begrenzer-Verstärker 302. Dieser leitet es an den Demodulator (IC 304) weiter. Das 100-kHz-Zweikreis-Bandfilter dient sowohl zum Unterdrücken der durch den Mischer 2 erzeugten Umsatzfrequenz als auch zur weiteren Selektion des Empfangssignals.

Das Begrenzer-IC302 erfüllt zwei Aufgaben; es verstärkt und begrenzt das ZF-Signal, sodaß unabhängig vom Eingangspegel des Empfängers ein konstanter Pegel am Pin 11 für den nachfolgenden PLL-Demodulator zur Verfügung steht. Außerdem erzeugt es eine dem Empfangspegel proportionale Spannung (PIN 15), die im Operationsverstärker 303 auf einen Ausgangspegel zwischen 0 V und 2,5 V gebracht wird. Diese Spannung dient zum Messen des HF-Eingangspegels des Empfängers im Bereich von etwa -120 dBm bis etwa -60 dBm.

Das IC304 enthält einen spannungsgesteuerten 100-kHz-Oszillator (VCO), einen Phasenkomparator und ein Loop-Filter, die zusammen als PLL-Demodulator geschaltet sind. Die beim Übertragen von NRZ-Daten (Modulationssignal) notwendige Gleichspannungskopplung bei der Demodulation erfordert eine hohe Konstanz des Oszillators, die durch den Präzisions-IC304 bei der 2. ZF von 100 kHz gewährleistet ist. Am Ausgang des PLL-Demodulators 304 (Pin 10) steht das demodulierte Basisbandsignal zur Verfügung.

3.1.5 Basisbandaufbereitung

Das demodulierte Basisbandsignal wird vom nachfolgenden Operationsverstärker 306 verstärkt. Im Operationsverstärker 306 wird auch die gemeinsame Pegeleinstellung für den Daten- und NF-Ausgang vorgenommen. Ein Besselfilter 3. Ordnung begrenzt das Basisfrequenzband anschließend auf etwa 4 kHz, gelangt dann an den Allpaß 308. Dieser Allpaß ermöglicht das Einstellen der erforderlichen Soll-Laufzeit im Empfänger.

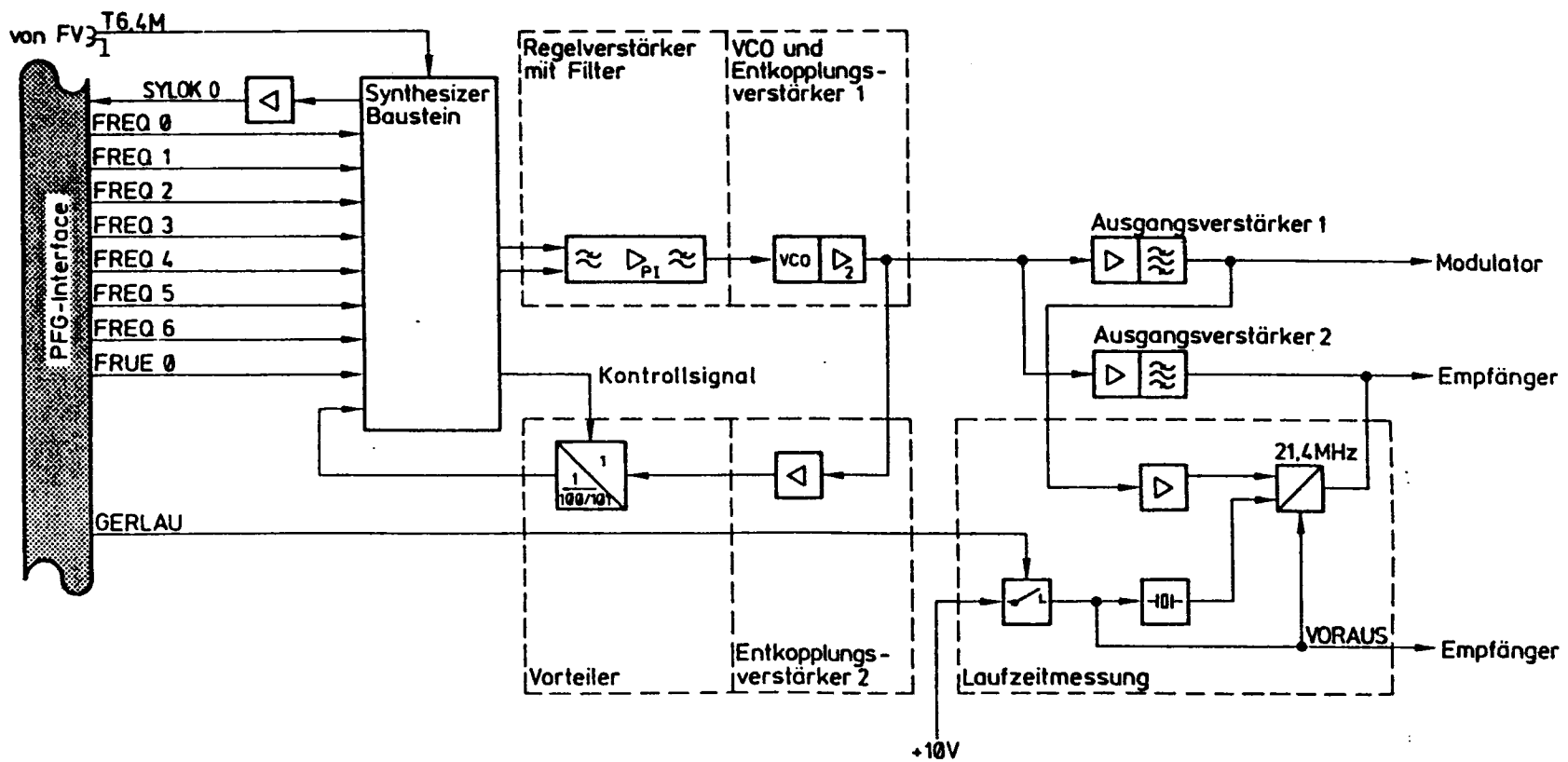
Nach dem Allpaß 308 wird in den Daten- und NF-Weg aufgetrennt. Der Operationsverstärker 303 verstärkt das Daten-Signal (DADEMI) auf einen Pegel von 2 V (Spitze-Spitze) und übergibt es an die Baugruppe Audio-Interface. Das NF-Signal (NFEMPFAUS) gelangt bei durchgeschaltetem Transistor 276 zum Operationsverstärker 307, der es auf 860 mV (Spitze-Spitze) verstärkt. Der Transistor 276 wirkt dabei als Schalter, der mit Hilfe der Steuerschaltung kurzzeitige Störgeräusche unterdrückt (Squelch- Einrichtung, im PFG nicht verwendet).

3.2 Synthesizer S42024-H168-....

Der Synthesizer (siehe Bild 7) erzeugt im Prüffunkgerät die Umsetzfrequenz für den Empfänger und den Modulator. Die Frequenz des Synthesizers kann digital durch ein 8-bit-Wort in Schritten von 10 kHz oder 12,5 kHz im Frequenzbereich von 481,40 MHz bis 487,14 MHz eingestellt werden. Der Signalpegel für das 8-bit-Wort beträgt + 5 V. Nach Erreichen der gewünschten Frequenz wird das Signal SYLOK0 erzeugt. Für das Messen der Laufzeit des Modulators und Empfängers befindet sich auf dieser Baugruppe ein 31,4-MHz-Verstärker, ein 10-MHz-Oszillator und ein Mischer, der die Test-Zwischenfrequenz von 21,4 MHz bildet. Mit dem 31,4-MHz-Signal des Modulators, der 21,4-MHz-Zwischenfrequenz und dem demodulierten ZF-Signal des Empfängers wird die Testschleife gebildet (siehe Bild 7).

Der Synthesizer benötigt eine Referenzfrequenz von 6,4 MHz.

Bild 6 Übersichtsschaltplan Synthesizer



3.2.1 Prinzip Synthesizer

Bild 7 zeigt in vereinfachter Darstellung die indirekte Frequenzsynthese, wie sie im Synthesizer verwendet wird.

Der Frequenzteiler T2 dient zum Einstellen des Kanalarasters (10/12,5 kHz). Die Ausgangsfrequenz F_k stellt die Referenz für die Phasenbrücke (Phi) dar.

Der VCO ist ein spannungsgesteuerter Oszillator, der die Frequenzen von 481,40 MHz bis 487,14 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß $n \times F_k$ die gewünschte Frequenz F_{syn} ergibt.

Am Ausgang der Phasenbrücke entsteht die Gleichspannung X, die proportional der Phase von $F_k/(F_{syn}/n)$ ist. Die Oberwellen der Frequenz F_k werden mit dem Filter F_i unterdrückt.

Die Gleichspannung X dient als Steuersignal für den Oszillator und steuert diesen solange nach, bis F_k und (F_{syn}/n) gleich sind.

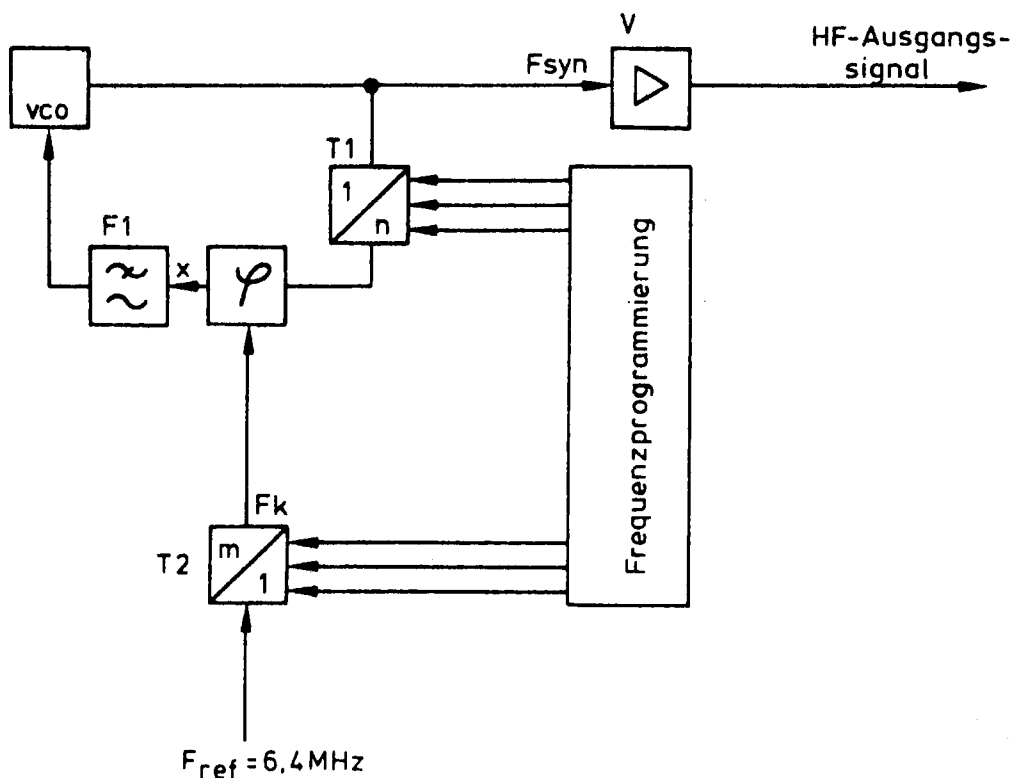


Bild 7 Prinzip Synthesizer

3.2.2 Synthesizer-Baustein und Vorteiler

In den Synthesizer-Baustein (Bild 8) integriert sind die Frequenzteiler für die Referenz (12-bit-R-Teiler) und ein Teil der Frequenzteiler, die die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz oder 12,5 kHz teilen. Außerdem sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrollogik zur Steuerung eines externen Vorteilers und eine Programmierlogik enthalten.

Der vollständige Frequenzteiler besteht aus dem 7-bit-A-Teiler, dem 10-bit-N-Teiler, den beiden externen Bausteinen 552, 553 sowie der Kontrollogik. Die Bausteine 552, 553 bilden einen 100/101-Vorteiler, der mit dem Kontrollsignal definiert umgeschaltet wird.

Die Frequenzprogrammierung (Signale **FREQ0** bis 6 von der Baugruppe Audio-Interface) geschieht an den Eingängen **D0** bis 3, **A0** bis 2 und **St** (Signal **FRUE0**).

Die Adreßeingänge **A0** bis 2 wählen die Speicher (**S0** bis 7) aus, die die Daten von **D0** bis 3 empfangen sollen. Das Signal **FRUE0** bestimmt am Eingang **St** den Übernahmezeitpunkt.

Um die Steuerspannung für den Oszillator zu gewinnen, stehen zwei Phasendetektoren (**A**, **B**) zur Verfügung; hier wird der Phasendetektor **B** verwendet. Dieser Phasendetektor hat einen symmetrischen Ausgang, um Störspannungen von außen zu unterdrücken.

3.2.3 Regelverstärker mit Filter

Der Operationsverstärker 551 erzeugt aus der symmetrischen Spannung vom Phasendetektor **B** eine unsymmetrische Spannung zur Ansteuerung des VCO. Die Widerstände 22 bis 25 sowie die Kondensatoren 202 bis 204 und 207 bilden zwei in Serie geschaltete Tiefpässe. Die Widerstände 26, 27 und Kondensatoren 205, 206 stabilisieren den Regelkreis (Lag-Glieder). Die Widerstände 28, 29, 30 und die Kondensatoren 208, 229, 230 stellen ebenfalls drei Tiefpässe dar; sie unterdrücken die Referenzfrequenz und deren Oberwellen.

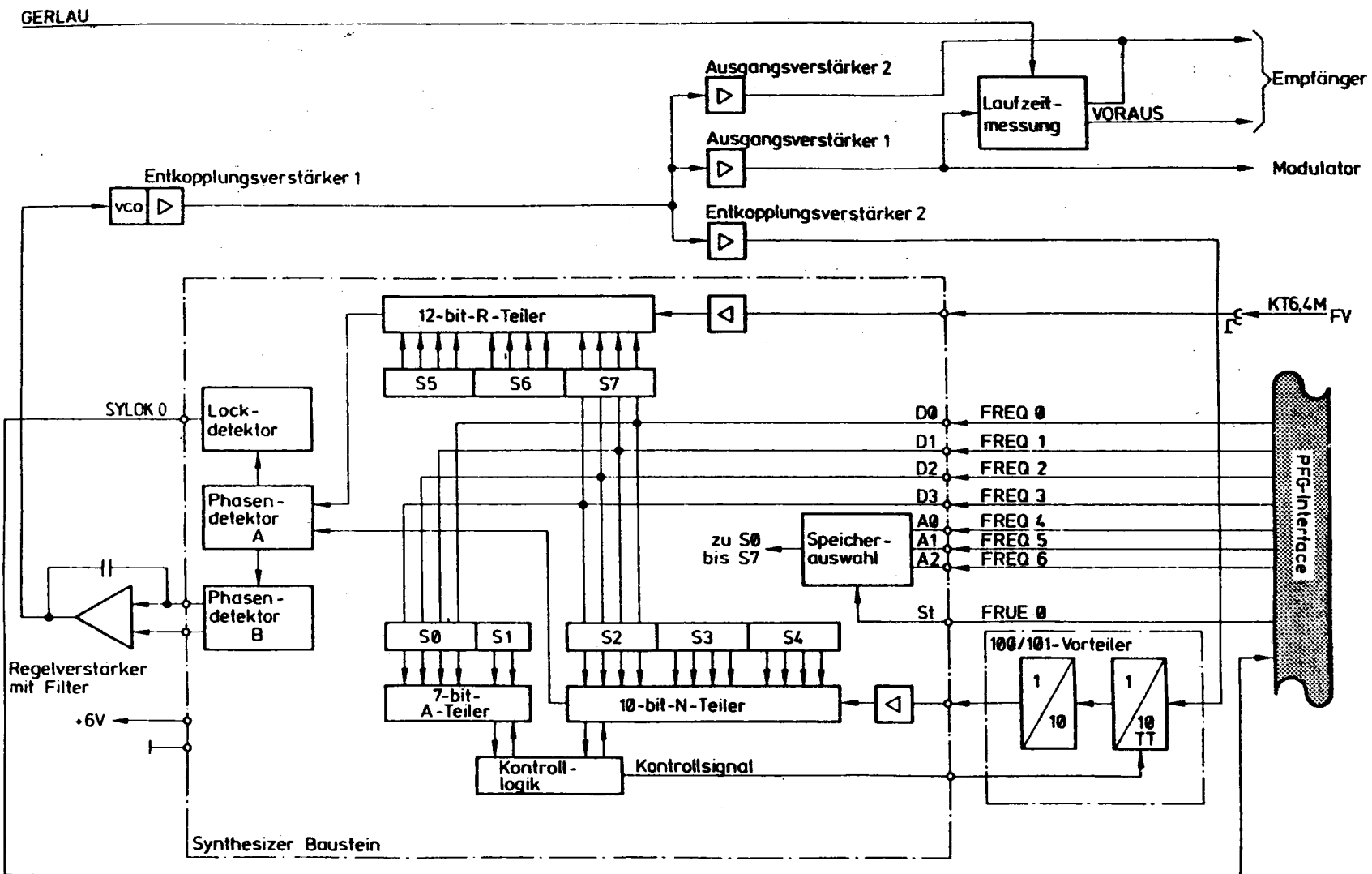


Bild 8 Übersichtsschaltplan Synthesizer-Baustein

3.2.4 Oszillator (VCO) und Entkopplungsverstärker 1

Der spannungsgesteuerte Oszillator (VCO) besteht im wesentlichen aus dem Feldeffekttransistor 507, sowie dem Rückkoppelnetzwerk 235 und 236.

Mit den Kapazitätsdioden 472 und 473, die über die Kondensatoren 231, 232, 233 an den Schwingkreis angekoppelt sind, läßt sich der Oszillator in seiner Frequenz verändern. Um Rückwirkungen vom Ausgang und von den Frequenzteilern 552 und 553 möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker (Transistoren 508 und 509) erforderlich.

Das Dämpfungsglied (Widerstände 63, 64, 65) dient zum Erhöhen der Entkopplung und zum Anpassen der Ausgangsleistung. Um die Störmodulation, z.B. bedingt durch mechanische Erschütterung, klein zu halten, befinden sich der VCO und die beiden Stufen in einem fest umschlossenen Gehäuse.

3.2.5 Entkopplungsverstärker 2

Der hochfrequente Teiler 553 wird vom Verstärker mit dem Transistor 505 angesteuert. Der Verstärker ist beidseitig mit einem Dämpfungsglied abgeschlossen, um den Pegel an Teiler 553 anzupassen.

Der Entkopplungsverstärker 2 hält Nebenwellen, die im Frequenzteiler entstehen, vom Oszillator fern.

3.2.6 Ausgangsverstärker 1 und 2

Der Transistor 517 bildet den Ausgangsverstärker 1. Die Verstärkung beträgt etwa 10 dB und die Ausgangsleistung liegt zwischen 10 mW und 30 mW.

Der Transistor 515 dient der Arbeitspunktregelung der Verstärkerstufe. Um eine Amplitudenmodulation der Endstufe (Transistor 517) durch überlagerte Störspannungen auf der 10-V-Versorgungsspannung zu verhindern, sind die Zenerdiode 483 und der Widerstand 90 eingebaut. Das Helicalfilter 375 hat eine Bandfiltercharakteristik; es unterdrückt restliche Nebenwellen, die in den Frequenzteilern entstehen.

Den Ausgangsverstärker 2 bildet Transistor 523. Mit dieser Stufe wird eine Ausgangsleistung zwischen 15 mW und 40 mW erreicht.

Der Transistor 521 dient zur Arbeitspunktregelung der Verstärkerstufe. Die Zenerdiode 485 unterdrückt Störspannungen, die auf der +10-V-Versorgungsspannung überlagert sind. Der Helicalfilter 381 übernimmt die gleiche Funktion wie beim Ausgangsverstärker 1.

3.2.7 Testschleife für Laufzeitmessung

Für die Entfernungsmessung müssen auch die Laufzeit des Modulators und Empfängers gemessen werden.

In Bild 9 ist das Prinzip der Testschleife dargestellt.

Im Modulator wird die Sendefrequenz durch Mischen der Synthesizerfrequenz mit einem modulierten 31,4-MHz-Signal erzeugt. Durch die endliche Entkopplung des Sendemischers gelangt das modulierte 31,4-MHz-Signal mit einem Pegel von etwa –50 dBm zum Synthesizer. Dieses Signal erreicht, nachdem es den Tiefpaß 410 durchlaufen hat, die Verstärkerstufe V (31,4). Das verstärkte Ausgangssignal setzt der additive Mischer M (21,4) mit dem 10-MHz-Oszillator auf 21,4 MHz um. Über die Spule 415 gelangt das 21,4-MHz-Signal zum Empfänger.

Im Empfänger wird der Mischer mit der Drossel 231 umgangen und das Signal unmittelbar in die 1. Zwischenfrequenz eingespeist. Am Demodulatorausgang läßt sich das NF- bzw. Datensignal unmittelbar mit dem Modulatoreingangssignal vergleichen und die Laufzeit messen.

Der Verstärker V (31,4) besteht aus dem Transistor 535. Er hat eine Verstärkung von etwa 15 dB. Mit dem Trimmer 317 wird die Frequenz des Oszillators auf 10 MHz abgeglichen. Der Transistor 536 arbeitet als additiver Mischer, seine Mischerverstärkung beträgt etwa 10 dB.

Als Signal für die Testschleife dient das Signal GERLAU, das von der Baugruppe Audio-Interface an den Synthesizer geführt ist. Dieses Einschaltssignal bewirkt, daß das Signal VORAUS von LOW auf HIGH kippt. VORAUS schaltet die Empfängervorstufe aus und vermindert die Empfängerempfindlichkeit um etwa 30 dB; dadurch werden beim Eigentest Störungen durch starke Empfangssignale vermieden.

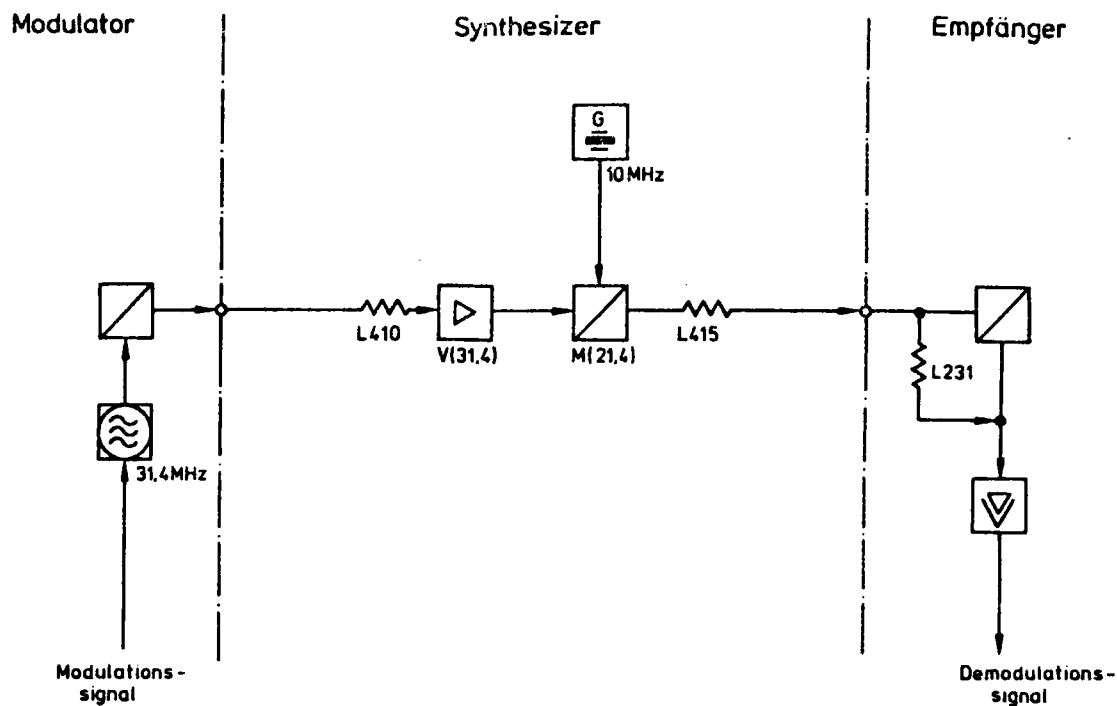


Bild 9 Testschleife zum Messen der Eigenlaufzeit des Prüffunkgerätes

3.2.8 Spannungsregelung +10 V/+8 V

Für besonders empfindliche Schaltungen und Bauteile der Baugruppe Synthesizer sind die von der Gestellstromversorgung gelieferten Spannungen zusätzlich stabilisiert.

Zu den empfindlichen Schaltungen gehören der Oszillator und die Entkopplungsverstärker mit den Transistoren 505, 508 und 509.

Die Stabilisierungsschaltung ist mit dem Baustein 554 und dem Transistor 530 aufgebaut. Der Transistor ist notwendig, um einen möglichst geringen Spannungsabfall an der Stabilisierungsschaltung zu erhalten.

3.3 Modulator S42024-H167-....

Der Modulator (siehe Bild 10) im Prüffunkgerät erzeugt ein frequenzmoduliertes HF-Signal zum Prüfen der Empfangszüge in den Funkmodems der Basisstation.

Das zugeführte Modulationssignal ist ein Sprach- bzw. Wechselstromtelegraphiesignal und ein Datensignal (Signalisierungsdaten).

Die Modulationssignale werden auf der Baugruppe Audio-Teil zeitkomprimiert. In die hierdurch entstehenden Zeitschlitzte der Modulationssignale werden auf der Modulatorbaugruppe Signalisierungsdaten (NRZ-Daten) eingefügt, die zur Verbindungsüberwachung zwischen Prüffunkgerät und Basisstation erforderlich sind.

Der Ausgangspegel des Modulators kann über ein Steuersignal (SELEI 0) um 26 dB vermindert werden, so daß die Empfangszüge der Feststation sowohl an ihrer Empfindlichkeitsgrenze ($P_e = 20 \text{ dB}$, S/N) als auch bei hohem Eingangspegel vermessen werden können.

Der Modulator ist im wesentlichen ein phasengeregelter, modulierbarer Quarzoszillator (VCO), dessen Mittenfrequenz 31,4 MHz beträgt. Um eine Frequenzdrift des Oszillators zu vermeiden, wird er mittels einer Phasenregelschleife an die systemeigene Referenzfrequenz von 6,4 MHz angebunden.

Die Phasenregelschleife besteht aus Phasenvergleicher, steuerbaren Vorteilern, Frequenzverdopplerschaltung, Vorteiler für Referenzfrequenz, aktivem Tiefpaßfilter zum Umwandeln des digitalen Regelsignales in analoge Regelspannung und Überwachungssignalerzeugung bei gerasteter Phasenregelschleife (Signal MODLOK). Für die Modulationssignale ist eine Betriebsartenumschaltung notwendig. Hierzu dienen die Signale SIDATI, SITMOI und DATSE von der Funkkanalsteuerung. Diese Ansteuersignale werden auf der Modulatorbaugruppe decodiert. Das Umschalten der Modulationssignale wird von integrierten Anlogschaltern vorgenommen.

Bei Datenbetrieb steuert das Modulationssignal einen Vorteiler der Phasenregelschleife. Durch diese Maßnahme wird vermieden, daß modulationsbedingte Frequenzänderungen des Oszillators durch die Phasenregelschleife ausgeglichen werden.

Die 31,4-MHz-Zwischenfrequenz wird im Mischer 1 auf die Sendefrequenz (450,0 MHz bis 455,74 MHz) umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz für den Mischer. Ein zweistufiger Verstärker erzeugt den erforderlichen HF-Ausgangspegel.

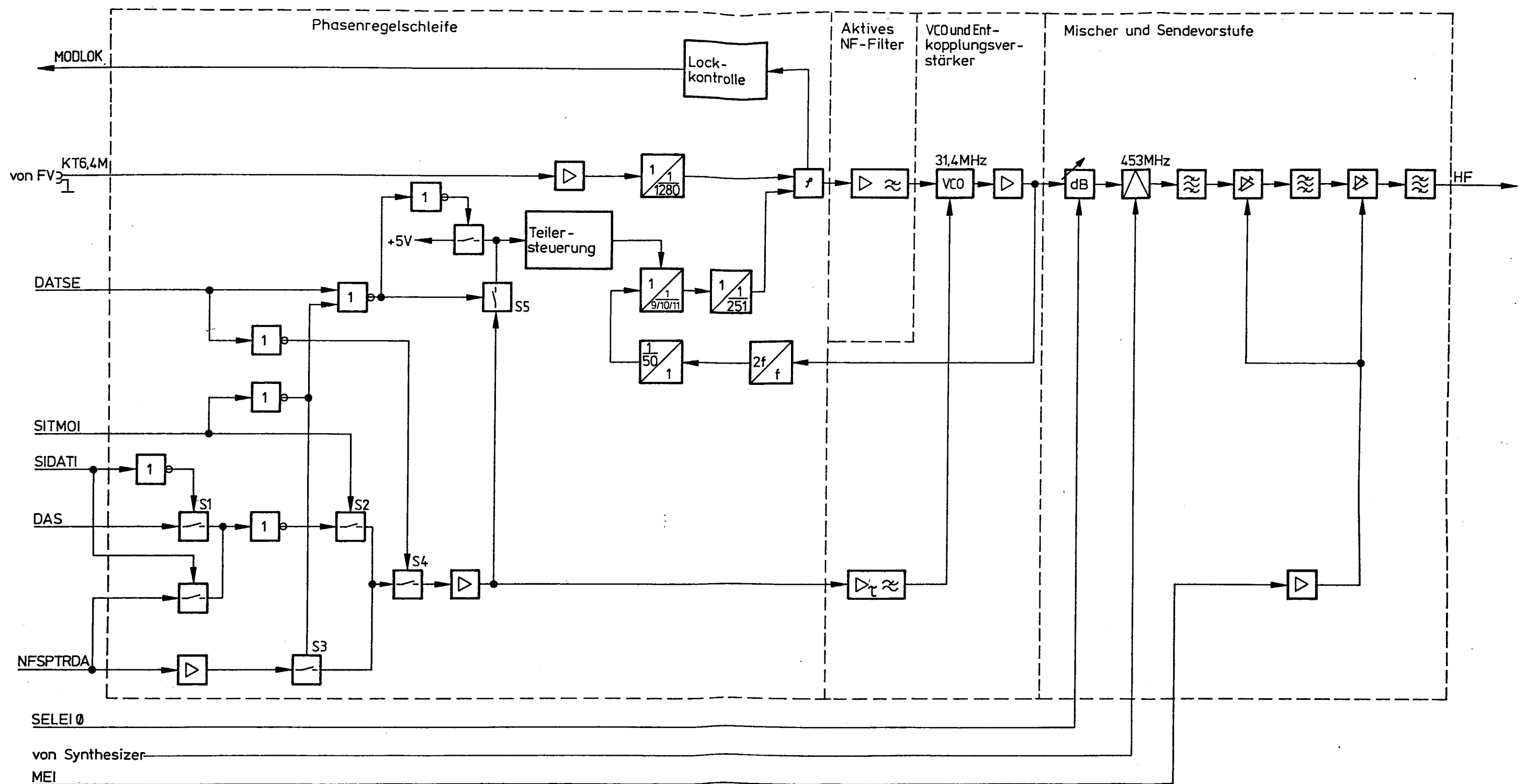


Bild 10 Übersichtschaltplan Modulator

Betriebsartenumschaltung

Am Eingang NFSPTRDA des Modulators können folgende Nutzschnale anstehen:

- komprimierte Sprache
- komprimierte Wechselstromtelegraphie.

Am Eingang DAS des Modulators können folgende Nutzschnale anstehen:

- Signalisierungsdaten (NRZ), 4-bit-Datenblock alle 12,5 ms bei verteilter Signalisierung.
- Signalisierungsdaten (NRZ), konzentriertes Datensignal 5,28 kBaud.

Bei Betrieb im Sprechkanal wird der Datenblock dem auf der Baugruppe Audio-Teil komprimierten Modulationssignal zum Zeitpunkt des Komprimierungsschlitzes zugeschaltet (siehe Bild 11).

Aus der nachfolgenden Tabelle sind Betriebsarten, Zustand der Steuereingänge und der Signalweg des Modulationssignals zu ersehen.

Tabelle Steuerung des Modulationssignals (siehe Bild 10)

Betriebsart	Zustand der Steuereingänge			Signalweg (s. Bild 10)
	SIDATI	SITMOI	DATSE	
komprimierte Sprache bzw. WT	-	0	0	vom Eingang NFSPTRDA über Schalter S3 und S4
Signalisierungsdaten	0	1	0	vom Eingang DAS über Schalter S1, Inverter, Schalter S2, Schalter S4. Über Schalter S5 wird der Verteiler gesteuert.
Modulation AUS	-	-	1	Schalter S4 trennt alle Signalwege auf, Modulator schaltet auf Mittenfrequenz

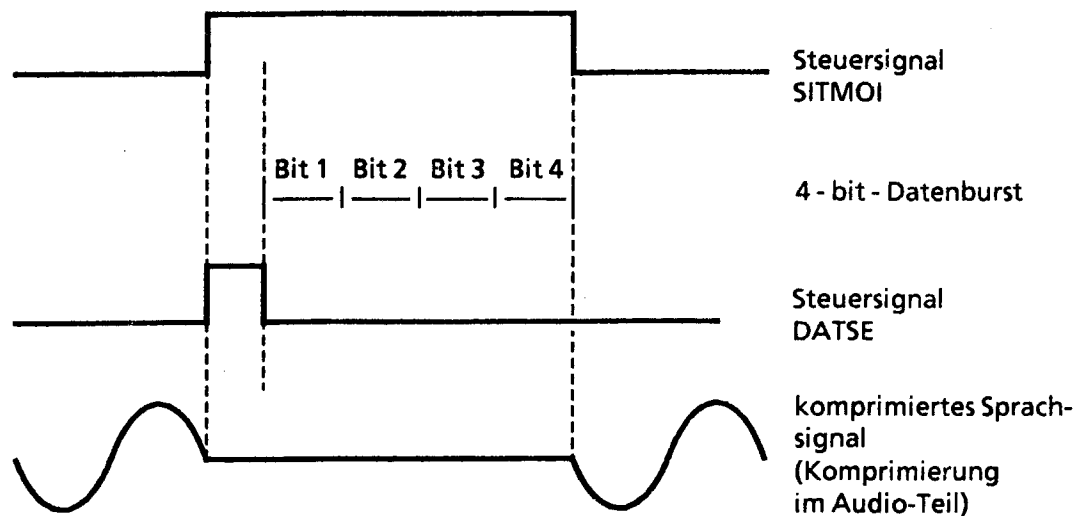


Bild 11 Zuschalten des Datenblocks

3.3.1 Aktives NF-Filter

Das aktive NF-Filter besteht aus den Bausteinen 231, 232, den Widerständen 25 bis 33 und den Kondensatoren 111 bis 121. Das Filter ist lauffzeitgeebnet (Bessel-Charakteristik), es hat die Aufgabe, das Frequenzspektrum der ankommenden Modulationssignale zu begrenzen. Das Datensignal und das im Audio-Teil amplitudenbegrenzte Sprachsignal würde ohne Frequenzbandbegrenzung eine unzulässig große Störung im Nachbarkanal hervorrufen.

Die Gruppenlaufzeit des Filters läßt sich mit Widerstand 26 abgleichen. Für die Entfernungsmessung zwischen Mobil- und Feststation ist es wichtig, daß die Gruppenlaufzeit des Filters und damit des Modulators konstant bleibt.

3.3.2 Quarzoszillator (VCO) und Entkopplungsverstärker

Der spannungsgesteuerte Oszillator (VCO) besteht aus dem Feldeffekttransistor 212, dem Quarz 252 und den Rückkopplungskondensatoren 128, 129.

Über die Spulen 181, 182 und den Koppelkondensator 122 ist die Kapazitätsdiode 202 angekoppelt.

Am Ausgang des aktiven NF-Filters (Baustein 232, Pin 7) steht das Modulationssignal (Sprache/WT oder Daten) für die Frequenzmodulation des Oszillators zur Verfügung.

Die am Ausgang der Phasenregelschleife (Baustein 240, Pin 6) anliegende Regelspannung gelangt über die Kapazitätsdiode 203 und den Koppelkondensator 123 zum Oszillator. Die Spannung regelt die Phase des 31,4-MHz-ZF-Signals.

Um Rückwirkungen vom Ausgang des Modulators auf den Oszillator möglichst gering zu halten, ist der Entkopplungsverstärker (Transistor 213) erforderlich. Der Ausgangspegel des Oszillators mit Entkopplungsverstärker ist mit Widerstand 94 einstellbar.

Temperaturbedingte Änderungen des Pegels werden mit dem Heißeiter 311 ausgeglichen.

3.3.3 Modulationsgesteuerte Phasenregelschleife

Der Oszillator (VCO) wird mittels einer Phasenregelschleife, die ihre Referenzfrequenz (6,4 MHz) über die Schnittstellen vom Frequenzverteiler erhält, geregelt. Die Phasenregelschleife besteht aus einem einstellbaren Vorteiler (IC 239), einem digitalen Frequenzaufbereitungsbaustein (IC 238) und einem aktiven Tiefpaß (IC 240) zum Erzeugen der analogen Regelspannung für den VCO.

Die Phasenregelschleife regelt langsame Frequenzänderungen aus, die durch Temperaturschwankungen und Alterung des VCO auftreten.

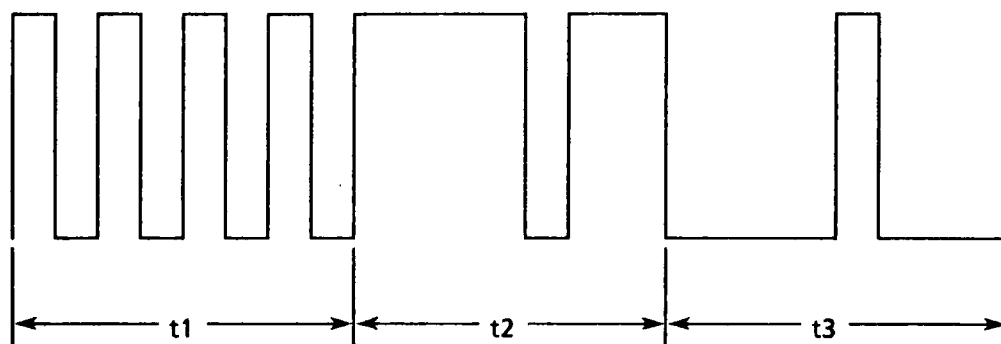


Bild 12 Modulation des 31,4-MHz-Oszillators (Beispiel)

Wird das dargestellte Signal (Bild 12) auf die Modulationsdiode gegeben, ergibt sich während:

- t1: Symmetrischer Wechsel der Oszillatorfrequenz um die Mittenfrequenz von 31,4 MHz ($31,4 \text{ MHz} \pm 2,5 \text{ kHz}$).
- t2: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} + 2,5 \text{ kHz}$ an.
- t3: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} - 2,5 \text{ kHz}$ an.

Unter der Voraussetzung, daß t_2 und t_3 größer sind als die Einschwingzeit der Phasenregelschleife, wird die Nutzmodulation durch die Phasenregelschleife ausgeglichen. Dies wird durch eine Steuerlogik (Bausteine 227, 230 und 234 bis 236) vermieden, die in Abhängigkeit vom Modulationssignal die programmierbaren Teiler der Phasenregelschleife so umschaltet, daß das Modulationssignal nicht mehr beeinflußt wird.

Die steuerbaren Vorteiler IC 239 und Hauptteiler IC 237 der Phasenregelschleife arbeiten nach dem Swallow-Teiler Prinzip. Für das störungsfreie Arbeiten der modulationsgesteuerten Umschaltung der Zähler ergibt sich die Forderung, daß die Vergleichsfrequenz am Phasenvergleich (in IC 238) höher ist als die höchste Bitfrequenz des Datensignals. Im Modulator beträgt die Vergleichsfrequenz 5 kHz (höchste Bitfrequenz = 2,64 kHz). Da die Vergleichsfrequenz den Frequenzhub bei Datenmodulation bestimmt und dieser $\pm 2,5$ kHz betragen soll, ist zwischen dem Ausgang der Oszillatorstufe und dem Eingang des Vorteilers (IC 239) eine Frequenzverdopplerstufe geschaltet und damit die o.g. Bedingung erfüllt..

Der Frequenzverdoppler arbeitet nach dem Prinzip der Doppelweggleichrichtung. Wesentliche Bauteile sind der Balun-Trafo 198 zum Erzeugen eines symmetrischen 31,4-MHz-Signals und die Dioden 206, 207 zur Gleichrichtung. Am Summationspunkt der Dioden entsteht das 62,8-MHz-Signal.

3.3.4 Mischer und Sendevorstufe

Das frequenzmodulierte 31,4-MHz-Signal wird im Ringmischer 233 auf die Sendefrequenz umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz mit einem Pegel von etwa 13 dBm.

Darauf folgt die Sendevorstufe mit den Transistoren 215 und 218; die Ausgangsleistung beträgt +6 dBm bzw. -20 dBm.

Die Transistoren 214 und 217 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Die Helicalfilter 246, 247 und 248 unterdrücken unerwünschte Nebenwellen.

Der Ausgangspegel läßt sich mit einem schaltbarem Dämpfungsglied um 26 dB absenken. Als Steuersignal dient SELEIO aus der Baugruppe Audio-Interface. Der Schalttransistor 216 liefert den Schaltstrom für die Dioden 208 und 209. Mit dem Abgleichwiderstand 305 ist die Absenkung des Ausgangspegels einstellbar.

3.4 Audio-Teil S42024-H381- ...

Der Audio-Teil (Bild 13) hat in den Sprechkanälen der Basisstation folgende Aufgaben:

- Die von der Drahtseite kommenden Nutzsignale (Sprache, Wechselstromtelegraphie) für den Sendezweig der Basisstation aufzubereiten.
- Die vom Empfänger kommenden Nutzsignale (Sprache, Wechselstromtelegraphie) für die Drahtseite aufzubereiten.
- Die von der Steuerung bestimmten Betriebsarten durch Umschalten auf unterschiedliche Signalwege zu realisieren.

Die Signalaufbereitung besteht im wesentlichen aus folgenden Teilen (siehe auch Übersichtschaltplan Bild 13).

Sprache und Wechselstromtelegraphie

Amplituden-Frequenzgangkorrektur durch Preemphasis und Deemphasis bei "Sprache klar".

Dynamik-Komprimierung und -Expandierung

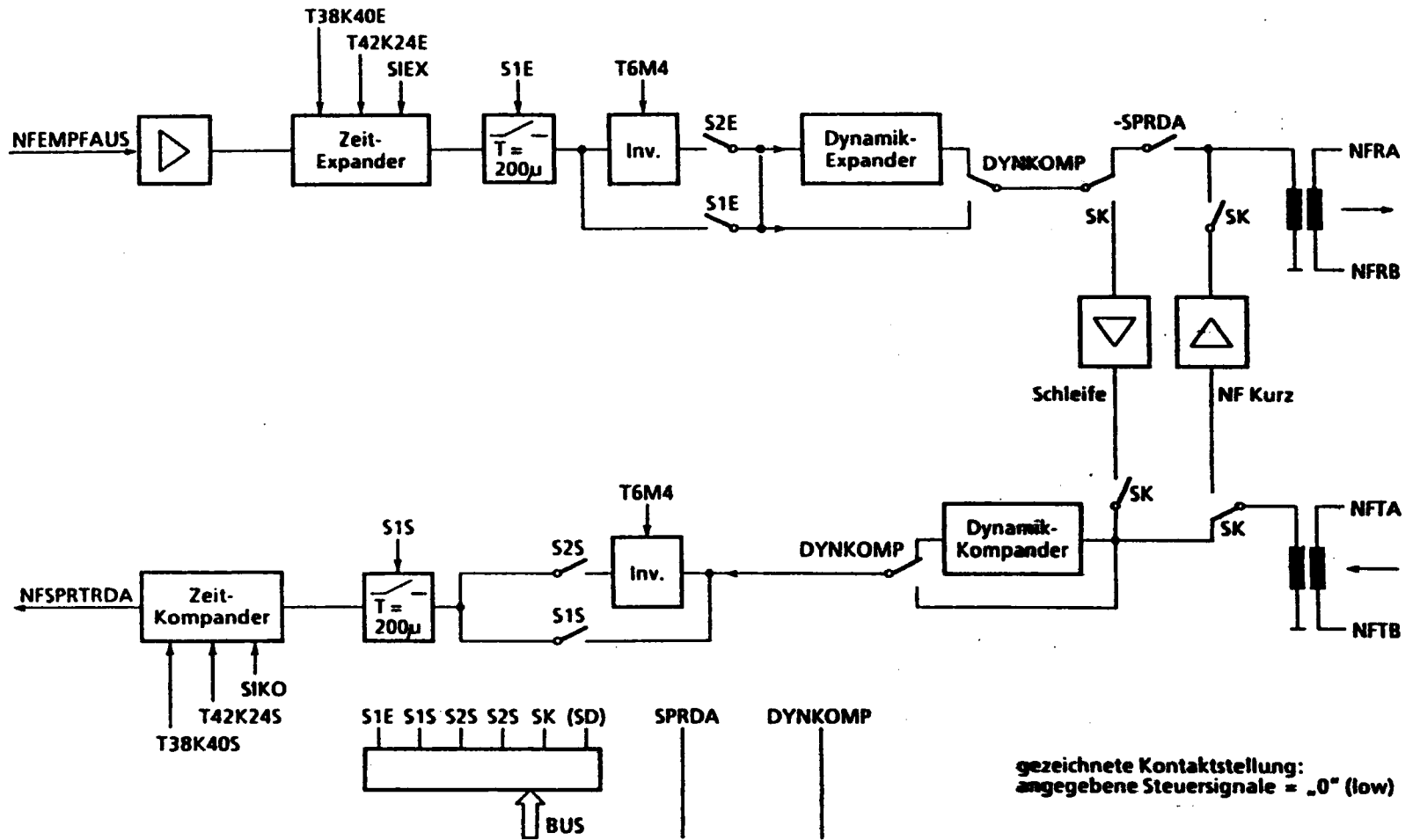
Dabei handelt es sich um eine Dynamikkompression des Sendesignals von 2 zu 1 (z.B. von 60 dB auf 30 dB) und eine Dynamikexpansion des Empfangssignals von 1 zu 2 (z.B. von 30 dB auf 60 dB). Beides ist für Meßzwecke über DYNKOMP (siehe Diagnosestecker der CPU) abschaltbar.

Sendeseitige Signalamplitudenbegrenzung, um den Modulationsspitzenhub von ± 4 kHz nicht zu überschreiten.

Verschleierter oder klarer Sprachbetrieb, durch Zu- bzw. Abschalten einer Invertierungs- bzw. einer Reinvertierungsschaltung. Dabei handelt es sich um die Spiegelung des Sprachbandes von 300 Hz bis 3 kHz an einem Hilfsträger von 3,3 kHz (Signal S1S bzw. S2S und S1E bzw. S2E in folgender Tabelle).

Zeitkomprimierung auf der Sendeseite, um einen Zeitschlitz zu erzeugen, in den im Modulator Signalisierungsdaten eingefügt werden. Zeitexpandierung auf der Empfangsseite zum Beseitigen des vorher beschriebenen Zeitschlitzes. Durch diese Maßnahme ist es möglich, Signalisierungsdaten (NRZ), die zur Verbindungsüberwachung notwendig sind, ohne zusätzlichen Schaltungsaufwand (Umformer, Hilfsträger) zu übertragen.

Bild 13 Übersichtsschaltplan Audio-Teil



Referenzfrequenz 6,4 MHz (Koaxialeingang)

Die Referenzfrequenz wird auf der Baugruppe Audio-Teil verstärkt und dem integrierten Filter- und Invertierungsbausteinen als Taktfrequenz zugeführt. Außerdem wird die Referenzfrequenz über ein Anpaßglied den Steuerungsbaugruppen zugeführt.

Betriebsarten (BART 0-5)

Die Betriebsarten werden mittels Schreibbefehl WRX0 über Programm (Adresse FFX0) in ein Latch geschrieben.

Belegung der Bits: BART 0-5 auf Bit 0-5, Bit 6 und 7 unbenützt. Über Pegelumsetzer gelangen die Signale sowohl normal als auch invertiert zu den einzelnen Schaltern (siehe folgende Tabelle).

Bezeichnung der Steuereingänge	Befehle aus der Steuerung					
	BART 0 (S1S)	BART 1 (SD)	BART 2 (S2S)	BART 3 (SK)	BART 4 (S1E)	BART 5 (S2E)
Sprache klar						
Senden	H	L	L	L	L	L
Empfangen	L	L	L	L	H	L
Sprache invertiert						
Senden	L	L	H	L	L	L
Empfangen	L	L	L	L	L	H

3.5 Tonsender S42024-H324-....¹⁾

Die Baugruppe Tonsender (siehe Bild 14) übernimmt im Prüffunkgerät folgende Aufgaben:

- Generieren von drei Prüftönen zum Prüfen des Amplitudenfrequenzganges, der Invertierungsfunktion, des Klirrfaktors und der Empfängerempfindlichkeit der Sprechkanäle der Basisstation
- Einstellen der Betriebsarten mit Hilfe von Steuersignalen aus der Baugruppe Audio-Interface.

1) ab Variante -C102

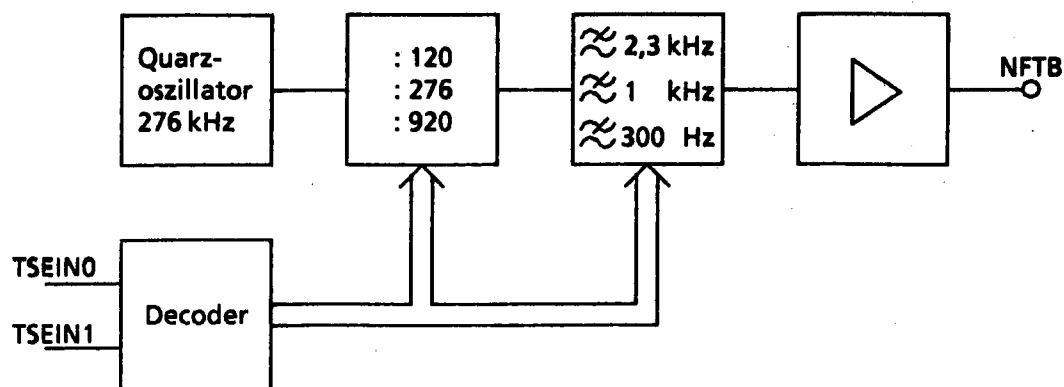


Bild 14 Übersichtsschaltplan Tonsender

Ein Quarzoszillator erzeugt ein Signal mit einer Frequenz von 276 kHz, das mit Hilfe von Zählern mit einstellbarem Teilungsverhältnis auf 2,3 kHz, 1 kHz oder 300 Hz heruntergeteilt wird. Anschließend wird das Signal über drei einstellbare Filter geführt. Die Einstellung der gewünschten Frequenz sowie der zugehörigen Filter wird mit den Signalen TSEIN0 und TSEIN1 vorgenommen.

Betriebsart	Steuersignale	
	TSEIN1	TSEIN0
Tonsender AUS	0	0
300 Hz	0	1
1 kHz	1	0
2,3 kHz	1	1

3.6 Tonempfänger S42024-H331-....

Die Baugruppe Tonempfänger (siehe Bild 15) übernimmt im Prüffunkgerät folgende Aufgaben:

- Prüfen des Amplitudenfrequenzganges, der Invertierungsfunktion, des Klirrfaktors und der Empfängerempfindlichkeit der Sprechkanäle der Basisstation.
- Erzeugen eines Meldesignals für die Prüffunkgerät-Steuerung (Audio-Interface) bei positivem oder negativem Prüfergebnis.

3.6.1 Messen der Prüftöne

Das Aufbereiten der Signale auf der Baugruppe Tonempfänger wird von folgenden Funktionseinheiten vorgenommen:

Amplituden-Frequenzgangmessung

Für die Amplituden-Frequenzgangmessung wird mit Hilfe des Operationsverstärkers 507 (Pin 3, 2, 1) eine Amplituden- und Offsetkorrektur vorgenommen. Das Signal NFRB liegt am Eingang 2 des Operationsverstärkers.

Klirrfaktor- und Empfängerempfindlichkeitsmessung

Die Signale für diese Messung durchlaufen die Operationsverstärker 507, 508 und 509. Das aktive Sperrfilter IC 509 und 508 ermöglicht eine SINAD-Messung (Signal-to-noise and distortion) mit einem Prüftönen von 1 kHz.

Bei hohem Empfangspegel bestimmt der Klirrfaktor das Meßergebnis. Bei niedrigem Empfangspegel (SINAD 20 dB) geht das Störgeräusch mit in das Meßergebnis ein.

Über den IC 507 (Pin 5, 6, 7), der eine Amplituden- und Offsetkorrektur ausführt, wird das Prüfsignal dem Effektivwertmesser (IC 504) zugeführt.

Messen der Verschleierungseinrichtungen (Invertierung)

Sendet das Prüffunkgerät einen 1-kHz-Prüftönen auf die Prüfstrecke, muß eine ungerade Anzahl von Invertierungen eingeschaltet sein, um eine richtige Auswertung zu gewährleisten. Am Eingang des Tonempfängers muß dann ein 2,3-kHz- Prüftönen anliegen.

Dieser Prüftönen wird mit Hilfe des aktiven Bandpasses 510 ausgefiltert. Baustein 524 führt eine Amplituden- und Offsetkorrektur durch.

Die in den oben genannten Funktionsgruppen aufbereiteten Signale liegen an Multiplexer 506. Dieser schaltet sie, entsprechend der Codierung mit TEEIN0 und TEEIN1, zum Eingang 4 des Effektivwertmessers (IC 504).

Das Meßsignal vom Ausgang 8 des Effektivwertmessers wird an einen Fensterkomparator (IC 501) geführt. Die Multiplexer 502 und 503 liefern die obere und untere Schwellenspannung des Meßfensters.

Mit Widerstandskombinationen werden an den Eingängen unterschiedliche Schwellenspannungen angelegt.

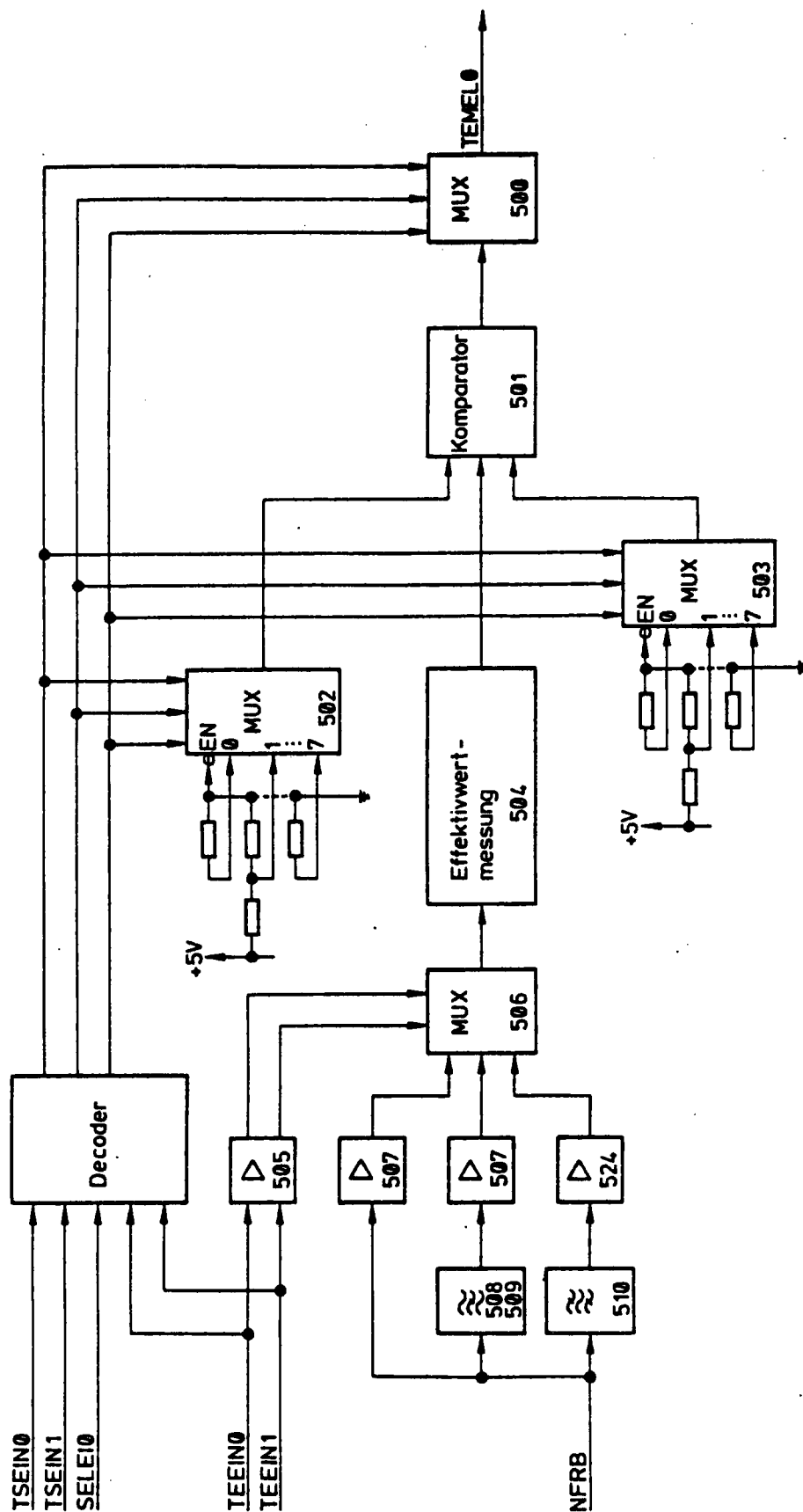


Bild 15 Übersichtsschaltplan Tonempfänger

Diese werden, entsprechend der Codierung an den Eingängen 9, 10 und 11 zum Ausgang 4 des Multiplexers und damit zum Komparator durchgeschaltet.

Die Auswahlssignale für die Multiplexer liefert ein Decoder (ICs 511, 512, 513); er decodiert die Signale TSEIN0 und 1, TEEIN0 und 1 und SELEI0.

Liegt das Meßergebnis des Effektivwertmessers in den von den Multiplexern gelieferten Spannungsfenstern, geht der Ausgang des Komparators auf HIGH. Dieses Ergebnis wird über den Multiplexer 500 als Signal TEMEL der Baugruppe Audio-Interface zugeführt.

3.6.2 Betriebsarten

Die Baugruppe Audio-Interface liefert, entsprechend der eingestellten Betriebsart, Steuersignale zur Auswahl der unterschiedlichen Messungen und zum Durchschalten der dafür nötigen Signale (siehe folgende Tabelle).

Die Pegelanpassung der Steuersignale nimmt der IC 505 vor. Die Signale werden im Decoder, der aus den ICs 511, 512 und 513 besteht, decodiert.

Betriebsart	Steuersignale					
	TEEIN1	TEEIN0	TSEIN1	TSEIN0	SELEI0	RESET
Tonempfänger AUS	0	0	0	0	x	x
Amplituden-frequenz- gang-Messung						
bei 300 Hz	0	0	0	1	0	1
bei 1 kHz	0	0	1	0	0	1
bei 2,3 kHz	0	0	1	1	0	1
Klirrfaktor und Empfindlich- keitsmessung						
durch SINAD	0	1	1	0	0	1
durch SINAD (20 dB)	0	1	1	0	1	1
Invertierung	1	0	1	0	0	1

4 Funkkanalsteuerung

4.1 CPU S42025-H418-*1

Die CPU-Baugruppe (Bild 16) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuerung des Datendialoges über serielle Schnittstelle zur FDS und die Funkschnittstelle (Datensicherungsverfahren).
- Verarbeitung der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungsbewertung).
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Sendeleistung, Offsetkorrektur).
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich
EPROM: Grundbereich 16k, zwei Bänke à 32k
RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- zwei VLSI-Bausteine mit den Funktionen:
 - Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät.
 - Erkennen des Zeitbezugs aus den empfangenen Signalisierungsdaten.
 - Aufbereiten der Signalisierungsdaten (Codieren) zum gesicherten Aussenden.
 - Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren).

Ermitteln der Signalgüte der empfangenen Signalisierungsdaten

Messen des Geräuschabstandes (Jittermesser)

**Messen der Gleichspannungsabgabe des Analogsignals
und Ausgabe des Offsetkorrekturwertes.**

Fehlerüberwachung

fehlendes Setzsignal

Fehler Sendeteilerkette

Synchronlauf Sende- und Empfangsbaustein

Watchdog.

Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit einem ICE (In-Circuit-Emulator)).

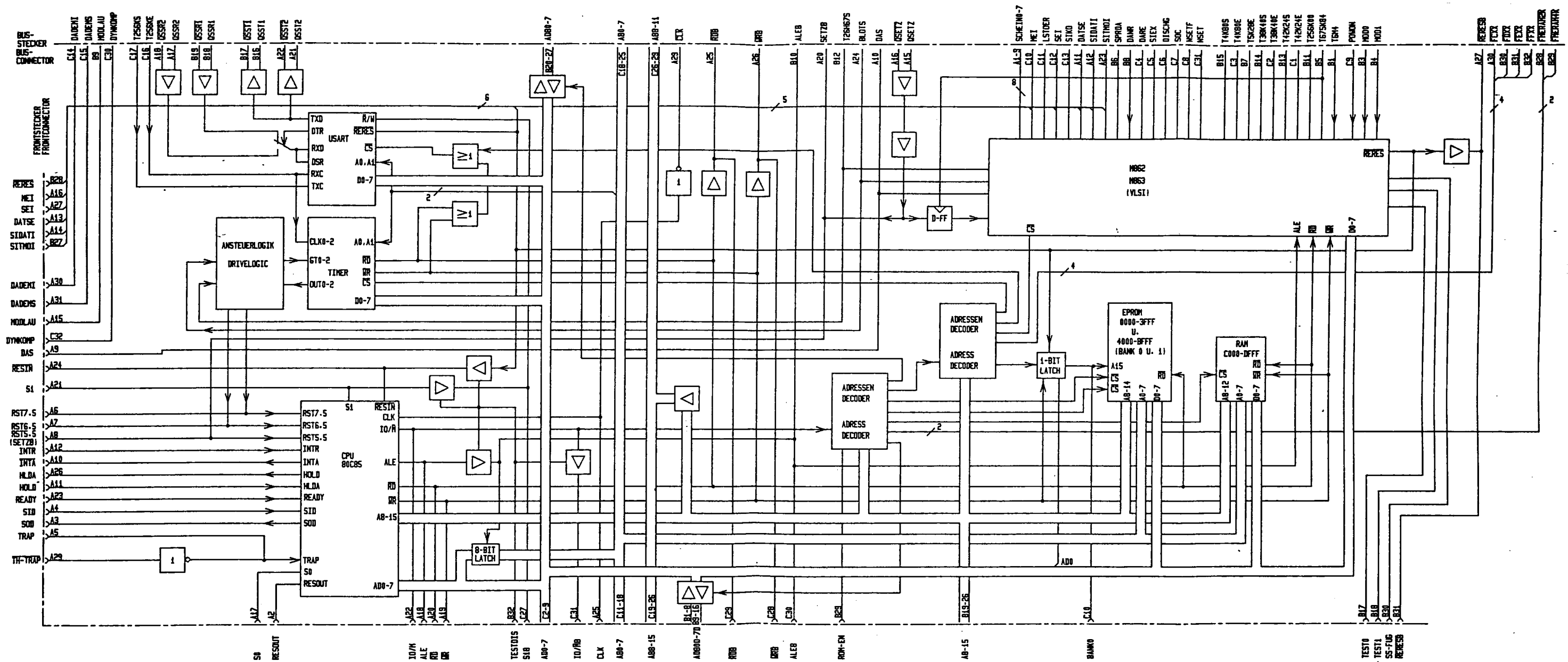


Bild 16 Übersichtsschaltplan CPU

4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 17 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.

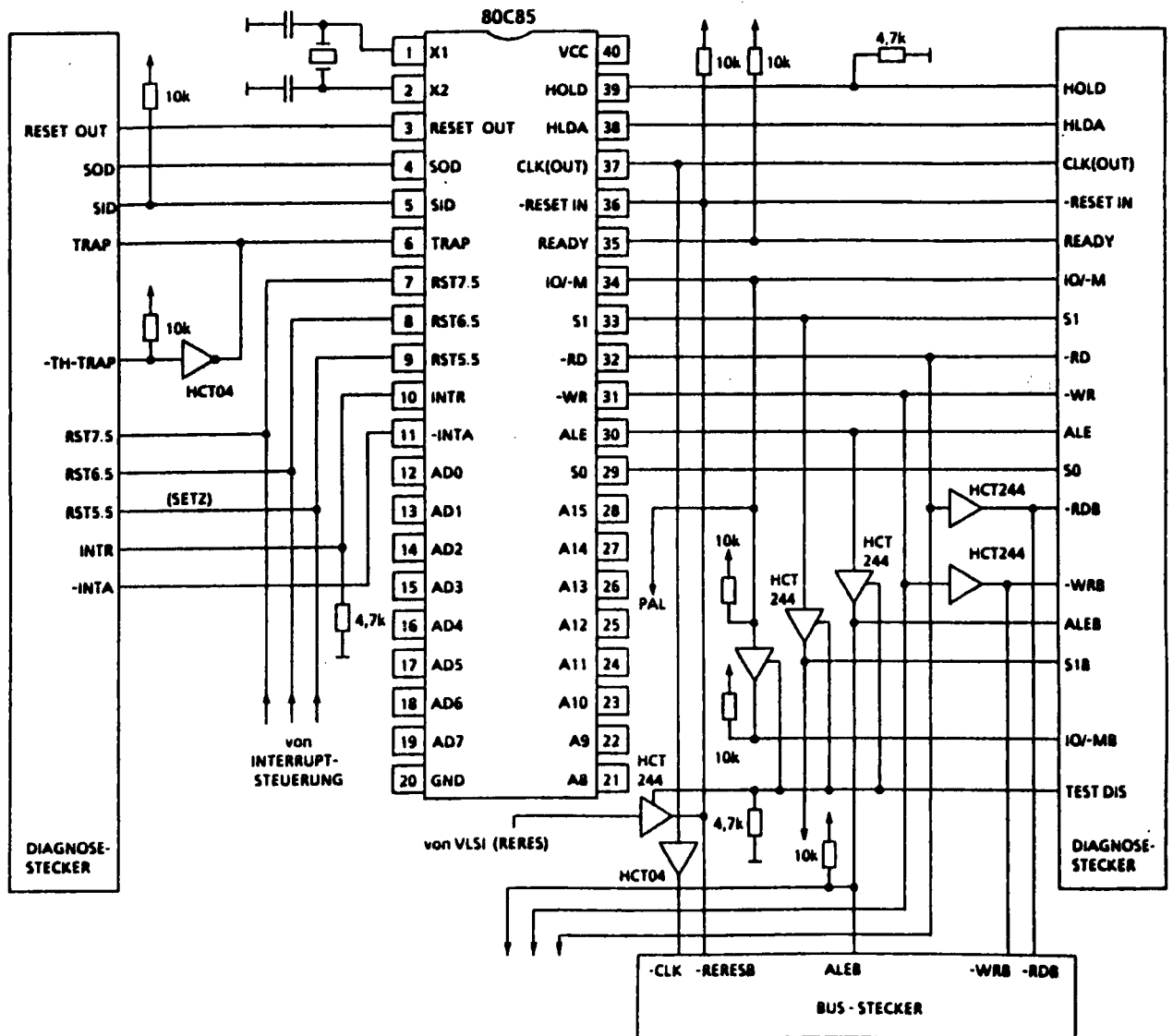


Bild 17 "80C85" Steuersignale

Wie Bild 17 zeigt, sind alle CPU-Signale grundsätzlich direkt zum Diagnosestecker geführt, da über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benützt ist (SID = "1", INTR = "0", HOLD = "0", READY = "1", -TH-TRAP = "1"). Um einen TRAP auszulösen, muß der Eingang -TH-TRAP benutzt werden.

Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

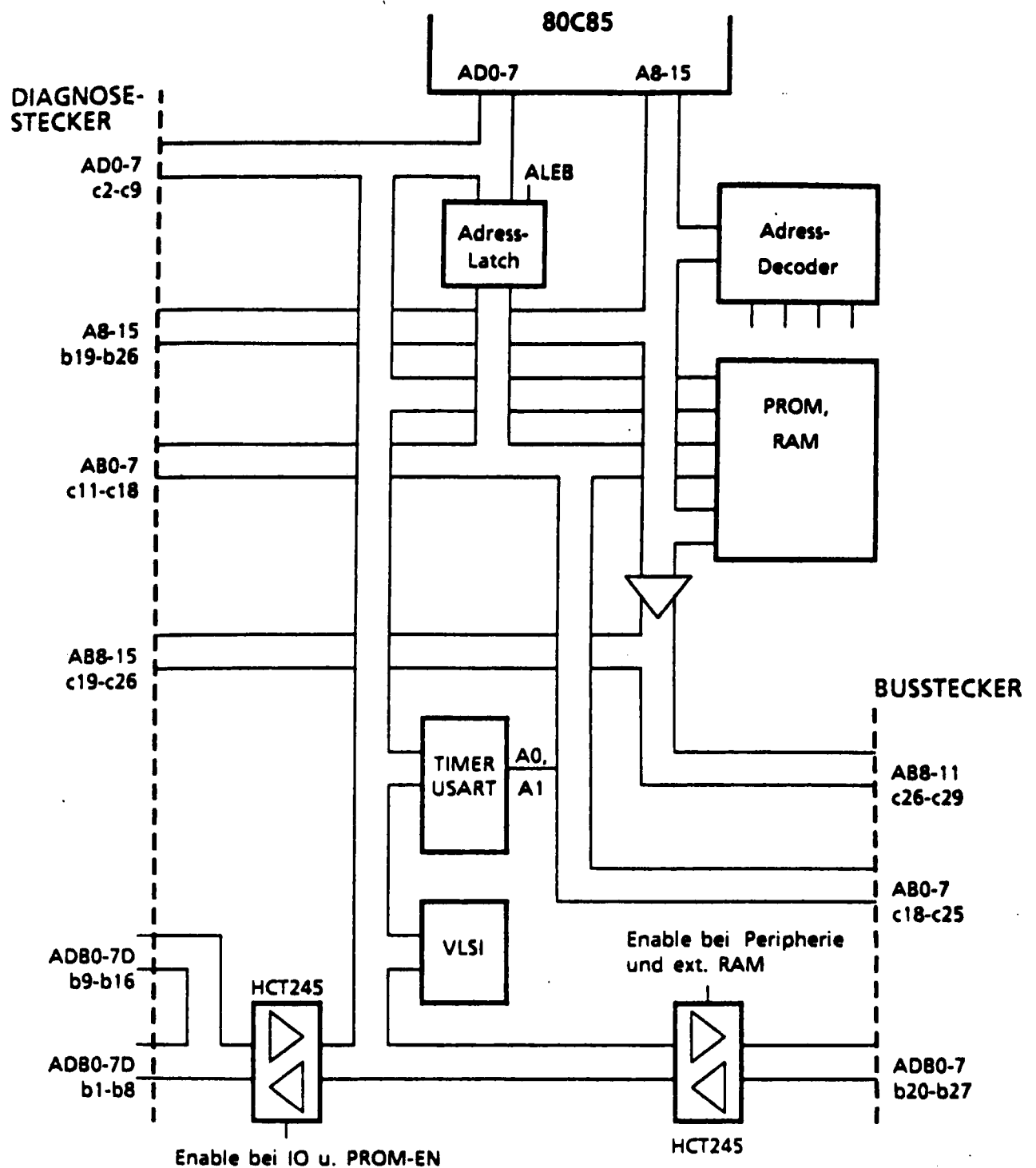
Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sendebaustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter HCT04 und ein RC-Glied (Verringern der Flankensteilheit, um Störeinflüsse zu vermindern).

Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B,IO/-M für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen AD0-7 und A8-A15 des 80C85 direkt auf den Diagnosestecker geführt sind.

Bild 18 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Der Treiber wird mittels Adressenbereichs- Auswahl-Signal aus einem PAL-Baustein aktiviert.

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 (IC 39)geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL (IC 32) sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert u. bei PROM-EN von 0-BFFF, Memory adressiert).



A.....Adr. Bus
 AD...Adr. - Datenbus
 AB....Adr. Bus, gepuffert
 ADB.Adr. - Datenbus, gepuffert

Bild 18 Schema der Adressen- und Datenleitungen

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL (IC32) vorgenommen, das die Signale IO/-M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen, z.B. auf dem CPU-Adapter, auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO/-M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bankbereich.

Der Bankbereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM (IC35). Die Bankumschaltung wird durchgeführt durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0. Wird die Bankumschaltung nicht benützt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit $V_{pp} = \text{high}$ ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bankumschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt, und zwar invers.

Das RAM liegt im Bereich von C000 bis DFFF.

4.1.3 Interruptsteuerung

Standardmäßig werden die Interrupts RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benützt werden.

Der RST5,5 wird durch das Rahmen-Setzsignal ausgelöst, das über den Empfangsbaustein SN75173 aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockraster auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) - das ist zu Blockwechsel - wird er wieder zurückgenommen (siehe Bild 19).

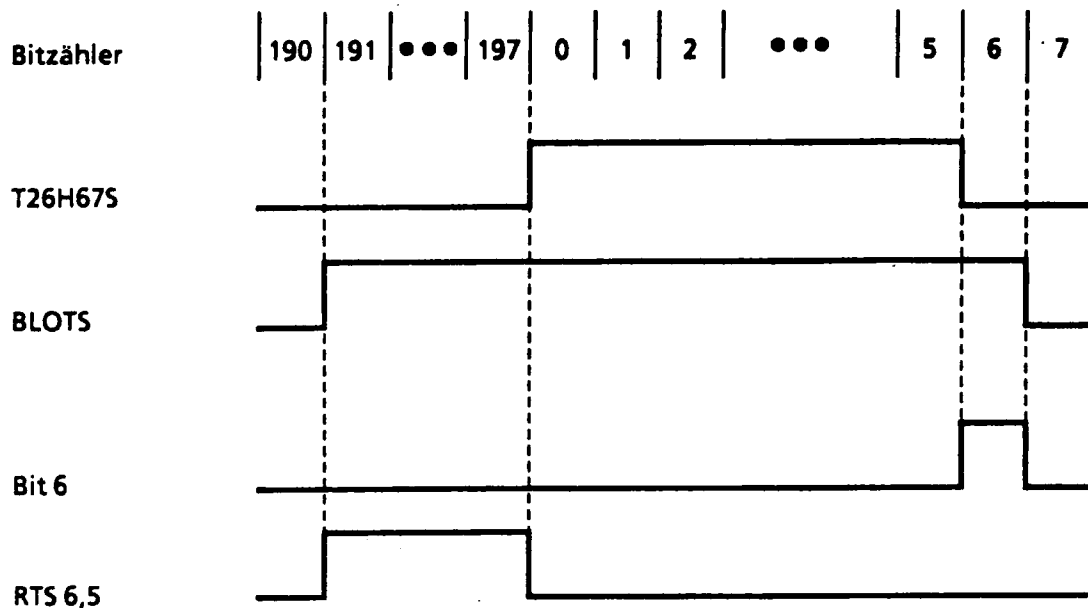


Bild 19 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Der Timer wird mit den Adressen FA00 bis FA03 adressiert.

4.1.4 Serielle Schnittstelle

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzten. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 k Bd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialogs der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Kapitel 4.1.3).

Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256 KE und dem Sendetakt T256 KS aus der Interfacekarte betrieben. Der Sendetakt T256 KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungskabellänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine (in 74ALS1631N) werden parallel vom USART angesteuert.

Für die Empfangseinrichtung gibt es ebenfalls zwei Bausteine (in SN75173). Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

4.1.5 VLSI-Bausteine

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL (im folgenden mit VLSI-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 8085-kompatible Busschnittstelle, die die Signale AD0-7 (8-bit-Adressen-Daten-Bus), ALE (Adress Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprechbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signals über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den PFG liegen MOD0 und MOD1 auf "0".

TEST0 und TEST1 sind "0" bei Normalbetrieb.

Für Testzwecke kann mit TEST0 = 0 und TEST1 = 1 die verteilte Signalisierung abgeschaltet werden (wird über den Diagnosestecker mit Hilfe des CPU-Adapters durchgeführt).

Das Bild 20 zeigt die wesentlichsten Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich jeder Bausteine eine eigene Schnittstelle hat).

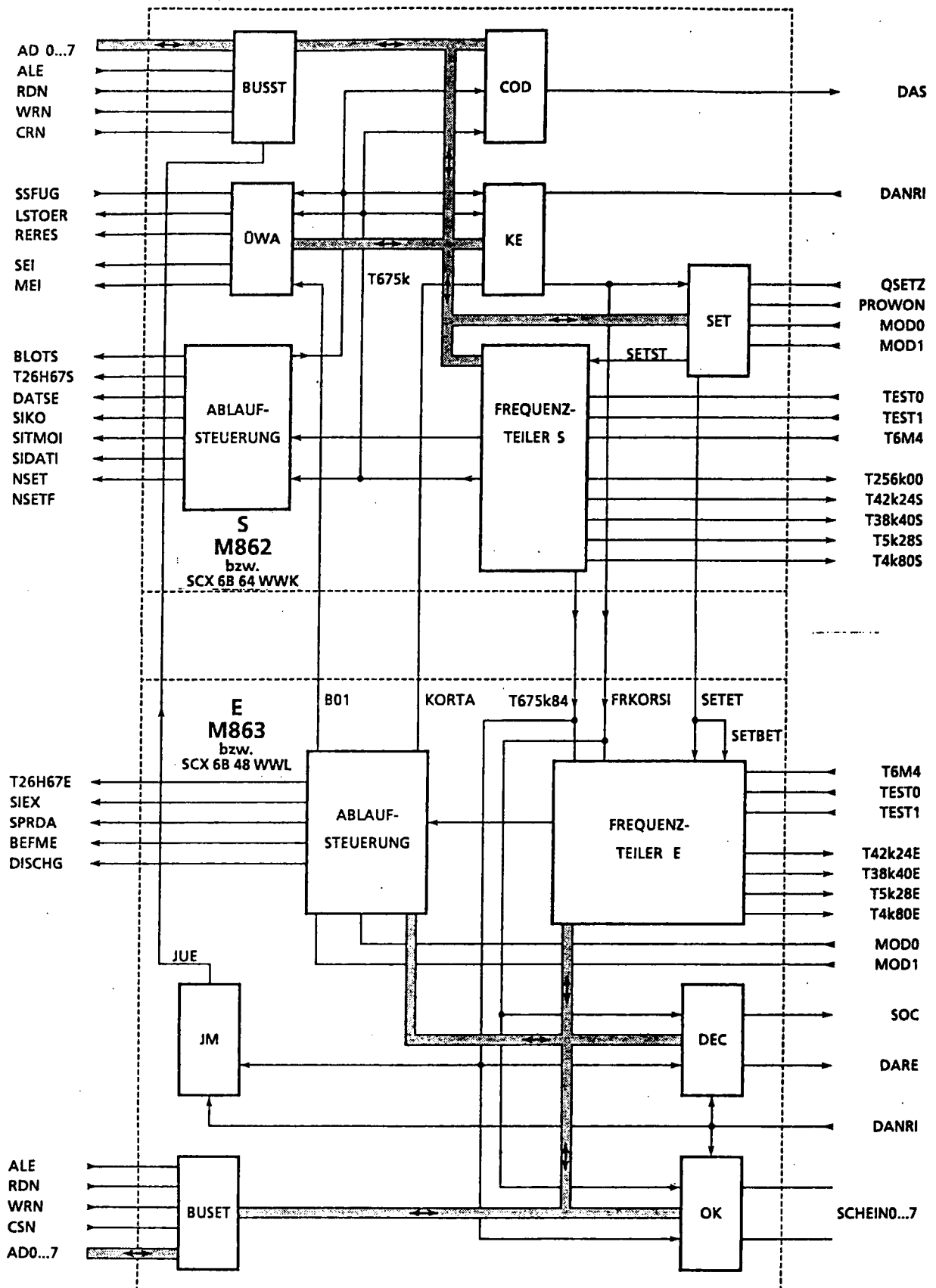


Bild 20 Übersichtsschaltplan der Bausteine M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL

Das Bild 21 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.

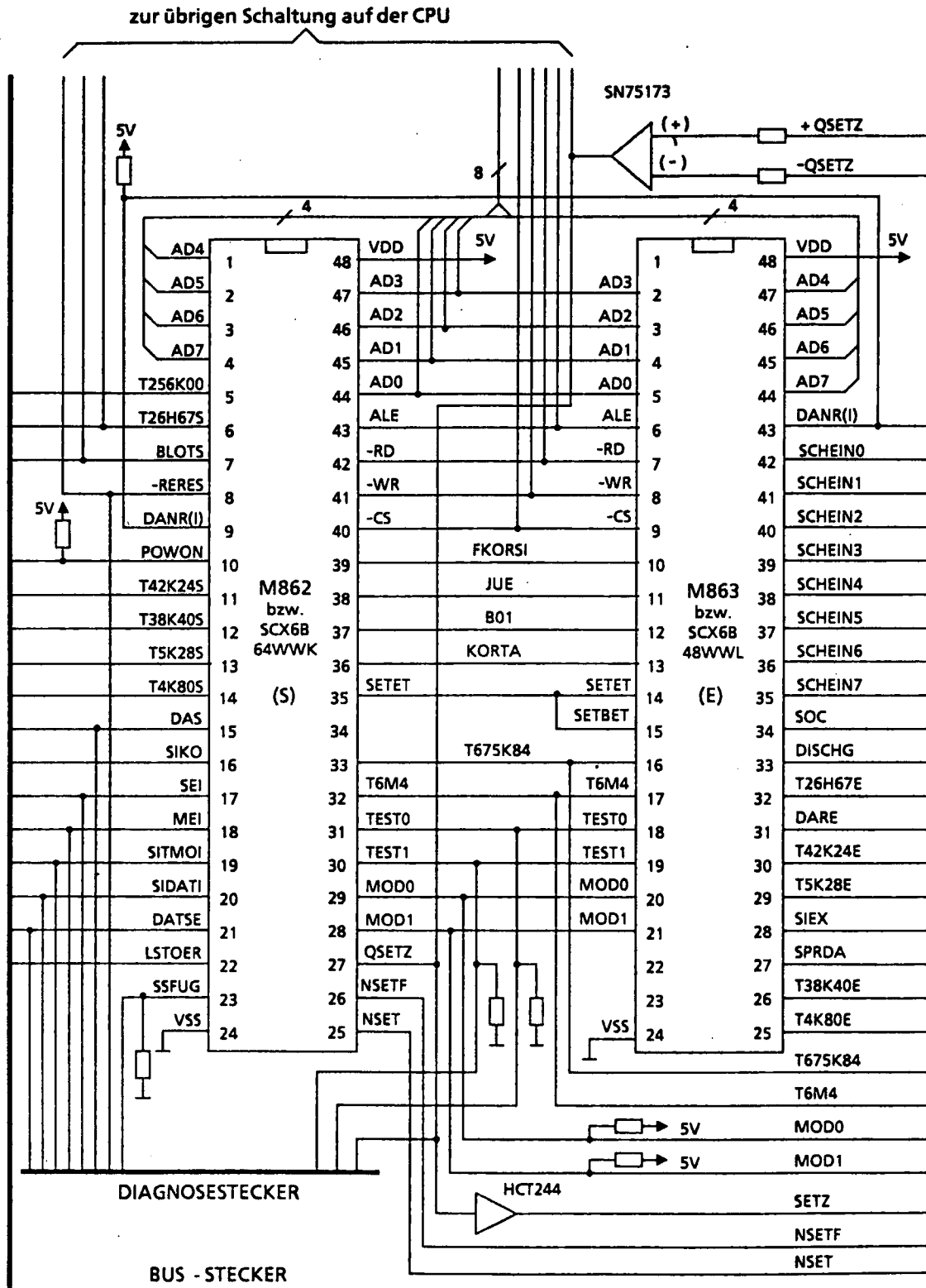


Bild 21 Anschlußschema der VLSI-Bausteine

4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4 MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 22).

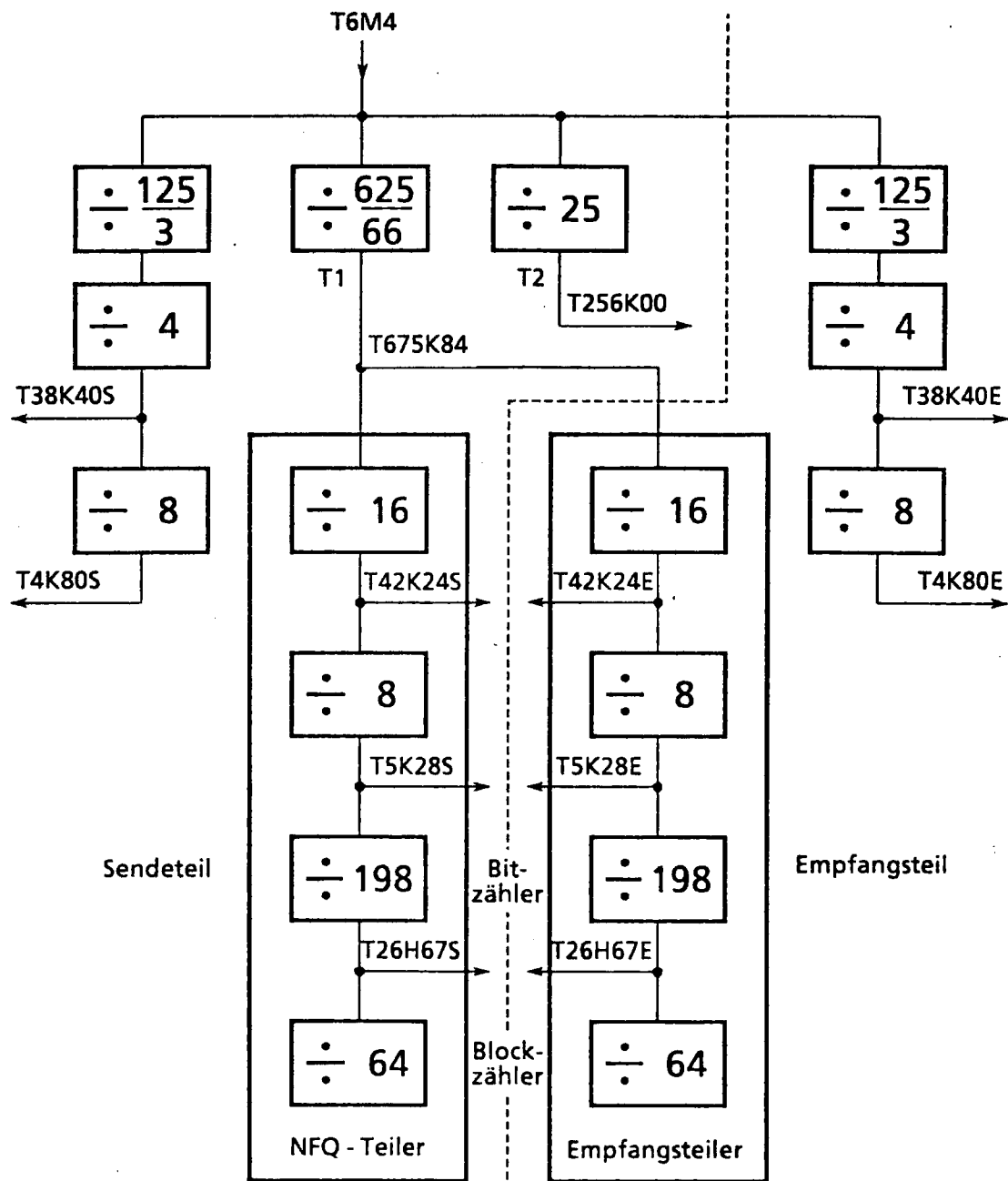


Bild 22 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte läßt sich nicht durch rationale Teilverhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktname	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	-78,15 - 146,78ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	-4,7 - 146,78ns
T5K28S,E	T42K24S,E	8	-4,7 - 146,78ns
T26H67S,E	T5K28S,E	198	0
T38K40S,E	T6M4	500/3	104,17ns

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

T675K84: Taktung für A/D-Wandler für Feldstärke
T256K00: Takt für serielle Schnittstellen
T26H67S: Speichern von Port-Signalen
T38K40S,E
und
T42K24S,E: Takte für Komprimierung und Expandierung der Sprache.

4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler und Empfangsteiler) getaktet. Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. T5K28E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. T26H67E, mit dem schließlich der Blockzähler gezählt wird. 64 Blöcke zu je 37,5ms bilden einen Rahmen, der demnach 2,4s lang ist.

Der Bitzählerstand der Sendeteilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des Sendeblockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

Externe Signale

POWON entsteht bei Einschalten der Spannung oder bei RESET; erzeugt internes POP-Signal (power-on-puls).

QSETZ Rahmensetzsignal
erzeugt mit Rückflanke internes Setzsignal QSET).

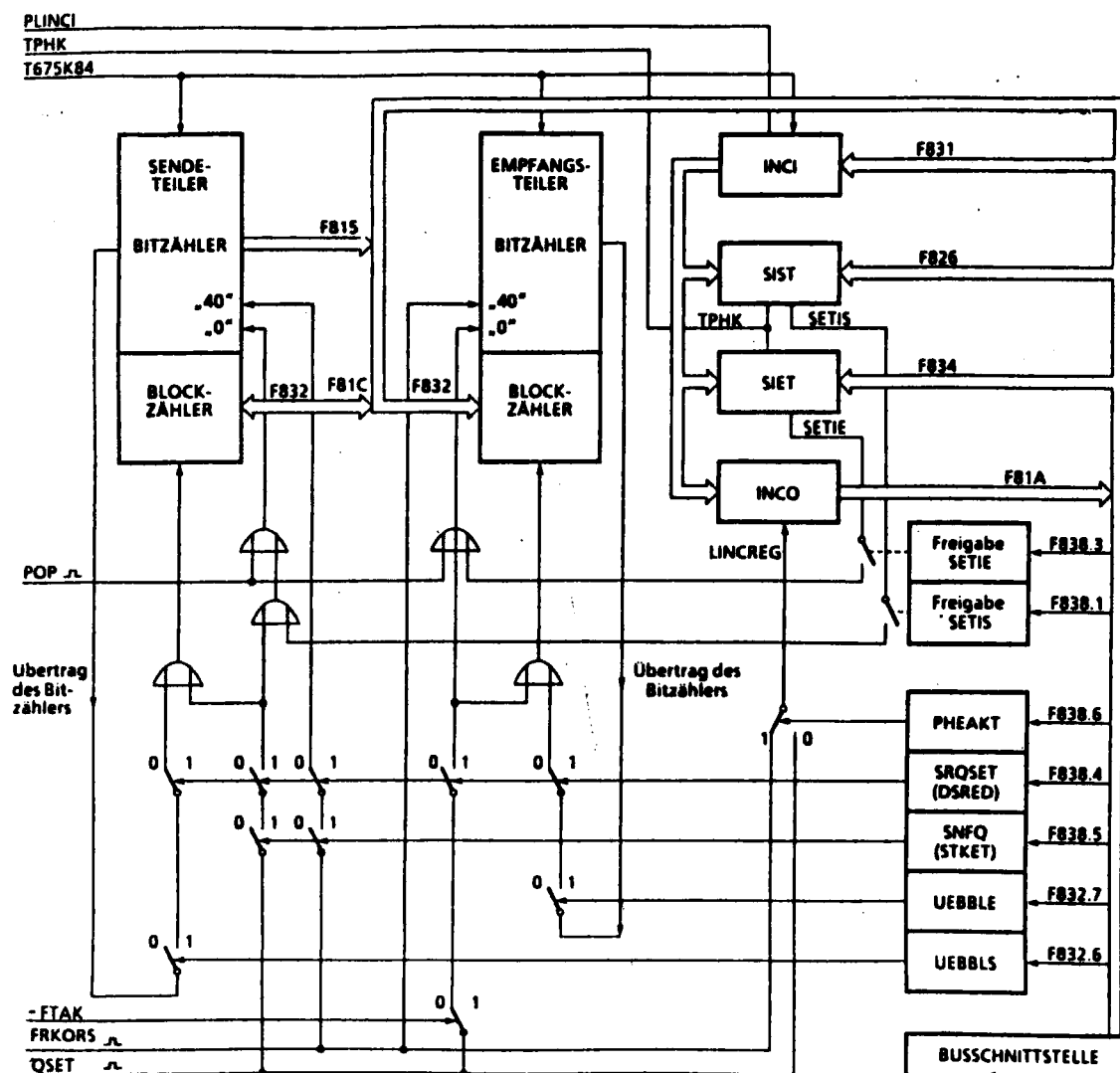
Beide Signale setzen alle Teiler einschließlich Teilerketten.

Interne Signale

FRKORS ("freigegebenes Korrelationssignal") und die Setzsignale **SETIS** und **SETIE** (indirektes Setzen) aus dem Inkrementierungszähler setzen die beiden Teilerketten (ab T675k84).

Mit **FRKORS** wird der Bitzählerstand der Empfangsteilerkette auf 40, mit den anderen Setzsignalen auf 0 gesetzt. Die Sendeteilerkette wird auf Bit 3 gesetzt.

Einzelheiten dazu zeigt Bild 23.



LINCREG Laden Incrementierungsregister (INCO)

SIST, SETIS Setzen indirekt, Sendeteiler

SIET, SETIE Setzen indirekt, Empfangsteiler

SIET und SIST sind die Vergleichswerte für die Phase, die auf den Adressen F826 und F834 eingespeichert werden. Bei Gleichheit mit dem Stand des Incrementierungszählers werden die Impulse SETIS bzw. SETIE erzeugt, die die Teilerketten setzen, falls die Impulse über F838.1 und F838.3 freigegeben sind.

TPHK Tor Phasenkorrektur (2 bit lang)

PLINCI Laden Incrementierungszähler

Bild 23 Teilerketten setzen

4.1.5.3 Ablaufsteuerung

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil von der Betriebsart abhängig, und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

Konzentrierte Signalisierung: Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

Verteilte Signalisierung: Sprachbetrieb, Aussenden der Signalisierungsinformation in Zeitschlitzten während eines Unterrahmens = 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 7) bestimmt den Zustand konzentrierte / verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA (SPRDA = "0": verteilte Signalisierung).

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im PFG verwendet:

T26H67S	Takt 26,67Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blocks auf "1", sonst "0".
BLOTS	"Blocktor senden", von Beginn Bit 191 jeden Blocks bis Ende Bit 6 des folgenden Blocks auf "1", sonst "0".
SOC	"Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodiervorgangs erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke.
DISCHG	"Discharge": Entladeimpuls für Ladekondensator (Feldstärke-messung), zu Beginn jedes Blocks bei konzentrierter Signalisierung, zu Beginn jedes Unterrahmens bei verteilter Signalisierung.

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI- intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggert werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, der den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt, er wird erst wieder durch die nächste Retriggerung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei PPOWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es weitere Fehlermeldungen ("0" bei Fehler):

FTAK Fehler Teilerkette außer Kontrolle
FQSET fehlendes QSET
FSTK Fehler Sendeteilerkette.

FTAK tritt auf, wenn Sendeteilerkette und Empfangsteilerkette um mehr als ± 1 bit auseinanderliegen (Überwachung nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen).

FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird.

FSTK tritt auf, wenn die negative Flanke von QSETZ nicht mehr in den Bereich Bit 2,5 bis Bit 3,5 der Sendeteilerkette fällt.

Bei Einschalten der Versorgungsspannung (PPOWON = "0") werden FTAK und FQSET in den Zustand "0" (d.h. Fehler) gebracht, WADOG auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 0: FTAK
Bit 1: WADOG
Bit 2: FQSET
Bit 7: FSTK.

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung - wenn noch keine andere Störungsmeldung vorliegt - oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister").

In beiden Fällen erscheint am externen Anschluß LSTOER ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am Audio-Interface geladen werden.

4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANR(I). Am Anfang jedes Signalisierungsblocks befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

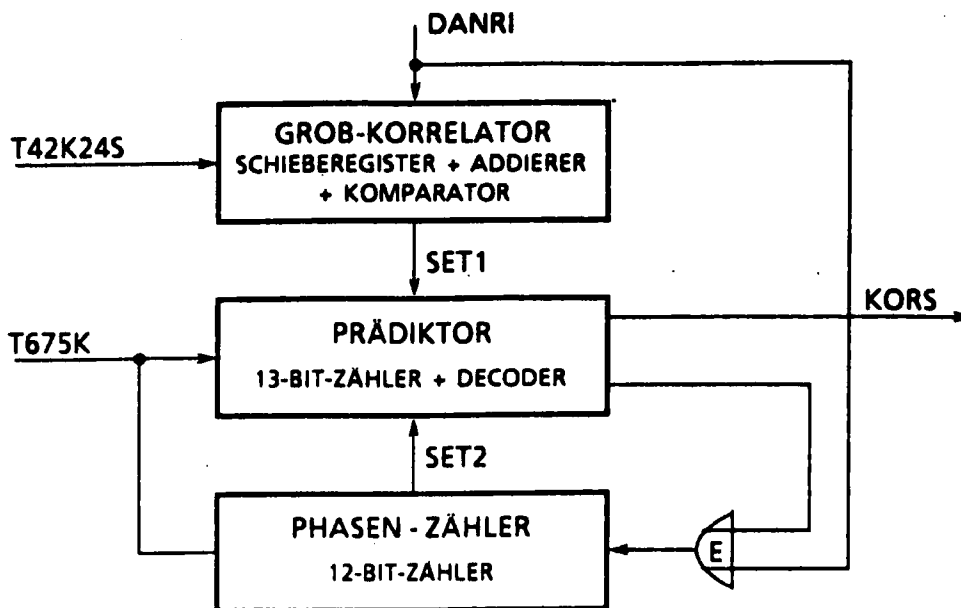


Bild 24 Übersichtsschaltplan Korrelationsempfänger

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24 kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von $t = 1/T5K28$ jedes Signalisierungsbit mindestens die Pulsbreite $t = 1/T42K24$ hat
- und
- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 24).

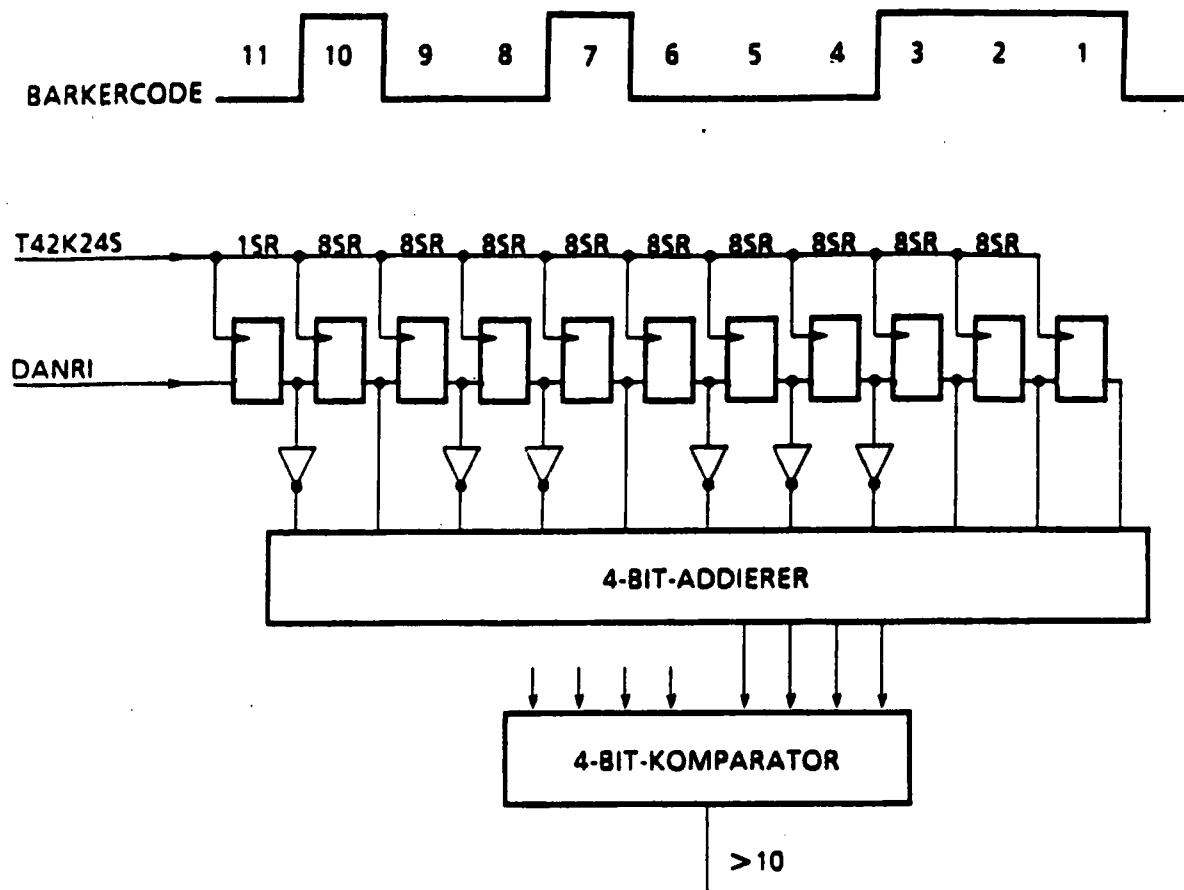


Bild 25 Grobkorrelator mit 81-bit-Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode, und er ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und nach weiteren acht Flankenwechseln paßt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat
- und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

0,5 · t_{675K} nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind:

- Suchlauf (im PFG nicht verwendet)
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt, und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger

F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind:

KORS (siehe oben)

FRKORS Freigabe Korrelationssignal (UND-Verknüpfung von KORS und F82C.6)

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T5K28 vor dem Aussenden des Barkercodes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

SYNT Synchronisations-Erwartungstor

Zeittor für das Erkennen des ersten Barkercodes durch den Grobkorrelator. Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit, 1 bit: maximale Breite der Grobkorrelation).

SYKON Synchronisationskontrolle

Zeittor für das Korrelationssignal KORS; dieses Zeittor ist 2 bit breit.

Normalbetrieb

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeittors SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	3.Barker-code erkannt	Tor SYKON	F82C.6 Freigabe Korrelations-empfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeittor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisfrequenzband ermittelt. Die Jittermessung bewertet die zeitliche Lage aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich bei konzentrierter Signalisierung über eine Blocklänge, bei verteilter Signalisierung über einen Unterrahmen (0,6 sec). Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128facher Bittakt) betrieben wird (siehe Bild 26).

Abweichung vom Sollwert als Jitterwert (siehe Bild 27), der in den Addierer addiert wird. Die Anzahl aller negativen Flanken innerhalb des Bewertungszeitraums registriert ein Ereigniszähler (7 bit). Nach Ablauf des Bewertungszeitraums werden mit dem Signal STD (Stop Decoder) der im Addierer aufaddierte Jitterwert (JM) und der Zählerstand des Ereigniszählers (JZ) abgespeichert, und sie stehen zum Auslesen über die Busschnittstelle zur Verfügung. Unter der Adresse F849 läßt sich die Anzahl der negativen Flankenwechsel auslesen. Über die Adressen F84A und F84C kann auf den Jitterwert zugegriffen werden, wobei unter Adresse F84A das MSB (5 bit) und unter Adresse F84C das LSB (8 bit) abgespeichert sind.

Ebenfalls vom Signal STD abgeleitet wird ein Rücksetzsignal, mit dem UD-Zähler, Akkumulator und Ereigniszähler zurückgesetzt werden; diese sind somit für einen neuen Bewertungsvorgang vorbereitet.

Übersteigt der akkumulierte Jitterwert innerhalb eines Bewertungszeitraums den Wert $2^{13} = 8192$ oder ist die Anzahl der Zeichenwechsel größer als $2^7 = 128$, so steht am Ausgang Jittermesser-Überlauf (JUE) ein H-Pegel an. Das Signal JUE wird im Sendebaustein weiter verarbeitet und kann über die Busschnittstelle (Adresse F819.2) ausgelesen werden.

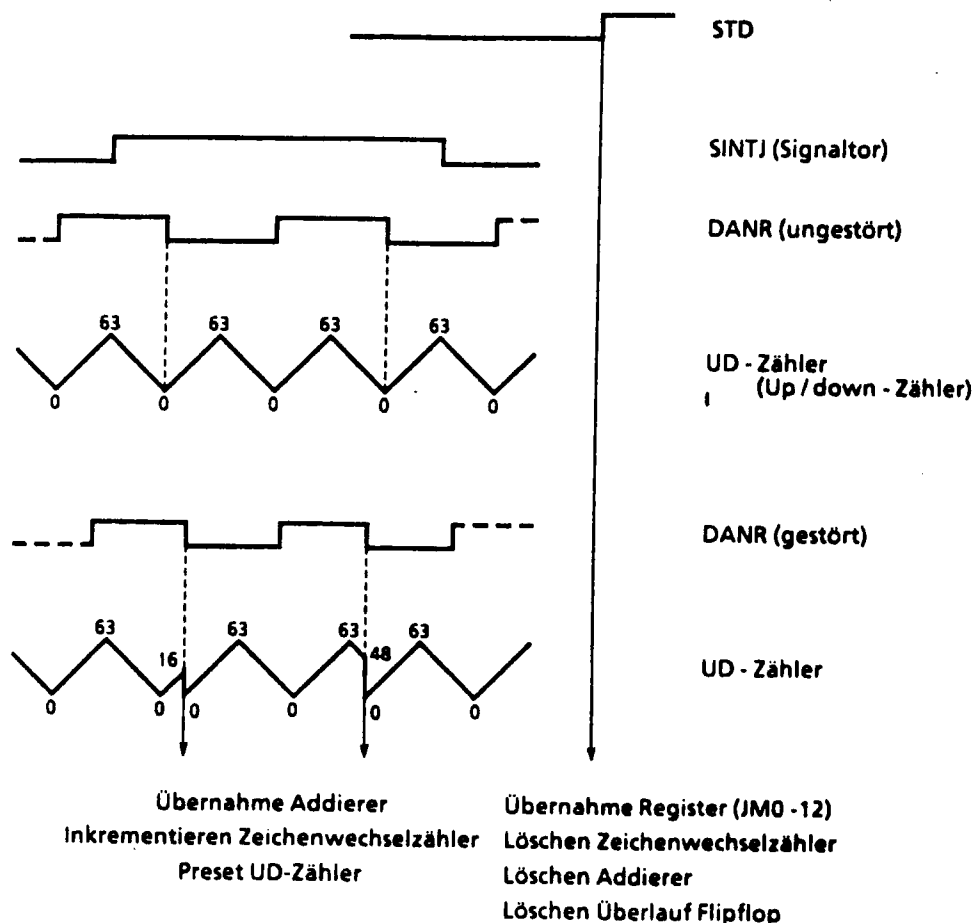


Bild 27 Funktion des Jittermessers

4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 28 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am AU-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

Funktionsweise des Offsetmessers

Der 128fache Bittakt (T675K84) zählt während des Bewertungszeitraums $SINTO = 1$ (das ist während des Barkercodes Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts.

Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H (OFFE0-7 = SCHEIN0-7 auf Mittenwert) versorgt sein muß, so daß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraums wird der Zähler auf 2304 eingestellt, d.i. um 2×128 über dem Mittenwert des Zählers $4096/2 = 2048$. Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalls auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Laden Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die Schwellwerteinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0 – SCHEIN7.

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B 64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 – SCHEIN7 gelegt. Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die Schwellwerteinstellung.

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an AU-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleicher so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bit-Längen aufweist (siehe Bild 29).

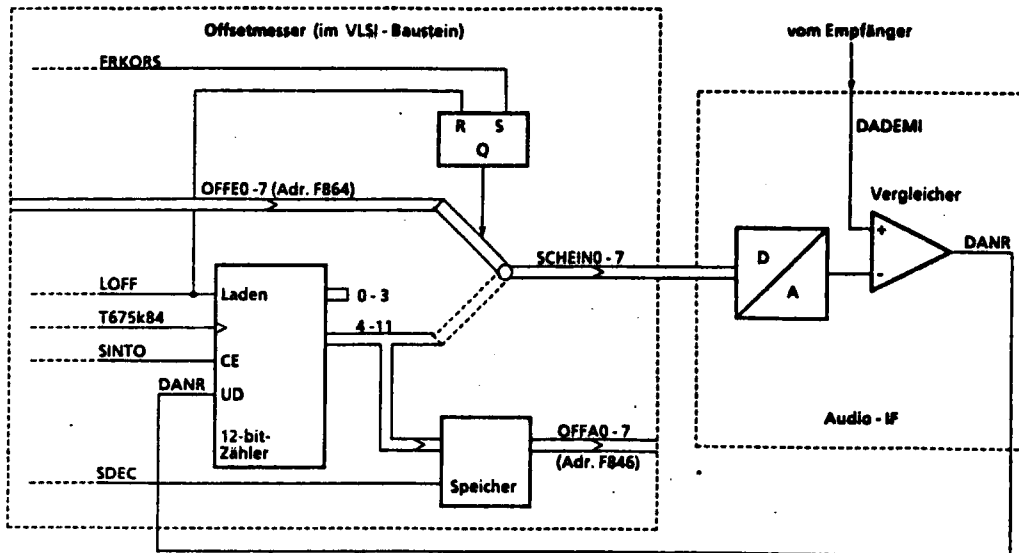


Bild 28 Offsetkorrektur

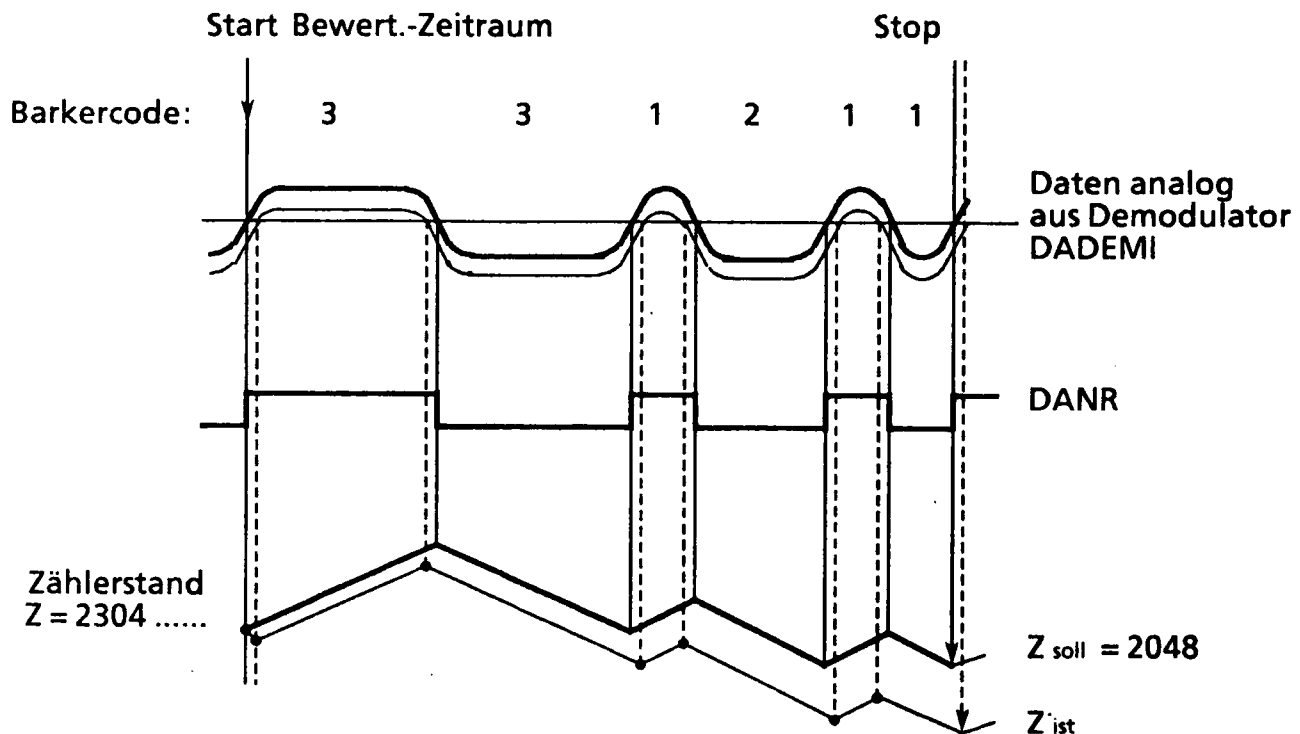


Bild 29 Offsetkorrektur Barkercode

4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar; seine Aufgaben sind:

- Zwischenspeichern der vom Funkteil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.

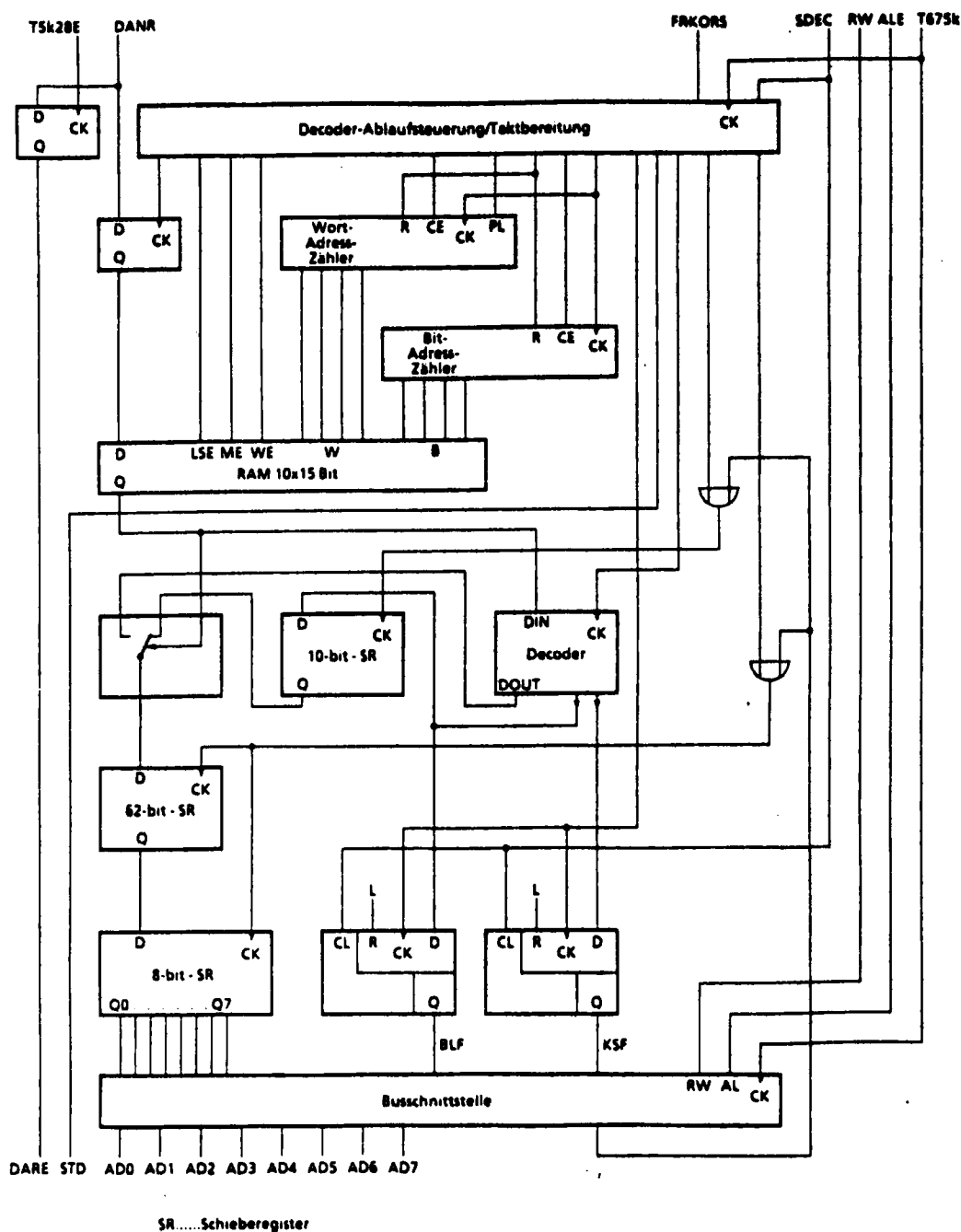


Bild 30 Übersichtsschaltplan Decoder

Der Decoder empfängt über den Eingang DANR(I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisierungsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen. Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Kapitel 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen / decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorgangs zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beenden des Einlesevorgangs mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5) wird der Decodiervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Kapitel 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T675K). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodiervorgang ist nach 600 Takten T675K ($t_{DEC} = 600 \times t_{675K} = 888 \mu s$) beendet. Nach Abschluß des Decodiervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsbits, stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Die Daten werden in zehn Worten à 8 bit ausgelesen. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten acht Bits für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe:

$$t_{READ} \geq 10 \times t_{T675K} = 14,8 \mu s$$

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 (Bit 0 bis 7) und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 und 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbit "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechnerschnittstelle (Adresse F843) abfragen (siehe oben).

4.1.5.9 Coder

Der Coder bildet die Schnittstelle zwischen dem Rechner, der die zu sendenden Daten ermittelt und dem Modulator, der die codierten Daten dem Träger aufmoduliert.

Die Aufgaben des Coders sind:

- Zwischenspeicherung und
- Codierung der zu sendenden Nachricht durch Hinzufügen der Barkercodebits (3x11 bit) sowie der Redundanzbits.

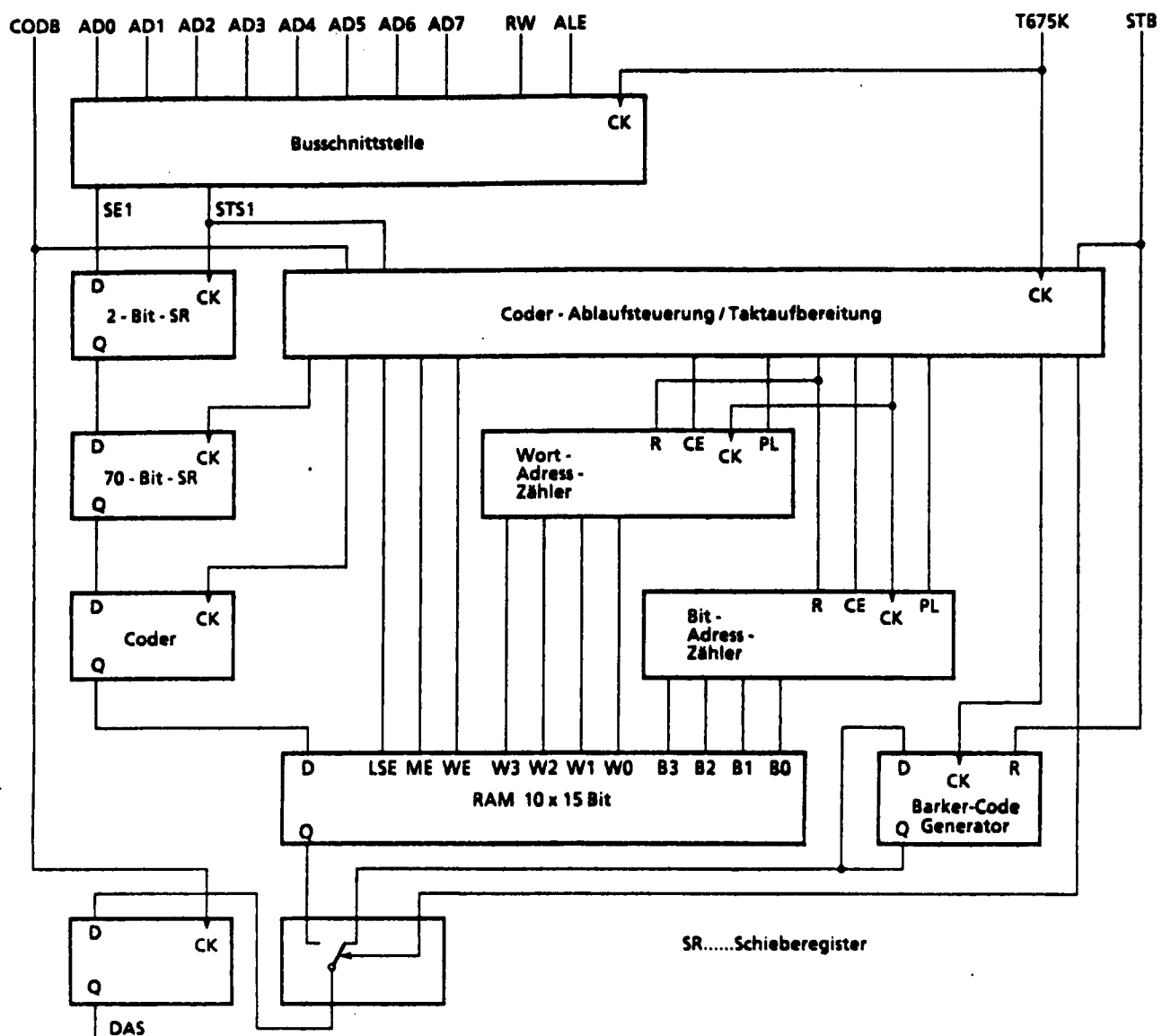


Bild 31 Übersichtsschaltplan Coder

Der im Rechner generierte Datenblock besteht aus 70 Nutz-Bits. Diese Daten werden über die Busschnittstelle (Adresse F829) in den Sendebaustein in neun aufeinanderfolgenden Write-Zugriffen eingeschrieben. Nach jedem Write-Zugriff wird die parallele Busschnittstelle, beginnend mit dem LSB, seriell ausgelesen und die Information in einem 70-bit-Schieberegister zwischengespeichert. Das Abräumen der Busschnittstelle geschieht mit dem Systemtakt (T675K) und wird mit der steigenden Flanke von WRN gestartet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende Write-Zugriffe:

$$t_{\text{WRITE}} \geq 10 \times t_{\text{T675K}} = 14,8 \mu\text{s}$$

Mit dem Signal STC (Start Coder) aus der Ablaufsteuerung wird der Codiervorgang gestartet. Die zwischengespeicherten Daten werden in zehn Blöcken zu 7 bit aus dem 70-bit-Schieberegister ausgelesen und nach dem sogenannten BCH-Code codiert, wobei jedes 7-bit-Wort mit einem Syndrom von 8 bit Länge versehen wird. Die so entstehenden Worte von 15 bit Länge werden zeilenweise in ein 10x15 bit großes RAM eingelesen und zwischengespeichert. Der Codiervorgang läuft mit dem halben Systemtakt (T675K) ab und ist nach 300 Takten ($t_{\text{COD}} = 300 \times t_{\text{T675K}} = 444 \mu\text{s}$) abgeschlossen. Das angewandte Codiervorgehen erlaubt bei der Decodierung sowohl eine Fehlererkennung als auch eine Korrektur von maximal zwei Fehlern je Wort.

Mit dem Signal STB (Start Barker) aus der Ablaufsteuerung wird der Vorgang "Daten senden" gestartet.

Mit dem gefensterten Bittakt T5K28 (CODB = 184 Takte T5K28) liegen die Sendedaten am Datenausgang (DAS) an. Zunächst startet der Barkercodegenerator und erzeugt eine Bitfolge von 3 mal 11 bit (11100010010) und ein Leerbit (1). Danach werden die zeilenweise gespeicherten und codierten Daten spaltenweise (15 Worte à 10 bit) aus dem RAM ausgelesen.

In der konzentrierten Signalisierung entsteht so ein Signalisierungsblock von $33 + 1 + 150 = 184$ bit, in der verteilten Signalisierung werden die Daten verteilt über einen Unterrahmen in 46 Schlitzen zu je 4 bit gesendet (ein Unterrahmen besteht aus 16 Blöcken zu je drei Schlitzen; die beiden ersten Schlitze enthalten keine Information).

4.2 Audio-Interface S42024-H382- ...

Die Baugruppe Audio-Interface (Bild 33) bildet zusammen mit der CPU-Baugruppe die Funkkanalsteuerung im PFG.

Die Baugruppe enthält folgende Funktionen:

- Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)
- Adressendecodierung für Ein- und Ausgabeports
- Abfrage der Gestelladresse
- Ausgabeports für Ansteuerung des Synthesizers, außerdem Ausgabe der Signale für die Laufzeitmessungen einschließlich Betriebsartensignale sowie Steuerung von Tonsender und Tonempfänger. Ansteuern der Verfügbarkeit LED (Signal OKVR).
- Erfassen (Umsetzen) der Feldstärke
- Offsetkorrektur durch Vergleich des empfangenen Signals mit eingestellter Schwelle
- Basisbandanpassung bzw. Laufzeitglied für MODLAU bzw. Datensignal
- Erzeugen des Power-on-Resets; Reset-Taste
- Erfassen von Störungsmeldungen bzw. Statusmeldungen
- Pegelanpassung für 6,4 MHz
- Erzeugen der -2,5-V-Versorgung für den Audio-Teil.

4.2.1 Laufzeitkorrektur

Aus dem 256-kHz-Takt (Signal T256k00 aus dem VLSI) werden die beiden Signale T256kS und T256kE mit Hilfe von zwei Schieberegistern erzeugt, die Signale sind gegenüber dem T256k00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256kS ist um 12 Takte, T256kE um 16 Takte gegenüber T256k00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7 μ s) dient zum Ausgleich von Kabellaufzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 31).

Die Verschiebung des Taktes T256kE gegenüber T256k00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

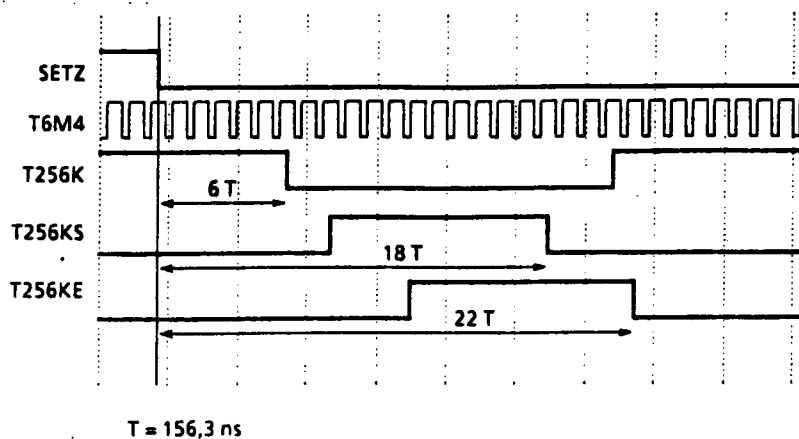


Bild 32 Laufzeitkorrektur

4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HCT138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale -WRX0, -WRX2 bis -WRX4 sowie -RDX0, -RDX1, -RDX6 und -RDX7 erzeugt: das X bedeutet, daß die Adreß-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung, wie auf FF12, FF13 usw., es wird WRX2 aktiviert.

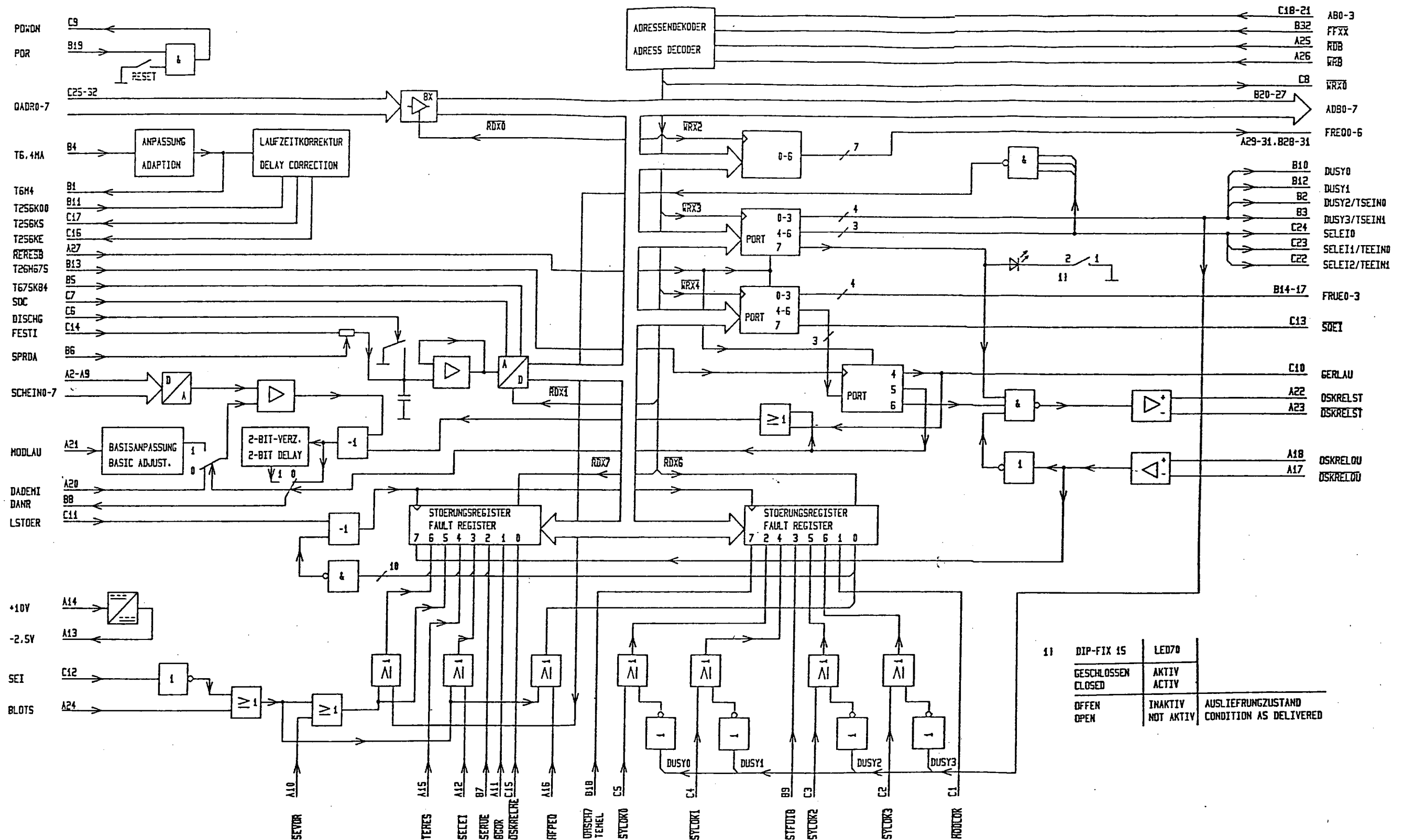


Bild 33 Übersichtsschaltplan Audio-Interface

4.2.3 Abfrage der Gestelladresse

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage wird mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese- Adressen-Signal RDX0 vom Adressendecoder) vorgenommen.

4.2.4 Ausgabeports

Vier Latch-Bausteine dienen zur byteweisen Ausgabe einiger Signale durch die Software nach folgender Tabelle

Adresse	D7	D6	D5	D4	D3	D2	D1	D0
FFX2	-			FREQ0-6				
FFX3	OKVR	TEEIN1	TEEIN0	SELEIO	TSEIN1	TSEIN0	-	DUSY0
FFX4	-	-	GERLAU1	GERLAU	-	-	-	FRUE0

Erläuterungen zur Tabelle:

FREQ0-6 Informationen für Frequenzeinstellung des Synthesizers

OKVR Verfügbarmeldung vom Rechner (SW)

SELEIO Modulatorpegelabsenkung

DUSY0 Maskierung der Synthesizer-Fehlermeldung

TEEIN0,1 Tonempfänger-Ein Betriebsart für Tonempfänger

TSEIN0,1 Tonsender-Ein und Tonsender

FRUE0 Übernahmesignal für Frequenzeinstellung des Synthesizers.

GERLAU1
GERLAU Steuerung der Gerätelaufzeitmessungen

Die Signale GERLAU1, GERLAU, OKVR werden mit Hilfe des Signals T26H67S (Blockraster) gelatcht, d.h. Änderungen werden nur bei Blockwechsel wirksam.

4.2.5 Umsetzung der Feldstärke

Das vom Empfänger kommende Feldstärkesignal FESTI (0-2,5V) wird mittels RC-Kombination integriert: bei Sprachbetrieb (SPRDA = 0) über eine Unterrahmenlänge, das sind 0,6s; bei Datenbetrieb (SPRDA = 1) über eine Blocklänge, das sind 37,5ms.

Das integrierte Signal gelangt über einen Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675K84 betrieben, und er erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

4.2.6 Offsetkorrektur, Basisbandanpassung

Der vom VLSI-Baustein M863 bzw. SCX 6B 48 WWL gelieferte, digitale Schwellwert (SCHEIN0-7) wird mit Hilfe des D/A-Wandlers in einen Analogwert umgewandelt und über die Op.Amps LM258 dem Vergleichler LM311 zugeführt.

Am anderen Eingang des Vergleichers liegt das Signal DADEMI bzw. im Falle der Gerätelauftzeitmessung 1 (GERLAU1) das über die Basisbandanpassung gelaufene Signal MODLAU.

Am Ausgang des Vergleichers erscheint das Signal DANR(I) (Daten nicht regeneriert), das zu den VLSI-Bausteinen M862 bzw. SCX 6B 64 WWK und M863 bzw. SCX 6B 48 WWL zur weiteren Verarbeitung geführt wird.

Im Falle der Gerätelauftzeitmessungen wird das Signal DANR(I) jedoch vorher noch invertiert, bei der Gerätelauftzeitmessung 1 (GERLAU1) noch zusätzlich um 2 bit (entspricht 378,8 μ s) verzögert.

4.2.7 Power-on-Reset, Resettaste

Die betriebsspannungsabhängige Rücksetzschaltung im Stromversorgungsteil liefert das Signal POR, das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert.

Das gleiche geschieht bei Drücken der Reset-Taste.

4.2.8 Störungsregister

Der Inhalt des Störungsregisters, das als Speicher für einige Störungsmeldungen dient, kann mit Hilfe von Lesebefehlen auf die Adresse FFX6 gelesen werden.

Eingespeichert werden die an den D-Eingängen anliegenden Signale mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU-Baugruppe) oder bei Auftreten einer Störungsmeldung (Letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Störungsmeldung ansteht), dazu werden die Störungsmeldungen über ein UND-Gatter verknüpft. Die Störungsmeldung des Synthesizers SYLOK0 wird nur dann wirksam, wenn das zugehörige DUSY-Signal (Durchschalten der Synthesizerfrequenz) auf "1" liegt.

MODLOK ist die Fehlermeldung aus dem Modulator.

Schließlich gibt es noch die Meldung TEMEL (Meldung vom Tonempfänger), die ebenfalls über das Störungsregister gelesen werden kann (FFX6.7). Das Auftreten dieser Meldung geschieht ohne automatisches Einlatchen.

Die Meldung BGOK (Prüf Schleife: Baugruppe gesteckt) wird auf Adresse FFX7.1 eingelesen.

4.2.9 Sonstiges

Pegelanpassung 6,4 MHz

Das von der Audio-Baugruppe kommende Signal T6,4MA wird mittels Transistor BCY58 und Schmitt-Trigger in ein TTL-Signal (T6M4) umgewandelt. Ein RC-Glied dient zur Verringerung der Flankensteilheit (Verringerung von Störeinflüssen).

2,5-V-Versorgungsspannung für Audio-Teil

Die für die Audio-Baugruppe notwendigen -2,5 V werden mittels eines Spannungsconverters (ICL7660) aus der 10-V-Spannung erzeugt.

5. Technische Daten

Betriebsspannung 1	$U = +5\text{ V}$
Stromaufnahme 1	$I = 0,65\text{ A}$
Leistungsaufnahme 1	$P_{\text{typ}} = 3,25\text{ W}$
Betriebsspannung 2	$U = +10\text{ V}$
Stromaufnahme 2	$I = 0,53\text{ A}$
Leistungsaufnahme 2	$P_{\text{typ}} = 5,3\text{ W}$
Referenzfrequenz	$6,4\text{ MHz} > 0\text{ dBm}$
Betriebsart	FM-Duplex
Frequenzhub bei	
Sprache klar/WT (mit Pre-/Deemphasis)	$\geq 4\text{ kHz}$
Sprache verschleiert (ohne Pre-/Deemphasis)...	$\geq 4\text{ kHz}$
Signalisierungsdaten	$2,5\text{ kHz}$
Funkkanalabstand	20 kHz
einstellbare Frequenzschritte	$10/12,5\text{ kHz}$
Duplexabstand	10 MHz
Sendefrequenzbereich	$450,0\text{ MHz bis }455,74\text{ MHz}$
Signalisierungsdatenübertragung	
Datenformat	NRZ binär
Bitrate	$5,28\text{ kbit/s}$
Empfangsfrequenzbereich	$460,0\text{ MHz bis }465,74\text{ MHz}$

5.1 Empfänger

Betriebsspannung	$U = +10 \text{ V}$
Stromaufnahme	$I = 90 \text{ mA}$
Leistungsaufnahme	$P_{\text{typ}} = 900 \text{ mW}$
Störabstand, bezogen auf Prüfmodulation ($f_{\text{mod}} = 1 \text{ kHz}$)	
Fremdspannungsabstand	$\geq 40 \text{ dB}$
Geräuschspannungsabstand	$\geq 45 \text{ dB}$

5.2 Synthesizer

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 150 \text{ mA}$
Leistungsaufnahme 1	$P_{\text{typ}} = 750 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 200 \text{ mA}$
Leistungsaufnahme 2	$P_{\text{typ}} = 2 \text{ W}$

5.3 Modulator

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 65 \text{ mA}$
Leistungsaufnahme 1	$P_{\text{typ}} = 325 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 180 \text{ mA}$
Leistungsaufnahme 2	$P_{\text{typ}} = 1,8 \text{ W}$

5.4 Audio-Teil

Betriebsspannung 1	$U = +5\text{ V}$
Stromaufnahme 1	$I = 2\text{ mA}$
Leistungsaufnahme 1	$P_{\text{typ}} = 10\text{ mW}$
Betriebsspannung 2	$U = +10\text{ V}$
Stromaufnahme 2	$I = 100\text{ mA}$
Leistungsaufnahme 2	$P_{\text{typ}} = 1\text{ W}$

5.5 Tonsender

Betriebsspannung	$U = +5\text{ V}$
Stromaufnahme	$I = 5\text{ mA}$
Leistungsaufnahme	$P_{\text{typ}} = 25\text{ mW}$

Prüftonsignale

f1	300 Hz
f2	1000 Hz
f3	2300 Hz

5.6 Tonempfänger

Betriebsspannung 1	$U = +5\text{ V}$
Stromaufnahme 1	$I = 60\text{ mA}$
Leistungsaufnahme 1	$P_{\text{typ}} = 300\text{ mW}$
Betriebsspannung 2	$U = +10\text{ V}$
Stromaufnahme 2	$I = 65\text{ mA}$
Leistungsaufnahme 2	$P_{\text{typ}} = 650\text{ mW}$

Prüftonsignale wie unter 5.5

Mindestmeßzeit

Invertierungsprüfung $\leq 0,5s$

Amplituden-Frequenzmessung $\leq 0,4s$

Klirrfaktor und Empfänger-

Empfindlichkeitsmessung $\leq 1,2s$

5.7 CPU

Betriebsspannung $U = +5 V$

Stromaufnahme $I = 260 mA$

Leistungsaufnahme $P_{typ} = 1,3 W$

5.8 Audio-Interface

Betriebsspannung $U = +5 V$

Stromaufnahme $I = 150 mA$

Leistungsaufnahme $P_{typ} = 0,65 W$

6 Geräteübersicht

Bezeichnung	Sach-Nr.	Maße in mm (BxHxT)	Gewicht in g
Prüffunkgerät PFG	S42023-H130-B1	100x595x197	5900
zugehörige Baugruppen:			
Anschlußverdrahtung	S42024-H412-...		
und			
Filterbaugruppe	S42024-H413-...	100x63x12	
Empfänger	S42024-H169-...	100x167x24	
Modulator	S42024-H167-...	100x167x24	
Synthesizer	S42024-H168-...	100x167x21	
Tonsender	S42024-H324-...	100x167x21	
Tonempfänger	S42024-H331-...	100x167x21	
Audio-Teil	S42024-H381-...	100x167x21	
CPU	S42025-H418-*1	+ Software	
	S42025-H431-A150	100x167x12	
Audio-Interface	S42024-H382-...	100x167x12	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, veränderbaren Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.

SIEMENS

Fu Tel C-Netz

Beschreibung

Funkmodem

FKM-SPK-B

S42023-H131-..

S42023-H131-E1-1-18

Herausgegeben vom Bereich Öffentliche Vermittlungssysteme
Hofmannstraße 51, D-8000 München 70
Verfasser: SÖ ETG 113 Wien

Weitergabe sowie Vervielfältigung dieser Unterlage, Verwertung
und Mitteilung ihres Inhalts nicht gestattet, soweit nicht aus-
drücklich zugestanden. Zuwiderhandlungen verpflichten zu Scha-
denersatz. Alle Rechte vorbehalten, insbesondere für den Fall der
Patenterteilung oder GM-Eintragung.
Technische Änderungen vorbehalten.

© Siemens AG 1990

Inhalt

	Seite
1 Übersicht	5
1.1 Funkmodem (FKM-SPK) im Netz C 450	5
1.2 Funkmodem in der Basisstation	5
1.3 Funktionseinheiten des Funkmodems	7
2 Schnittstellen	11
2.1 Externe Schnittstellen	11
2.1.1 Schnittstelle zur Antennenanlage	11
2.1.2 Schnittstelle zum Frequenzverteiler	11
2.1.3 Schnittstelle zur Senderendstufe	11
2.1.4 Schnittstelle zum MSC	11
2.1.5 Serielle Schnittstelle zur Funkdatensteuerung (FDS)	12
2.1.6 Schnittstelle zur Gestellverdrahtung	12
2.1.7 Schnittstelle zur Stromversorgung	12
2.2 Interne Schnittstellen	12
3 Funkteil	14
3.1 Empfänger S42024-H169-...	14
3.1.1 Stromversorgung für PLL-Demodulator	14
3.1.2 Eingangsstufe mit Mischer 1	14
3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2	14
3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung	16
3.1.5 Basisbandaufbereitung	17
3.1.6 Squelch-Einrichtung	17
3.2 Synthesizer S42024-H168-...	17
3.2.1 Prinzip Synthesizer	19
3.2.2 Synthesizer-Baustein und Vorteiler	20
3.2.3 Oszillator (VCO) und Entkopplungsverstärker 1	22
3.2.4 Entkopplungsverstärker 2	22
3.2.5 Ausgangsverstärker 1 und 2	22
3.2.6 Spannungsregelung +10V/+8V	23
3.3 Modulator S42024-H167-...	23
3.3.1 Aktives NF-Filter	27
3.3.2 Quarzoszillator (VCO) und Entkopplungsverstärker	27
3.3.3 Modulationsgesteuerte Phasenregelschleife	28
3.3.4 Mischer und Sendevorstufe	29
3.4 Audio-Teil S42024-H381-...	30

4	Funkkanalsteuerung	33
4.1	CPU S42025-H113-#1 + Software S42025-H422-0150	33
4.1.1	CPU-Baustein 80C85, Adressen- Daten- und Steuerbus	37
4.1.2	Speicher	40
4.1.3	Interruptsteuerung	41
4.1.4	Serielle Schnittstelle	42
4.1.5	VLSI-Bausteine	42
4.1.5.1	Takterzeugung	45
4.1.5.2	Teilerketten	46
4.1.5.3	Ablaufsteuerung	49
4.1.5.4	Überwachung und Rechnerreset	50
4.1.5.5	Korrelationsempfänger	51
4.1.5.6	Jittermesser	54
4.1.5.7	Offsetkorrektur	57
4.1.5.8	Decoder	59
4.1.5.9	Coder	61
4.2	Audio-Interface S42024-H552-...	64
4.2.1	Laufzeitkorrektur	67
4.2.2	Adressendecodierung	67
4.2.3	Abfrage der Gestelladresse	68
4.2.4	Ausgabeports	68
4.2.5	Umsetzung der Feldstärke	68
4.2.6	Offsetkorrektur	69
4.2.7	Power-on-Reset, Resettaste	69
4.2.8	Störungsregister	69
4.2.9	Sonstiges	70
5	Technische Daten	71
5.1	Empfänger	72
5.2	Synthesizer	72
5.3	Modulator	72
5.4	Audio-Teil	73
5.5	CPU	73
5.6	Audio-Interface	73
6	Geräteübersicht	74

1 Übersicht

1.1 Funkmodem (FKM-SPK) im Netz C450

Hauptaufgabe des Funkmodems (FKM-SPK) ist die funktechnische Übertragung von analogen Sprachsignalen oder Wechselstrom-Telegrafie (WT)-Signalen sowie die Übertragung von digitalen Signalisierungsdaten zwischen Basisstation und jeweils einer Mobilstation.

Die Sprachübertragung ist in den Betriebsarten "Verschleierte Sprache" oder "Klare Sprache" möglich. Als Signalisierungsdaten werden binäre digitale Signale verwendet, die der Organisation und Überwachung im Netz C450 dienen.

1.2 Funkmodem in der Basisstation (Bild 1)

Das Funkmodem (SPK) enthält einen Sende- und einen Empfangszug. Das HF-Empfangssignal gelangt von der Antenne über den Empfangskoppler an den Empfangszug des FKM. Das HF-Ausgangssignal gelangt an die Sendeendstufe, wo es verstärkt wird, danach zum jeweiligen Filterkoppler und an die Antenne.

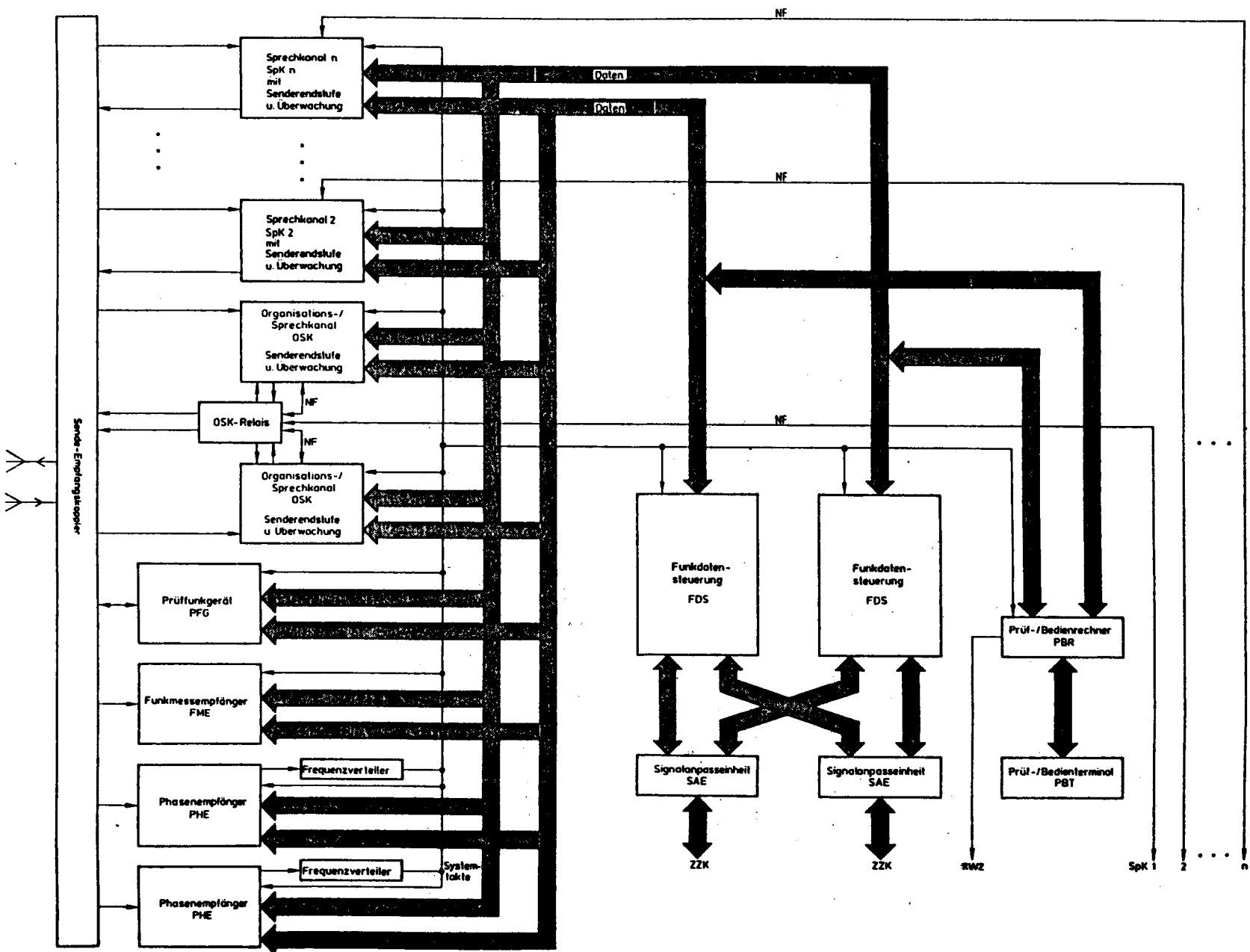


Bild 1 Übersichtsschaltplan Basisstation

1.3 Funktionseinheiten des Funkmodems (Bilder 2 und 3)

Funkteil

Der Funkteil besteht aus dem Synthesizer, dem Empfänger, dem Modulator und dem Audio-Teil.

Der Empfänger ist an den Trennverstärker des Empfängerkopplers angeschlossen. Das Empfangssignal wird in eine Zwischenfrequenzlage umgesetzt und demoduliert. Das demodulierte Signal wird einerseits zur Auswertung der Signalisierungsdaten und zur Signalbewertung der Funkkanalsteuerung zugeführt, andererseits zur Verarbeitung des NF-Anteils zum Audio-Teil geführt.

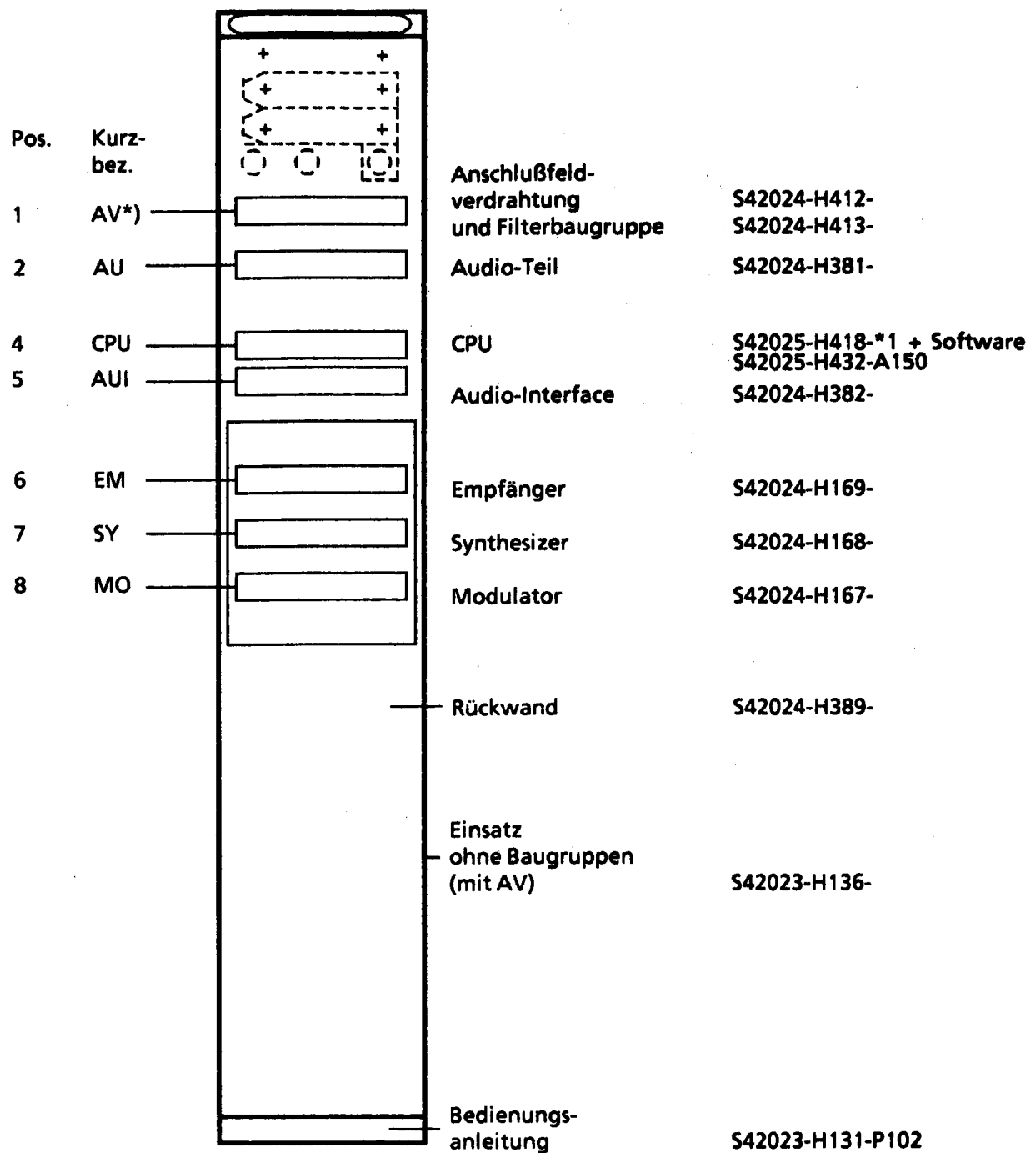
Der Modulator erzeugt ein frequenzmoduliertes HF-Signal zur Ansteuerung der Endstufe. Für die Modulation wird das NF-Signal aus dem Audio-Teil bzw. das Datensignal mit den Signalisierungsdaten aus der Funkkanalsteuerung herangezogen.

Der Synthesizer versorgt Empfänger und Modulator mit der erforderlichen Umsetzfrequenz. Die Einstellung der Frequenz wird über die Funkkanalsteuerung vorgenommen.

Funkkanalsteuerung

Die Funkkanalsteuerung besteht aus den beiden Baugruppen CPU und Audio-Interface.

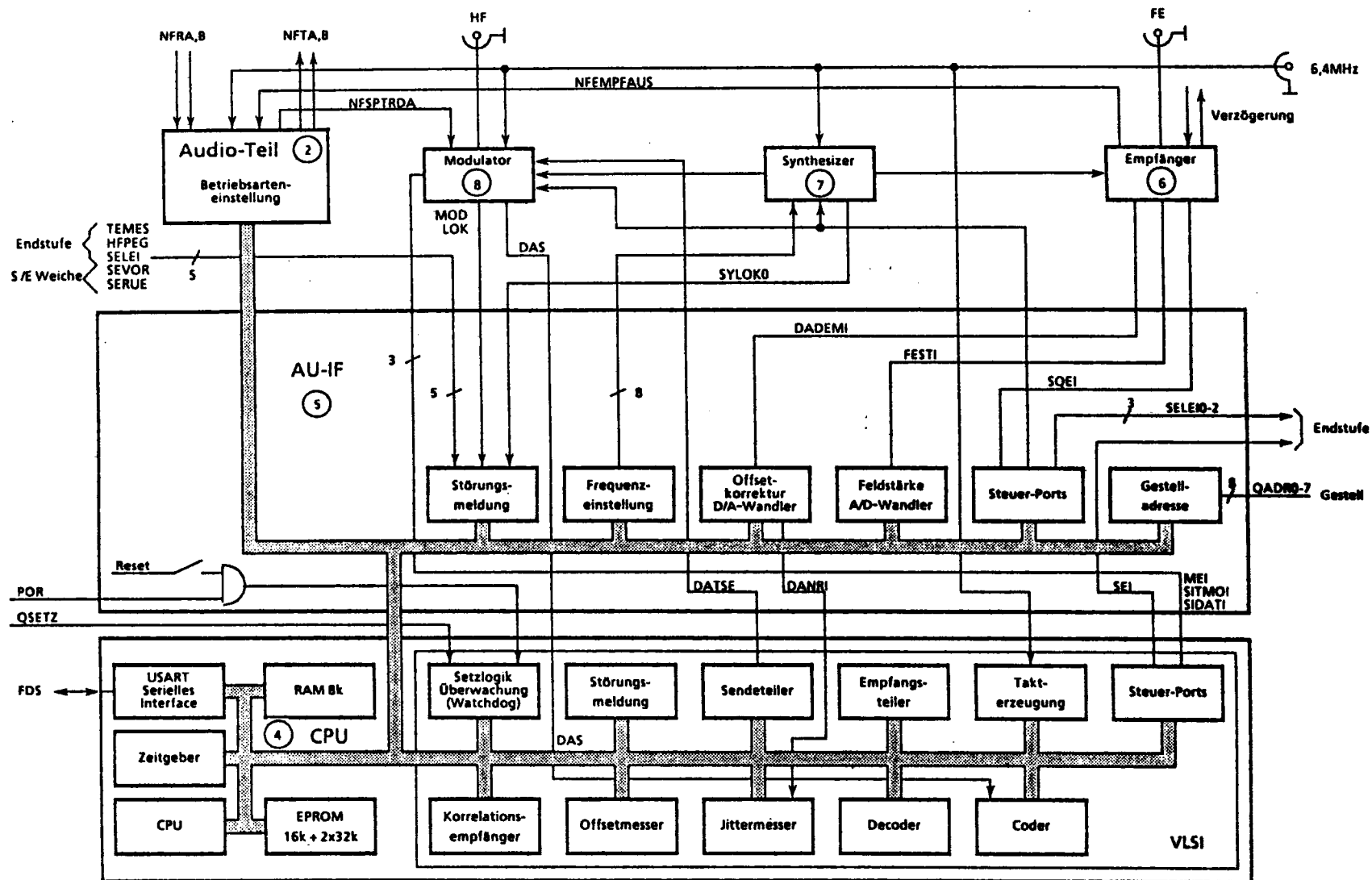
Die CPU-Baugruppe enthält neben CPU (80C85), RAM und EPROM einen Zeitgeber und einen seriellen Ein-/Ausgabebaustein (USART) für block- und zeitplatzorientierten Datenaustausch zur Funkdatensteuerung sowie die beiden VLSI-Bausteine.



*) Bestandteil des Leereinsatzes

Bild 2 Aufbau des Funkmodems (SPK)

Bild 3 Übersichtsschaltplan Funkmodem (SPK)



Die Baugruppe Audio-Interface enthält neben den Rechnerports zum Funkteil die Störungsregister sowie die Feldstärke-Umsetzschaltung und die Offsetkorrektur.

Die Signalbewertung ist in den VLSI-Bausteinen auf der CPU enthalten. Sie besteht aus drei Funktionseinheiten (Jittermesser, Offsetmesser, Korrelationsempfänger). Aus dem Barkercode des Empfangsdatenblockes werden Phase und Offset des empfangenen Teilnehmers ermittelt und an die Empfangsteilerkette und die Offsetkorrektur übergeben. Der Empfänger ist gleichspannungsgekoppelt. Jede Gleichspannungsablage beeinträchtigt die Lesesicherheit der Nutzinformation. Der Offsetmesser ermittelt die Ablage; daraufhin regelt der Rechner die Schwelle am Komparator der Offsetkorrektur nach. Damit kann mit Hilfe des Decoders (ebenfalls in den VLSI-Bausteinen) die Nutzinformation gelesen werden. Durch den Jittermesser wird über die blockweise oder unterrahmenweise summierten Zeichenwechselveränderungen der digitalen Signalisierungsdaten im Rechner der Geräuschspannungsabstand ermittelt. Dieser Wert gilt neben der Feldstärke als Maß für die Empfangsgüte.

Die VLSI-Bausteine enthalten eine Sende- und Empfangsteilerkette. Die Sendeteilerkette wird rahmenweise durch das Rahmensetzsignal QSETZ aus dem Phasenempfänger gesetzt. Beide Teilerketten werden von einer Überwachungseinheit überwacht.

2 Schnittstellen

2.1 Externe Schnittstellen

2.1.1 Schnittstelle zur Antennenanlage

Der Empfänger des Funkmodems erhält vom Trennverstärker in der Antennenanlage das HF-Signal FE zugeführt (Koaxialanschluß).

2.1.2 Schnittstelle zum Frequenzverteiler

Hier werden der Takt QT6,4M (Koaxialstecker) und das Rahmensetzsignal QSETZ (symmetrische Leitung), die vom Frequenzverteiler kommen, eingespeist. Über Koaxialleitungen gelangt der 6,4-MHz-Takt einerseits zum Synthesizer und zum Modulator, andererseits zum Audio-Teil, von wo er über die Rückwandplatine zum Audio-Interface geführt wird. Dort wird er zur Versorgung der Steuerung auf TTL-Pegel umgesetzt.

2.1.3 Schnittstelle zur Senderendstufe

Vom Modulator gelangt das HF-Signal über eine Koaxialleitung zur Endstufe. Die Steuerleitungen SEI (Sender ein) und SELEI 0-2 (Einstellung der Senderleistung) führen ebenfalls zur Endstufe.

Die Störungsmeldungen -SELEI (Sendeleistung), -TEMES (Endstufentemperatur überschritten) und -HFPEG (HF-Eingangspegel Senderendstufe) von der Endstufe und die beiden Störungsmeldungen -SEVOR (Vorlauf Sendeleistung unter Sollwert) und -SERUE (Rücklauf Sendeleistung > 8dB) von der S/E-Weiche gelangen zum Audio-Interface.

2.1.4 Schnittstelle zum MSC

Die Sprach-/WT-Signale werden als symmetrische Signale NFTA/NFTB und NFRA/NFRB vom MSC zum Audio-Teil bzw. in umgekehrter Richtung geführt.

2.1.5 Serielle Schnittstelle zur Funkdatensteuerung (FDS)

Über diese Schnittstelle, die aus symmetrischen Leitungen besteht, wird der Datenaustausch mit der FDS vorgenommen. Die Daten werden über jeweils zwei Treiberbausteine (Signale QSST1 und QSST2) gesendet und über zwei Empfangsbausteine (Signale QSSR1 und QSSR2) empfangen. Die Bausteine befinden sich auf der CPU.

2.1.6 Schnittstelle zur Gestellverdrahtung

An dieser Schnittstelle wird die durch die Gestellverdrahtung festgelegte Gestelladresse (auch als Kanaladresse bezeichnet) übergeben (Leitungen QADR 0-7, Auswertung auf Audio-Interface).

2.1.7 Schnittstelle zur Stromversorgung

Zur Generierung eines Power-on-Resets nach Spannungsausfall wird außer den Versorgungsspannungen +5 V und +10 V das Signal POR (-FKM) aus der Stromversorgung zugeführt.

2.2 Interne Schnittstellen

Im folgenden sind die Schnittstellensignale zwischen der Funkkanalsteuerung und den Baugruppen des Funkteils erläutert.

Synthesizer

Die Frequenzeinstellung wird mit Hilfe der Signale FRUE(0) und FREQ 0-6 aus dem Audio-Interface vorgenommen. Der Synthesizer liefert im nicht gerasteten Zustand die Fehlermeldung -SYLOK(0).

Empfänger

Die Signale FESTI (Feldstärke) und DADEMI (demoduliertes Datensignal) werden im Audio-Interface verarbeitet. Mit dem Signal SQEI (aus dem Audio-Interface) wird das Prüfsignal Squelch (Rauschsperr) ein bzw. ausgeschaltet.

Modulator

Aus der CPU (VLSI-Bausteine) gelangen folgende Signale zum Modulator:

MEI	Modulator ein
SITMOI	Signaltor Modulator (Umschaltung Sprache/Daten im Sprechkanal)
SIDATI	Signaltor Daten
DATSE	Daten senden
DAS	Datensignal (Signalisierungsdaten)

Das Signal -MODLOK meldet das Einrastkriterium der Phasenregelschleife des Modulators an den Rechner (Audio-Interface), es wird low bei Fehler.

Audio-Teil

Der Audio-Teil ist an den Rechnerbus der CPU mit den Signalen -WRX0, -RDB,- WRB, ALEB, ADB0-7 angeschlossen.

Für die Komprimierung der Daten werden das Signal SIKO (Signaltor Komprimierung) und die Takte T38K40S und T42K24S, für die Expandierung SIEX (Signaltor Expandierung) sowie die Takte T38K40E und T42K24E aus der CPU (VLSI) zugeführt. Ebenfalls aus der CPU kommt das Signal SPRDA (Umschalten Sprache/Daten zur Sperre des NF-Weges).

Das Signal DYNKOMP (Dynamikkompandierung) dient für Testzwecke und kann über den Diagnosestecker der CPU (z.B. mit Hilfe des CPU-Adapters) gesteuert werden. (Das Signal ist auf der CPU nur vom Diagnose- zum Busstecker durchgeschleift).

3 Funkteil

3.1 Empfänger S42024-H169-...

Der Empfänger (siehe Bild 4) ist Bestandteil des Funkteils im Organisations-/ Sprechkanal; er steht mit dem Empfängerkoppler über Koaxialkabel in Verbindung (siehe externe Schnittstellen 2.1).

Der Empfangsfrequenzbereich beträgt 450 MHz bis 455,74 MHz.

Das vom Empfängerkoppler kommende Empfangssignal (FE) wird über die 1. Zwischenfrequenz (21,4 MHz) in die 2. Zwischenfrequenz (100 kHz) umgesetzt, demoduliert und über den Datenweg (DADEMI) und NF-Weg (NFEMPFAUS) der Funkkanalsteuerung und der Baugruppe Audio-Teil zugeführt.

3.1.1 Stromversorgung für PLL-Demodulator

Die besonderen Anforderungen an die Konstanz des PLL-Demodulators 304 erfordern eine Betriebsspannung (+ 12 V) hoher Stabilität. Diese Spannung wird mit Hilfe eines Gleichspannungswandlers aus der extern zugeführten Betriebsspannung (10 V) gewonnen. Dazu erzeugt der IC305 Rechteckimpulse mit einer Frequenz von etwa 6 kHz. Diese Impulse werden mit Hilfe der Diode 250 und dem Kondensator 175 der Betriebsspannung (10 V) überlagert und zusammen gleichgerichtet (Diode 251 und Kondensator 176). Nach der anschließenden Stabilisierungsschaltung (Widerstand 57, Referenzdiode 252 und Kondensator 170) steht die gewünschte Ausgangsspannung (+ 12 V) zur Verfügung. Sie versorgt den IC304 und dient zur Erzeugung der Arbeitspunkte der Operationsverstärker 303 und 307.

3.1.2 Eingangsstufe mit Mischer 1

Das ankommende HF-Eingangssignal (FE) wird vom Transistor 271, dessen Arbeitspunkt vom Transistor 270 stabilisiert ist, verstärkt. Über das nachfolgende Zweikreis-Helical-Filter 240 gelangt das verstärkte Eingangssignal zum Ringmischer 320. Dort wird es mit Hilfe des Signales F_{syn} B10, das der Synthesizer des Funkteils liefert, auf die 1. Zwischenfrequenz (1. ZF) von 21,4 MHz umgesetzt.

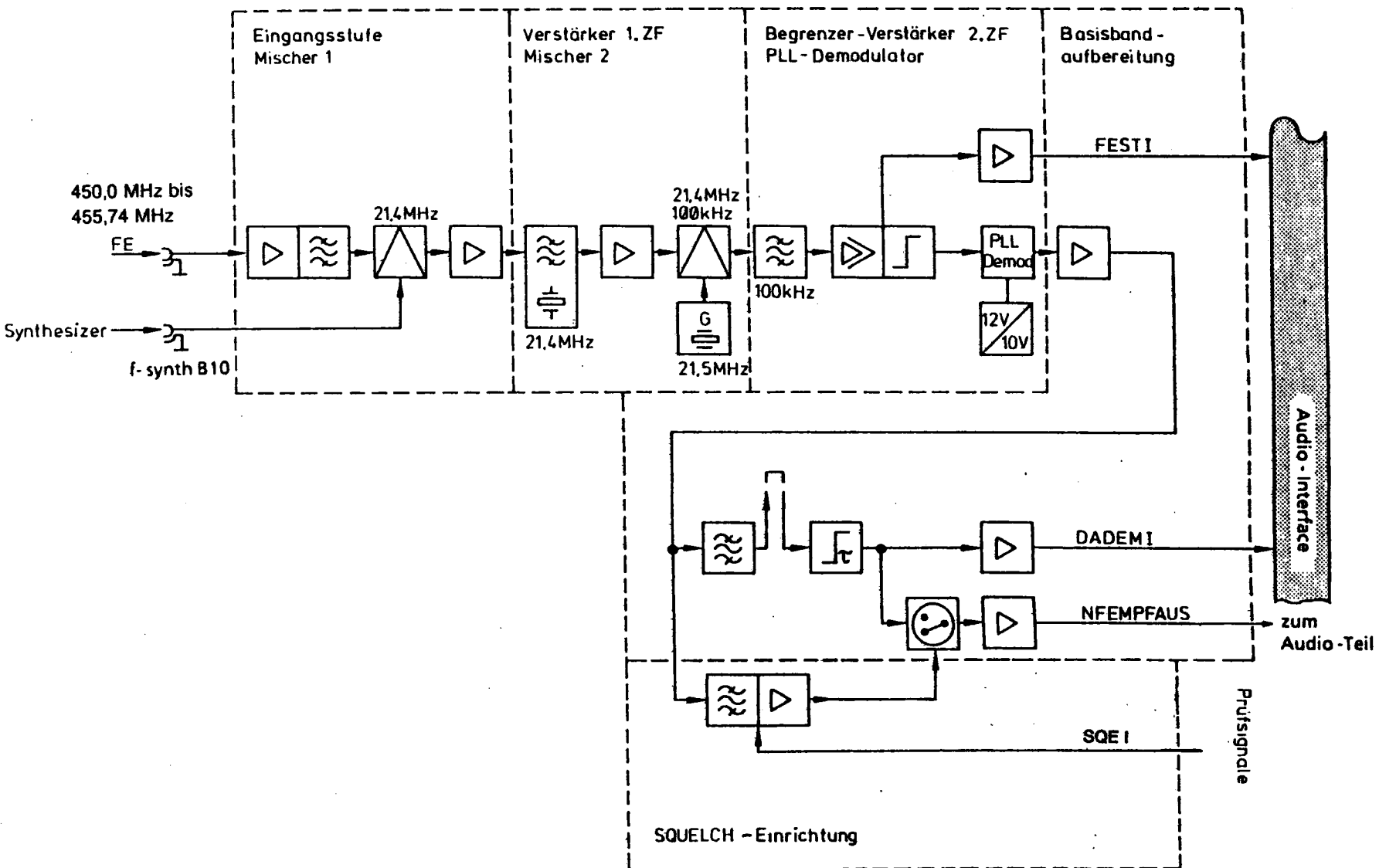


Bild 4 Übersichtsschaltplan Empfänger

3.1.3 Verstärker für 1. Zwischenfrequenz und Mischer 2

Der Transistor 272 verstärkt die vom Ringmischer 320 gelieferte 1. ZF und leitet sie über eine Anpaßschaltung (Kondensator 139 und Spule 225) zum 8poligen Quarzfilter 300, in dem die Hauptselektion des Empfängers vorgenommen wird.

Der nach der Anpaßschaltung (Kondensator 142 und Spule 226) folgende Schaltungsteil mit dem Transistor 273 verstärkt das vom Quarzfilter 300 kommende 21,4-MHz-Signal und führt es zum Mischer 2 (301).

Das IC 301 wird als selbstschwingender Mischer betrieben; dabei bestimmt der angeschlossene 21,5-MHz-Quarz die Umsetzfrequenz und damit die Umsetzung auf die 2. Zwischenfrequenz von 100 kHz.

3.1.4 Begrenzer-Verstärker für 2. Zwischenfrequenz, PLL-Demodulator und Feldstärkesignalgewinnung

Das am Ausgang von Mischer 2 austretende 100-kHz-Signal (2. Zwischenfrequenz) gelangt über ein 100-kHz-Zweikreis-Bandfilter (Kondensatoren 155, 156, 157 sowie Spulen 229 und 230) zum Begrenzer-Verstärker 302. Dieser leitet es an den Demodulator (IC 304) weiter. Das 100-kHz-Zweikreis-Bandfilter dient sowohl zum Unterdrücken der durch den Mischer 2 erzeugten Umsatzfrequenz als auch zur weiteren Selektion des Empfangssignals.

Das Begrenzer-IC302 erfüllt zwei Aufgaben; es verstärkt und begrenzt das ZF-Signal, sodaß unabhängig vom Eingangspegel des Empfängers ein konstanter Pegel am Pin 11 für den nachfolgenden PLL-Demodulator zur Verfügung steht. Außerdem erzeugt es eine dem Empfangspegel proportionale Spannung (PIN 15), die im Operationsverstärker 303 auf einen Ausgangspegel zwischen 0 V und 2,5 V gebracht wird. Diese Spannung dient zum Messen des HF-Eingangspegels des Empfängers im Bereich von etwa -120 dBm bis etwa -60 dBm.

Das IC304 enthält einen spannungsgesteuerten 100-kHz-Oszillator (VCO), einen Phasenkomparator und ein Loop-Filter, die zusammen als PLL-Demodulator geschaltet sind. Die beim Übertragen von NRZ-Daten (Modulationssignal) notwendige Gleichspannungskopplung bei der Demodulation erfordert eine hohe Konstanz des Oszillators, die durch den Präzisions-IC304 bei der 2. ZF von 100 kHz gewährleistet ist. Am Ausgang des PLL-Demodulators 304 (Pin 10) steht das demodulierte Basisbandsignal zur Verfügung.

3.1.5 Basisbandaufbereitung

Das demodulierte Basisbandsignal wird vom nachfolgenden Operationsverstärker 306 verstärkt. Im Operationsverstärker 306 wird auch die gemeinsame Pegeleinstellung für den Daten- und NF-Ausgang vorgenommen. In einem Besselfilter 3. Ordnung wird das Basisfrequenzband anschließend auf etwa 4 kHz begrenzt und dem Allpaß 308 zugeführt. Dieser Allpaß ermöglicht die Einstellung der erforderlichen Soll-Laufzeit im Empfänger.

Nach dem Allpaß 308 wird eine Verzweigung in Daten- und NF-Weg vorgenommen. Der Operationsverstärker 303 verstärkt das Datensignal (DADEMI) auf einen Pegel von 2 V (Spitze-Spitze) und übergibt es an die Baugruppe Audio-Interface. Das NF-Signal (NFEMPFAUS) gelangt bei durchgeschaltetem Transistor 276 zum Operationsverstärker 307, der es auf 860 mV (Spitze-Spitze) verstärkt. Der Transistor 276 wirkt dabei als Schalter, der mit Hilfe der Steuerschaltung ermöglicht, kurzzeitige Störgeräusche zu unterdrücken (Squelch-Einrichtung).

3.1.6 Squelch-Einrichtung

Die Squelch-Einrichtung (Rauschunterdrückung) besteht aus dem Feldeffekttransistor 276 und einer zugehörigen Steuerschaltung. Die Steuerschaltung besteht aus dem Bandpaß 307 und der nachfolgenden Gleichrichtung (Transistor 282). Damit wird der Rauschanteil oberhalb des Basisbandes bei etwa 12 kHz zum Steuersignal ausgewertet.

Der parallele Widerstand 75 verhindert, daß bei gesperrtem Transistor 276 der NF-Weg völlig abgeschaltet wird.

Durch die Squelch-Einrichtung wird eine Verbesserung der Sprachverständlichkeit erreicht. Kurzzeitige Störgeräusche, verursacht durch Feldstärkeeinbrüche oder Zündfunkenstörungen, werden "gedämpft", wobei die Verbindung noch als bestehend erkennbar bleibt.

Über den Eingang SQEI läßt sich die Squelch-Einrichtung ein- oder ausschalten.

3.2 Synthesizer S42024-H168-....

Der Synthesizer (siehe Bild 5) erzeugt im Sprechkanal die Umsetzfrequenz für Modulator und Empfänger.

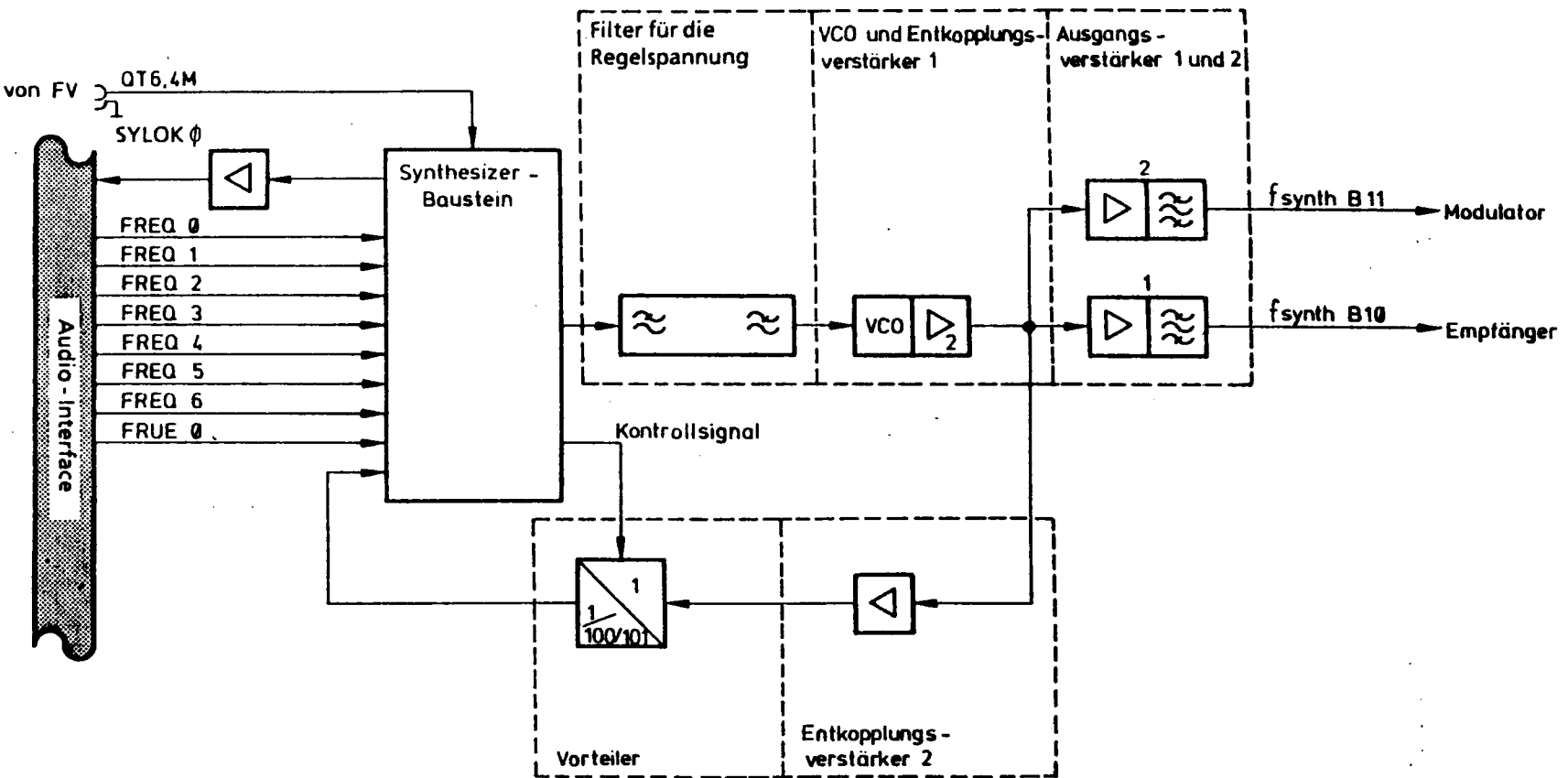


Bild 5 Übersichtsschaltplan Synthesizer

Die Frequenz des Synthesizers ist durch ein 8-bit-Wort in Schritten von 10 kHz oder 12,5 kHz im Frequenzbereich von 428,6 MHz bis 434,34 MHz einstellbar. Der Signalpegel für das 8-bit-Wort beträgt +5 V. Nach Einstellung der gewünschten Frequenz geht das Signal - SYLOK0 auf "1".

Der Synthesizer benötigt die externe Zuführung der Referenzfrequenz von 6,4 MHz.

3.2.1 Prinzip Synthesizer

Bild 6 zeigt in vereinfachter Darstellung die indirekte Frequenzsynthese, wie sie im Synthesizer verwendet wird.

Der Frequenzteiler T2 dient zum Einstellen des Kanalrasters (10/12,5 kHz).

Die Ausgangsfrequenz F_k stellt die Referenz für die Phasenbrücke (Phi) dar.

Der VCO ist ein spannungsgesteuerter Oszillator, der die Frequenzen von 428,6 MHz bis 434,34 MHz erzeugt. Der programmierbare Teiler T1 muß so eingestellt werden, daß $n \times F_k$ die gewünschte Frequenz F_{syn} ergibt. Am Ausgang der Phasenbrücke entsteht die Gleichspannung X, die proportional der Phase von $F_k / (F_{syn}/n)$ ist. Die Oberwellen der Frequenz F_k werden mit dem Filter Phi unterdrückt.

Die Gleichspannung X dient als Steuersignal für den Oszillator und steuert diesen solange nach, bis F_k und (F_{syn}/n) gleich sind.

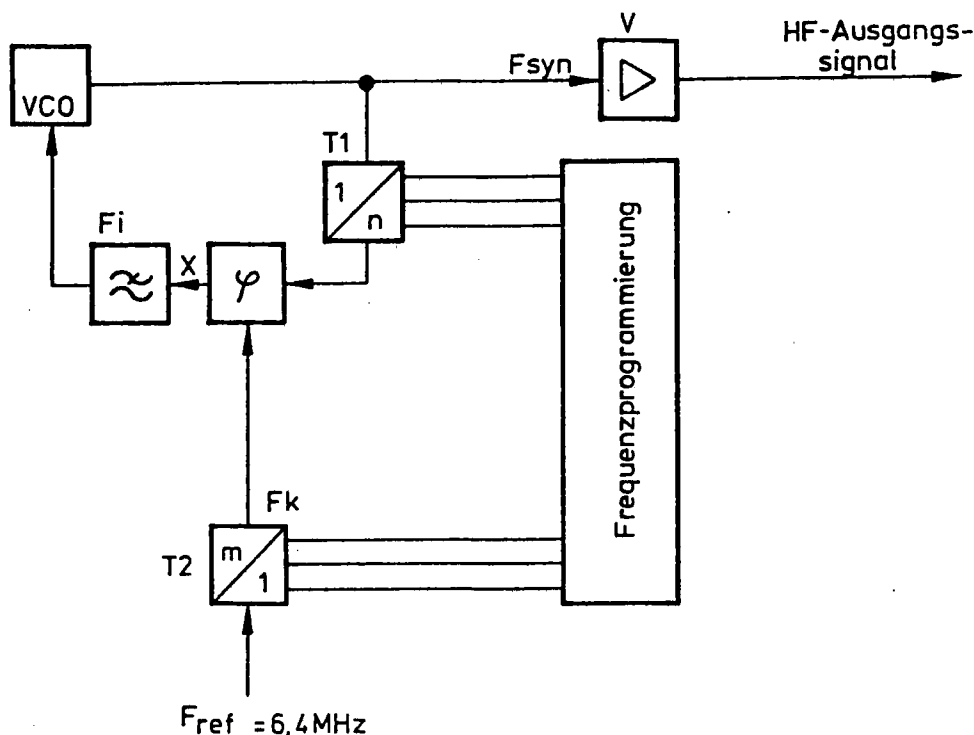


Bild 6 Prinzip Synthesizer

3.2.2 Synthesizer-Baustein und Vorteiler

In den Synthesizer-Baustein (Bild 7) integriert sind die Frequenzteiler für die Referenz (12-bit-R-Teiler) und ein Teil der Frequenzteiler, die die Ausgangsfrequenz auf die benötigte Rasterfrequenz von 10 kHz oder 12,5 kHz teilen. Außerdem sind zwei Phasendetektoren, ein Lockdetektor, eine Kontrollogik zur Steuerung eines externen Vorteilers und eine Programmierlogik enthalten.

Der 7-bit-A-Teiler, der 10-bit-N-Teiler, die beiden externen Bausteine 552, 553 sowie die Kontrollogik bilden den vollständigen Frequenzteiler für das HF-Ausgangssignal (f-synth B10). Die Bausteine 552, 533 bilden einen 100/101-Vorteiler, der mit dem Kontrollsignal definiert umgeschaltet wird.

Die Frequenzprogrammierung (Signale **FREQ0** bis 6 von der Baugruppe Audio-Interface) geschieht an den Eingängen **D0** bis **D3**, **A0** bis **A2** und **St** (Signal **FRUE0**). Die Adresseneingänge **A0** bis **A2** wählen die Speicher (**S0** bis **S7**) aus, die die Daten von **D0** bis **D3** empfangen sollen. Mit dem Signal **FRUEI0** wird am Eingang **St** der Übernahmezeitpunkt bestimmt.

Zur Gewinnung der Steuerspannung für den Oszillator stehen zwei Phasendetektoren (**A**, **B**) zur Verfügung, von denen der Phasendetektor **A** verwendet wird. Die Ausgangsspannung des Phasendetektors dient zum Ansteuern des Oszillators.

Die Widerstände 22, 28, 29, 30 und die Kondensatoren 203, 208, 229 und 230 bilden vier in Serie geschaltete Tiefpässe. Die Widerstände 24, 26 und der Kondensator 205 dienen zur Stabilisierung des Regelkreises (Lag-Glieder). Die Tiefpässe unterdrücken die Referenzfrequenz und deren Oberwellen.

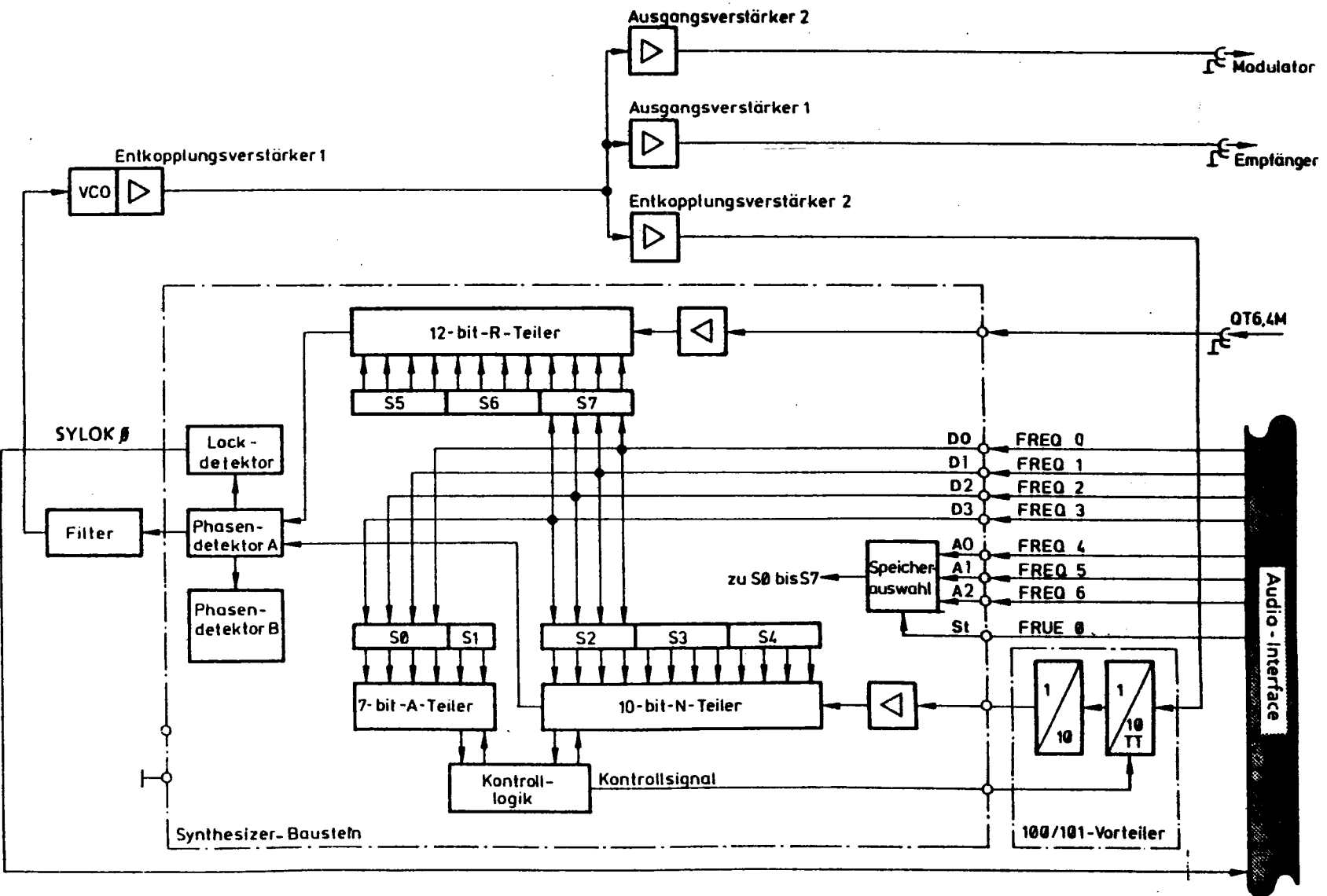


Bild 7 Übersichtsschaltplan Synthesizer-Baustein

3.2.3 Oszillator (VCO) und Entkopplungsverstärker 1

Der spannungsgesteuerte Oszillator (VCO) besteht im wesentlichen aus dem Feldeffekttransistor 507 sowie dem Rückkoppelnetzwerk 235, 236. Die Schwingkreisspule besteht aus einem 20 mm langen Kupferdraht auf den Stützpunkten A, B, C.

Mit den beiden Kapazitätsdioden 472 und 473, die über die Kondensatoren 231, 232, an den Schwingkreis angekoppelt sind, läßt sich der Oszillator in seiner Frequenz verändern. Um Rückwirkungen vom Ausgang und von den Frequenzteilern möglichst gering zu halten, ist ein zweistufiger Entkopplungsverstärker (Transistoren 508, 509) erforderlich.

Das Dämpfungsglied (Widerständen 63, 64 und 65) dient zum Erhöhen der Entkopplung und zum Anpassen der Ausgangsleistung. Um die Störmodulation, bedingt z.B. durch mechanische Erschütterung, klein zu halten, befinden sich der VCO und beide Stufen in einem fest umschlossenen Gehäuse.

3.2.4 Entkopplungsverstärker 2

Der hochfrequente Teiler 553 wird vom Verstärker mit dem Transistor 505 angesteuert. Der Verstärker ist beidseitig mit einem Dämpfungsglied abgeschlossen, um den Pegel am Teiler 553 anzupassen. Der Entkopplungsverstärker 2 hält Nebenwellen, die im Frequenzteiler entstehen, vom Oszillator fern.

3.2.5 Ausgangsverstärker 1 und 2

Der Ausgangsverstärker 1 besteht aus den Transistoren 513 und 517.

Die Verstärkung beträgt etwa 14 dB, die Ausgangsleistung liegt zwischen 50 mW und 100 mW. Die Transistoren 511 und 515 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Um eine Amplitudenmodulation der Endstufe (517) durch überlagerte Störspannungen auf der +10-V-Versorgungsspannung zu verhindern, ist eine einfache Spannungsregelung mit dem Transistor 519 und der Zenerdiode 483 erforderlich. Das Helical-Filter 375 mit Bandfiltercharakteristik unterdrückt Nebenwellen, die in den Frequenzteilern entstehen.

Der Ausgangsverstärker 2 besteht aus dem Transistor 523. Die Ausgangsleistung des Verstärkers liegt zwischen 15 mW und 40 mW. Der Transistor 521 dient zur Arbeitspunktregelung der Verstärkerstufe. Die Zenerdiode 485 unterdrückt Störspannungen, die der +10-V-Versorgungsspannung überlagert sind. Das Helical-Filter 381 erfüllt die gleiche Funktion, wie für Ausgangsverstärker 1 beschrieben.

3.2.6 Spannungsregelung +10 V/+8 V

Für besonders empfindliche Schaltungen und Bauelemente des Synthesizers sind die von der Gestell-Stromversorgung gelieferten Spannungen zusätzlich stabilisiert. Zu den empfindlichen Schaltungen gehören der Oszillator und die Entkopplungsverstärker mit den Transistoren 505, 508 und 509. Die Stabilisierungsschaltung ist mit dem IC554 und dem Transistor 530 aufgebaut.

Der Transistor ist notwendig, um einen möglichst geringen Spannungsabfall an der Stabilisierungsschaltung zu erhalten.

3.3 Modulator S42024-H167-....

Der Modulator (siehe Bild 8) im Funkmodem erzeugt ein frequenzmoduliertes HF-Signal zum Ansteuern der Sendeendstufe.

Das zugeführte Modulationssignal ist ein Sprach- bzw. Wechselstromtelegraphiesignal und ein Datensignal (Signalisierungsdaten).

Das Sprach- bzw. Wechselstrom-Telegraphiesignal wird auf der Baugruppe Audio-Teil zeitkomprimiert. In die hierdurch entstehenden Zeitschlitzte werden auf der Modulatorbaugruppe die Signalisierungsdaten (NRZ-Daten) eingefügt, die zur Verbindungsüberwachung zwischen Basisstation und Teilnehmer benötigt werden.

Der Modulator ist im wesentlichen ein phasengeregelter, modulierbarer Quarzoszillator (VCO), dessen Mittenfrequenz 31,4 MHz beträgt. Um eine Frequenzdrift des Oszillators zu vermeiden, wird er mittels einer Phasenregelschleife an die systemeigene Referenzfrequenz von 6,4 MHz angebunden.

Die Phasenregelschleife besteht aus Phasenvergleichern, steuerbaren Vorteilern, Frequenzverdopplerschaltung, Vorteiler für Referenzfrequenz, aktivem Tiefpaßfilter zur Umwandlung des digitalen Regelsignales in analoge Regelspannung und Überwachungssignalerzeugung bei gerasteter Phasenregelschleife (Signal MODLOK). Für die Modulationssignale ist eine Betriebsartenumschaltung notwendig. Hierzu dienen die Signale SIDATI, SITMOI und DATSE von der Funkkanalsteuerung. Diese Ansteuersignale werden auf der Modulatorbaugruppe decodiert. Die Umschaltung der Modulationssignale wird von integrierten Analogschaltern vorgenommen.

Bei Datenbetrieb steuert das Modulationssignal einen Vorteiler der Phasenregelschleife. Durch diese Maßnahme wird vermieden, daß modulationsbedingte Frequenzänderungen des Oszillators durch die Phasenregelschleife ausgeregelt werden.

Die 31,4-MHz-Zwischenfrequenz wird im Mischer 1 auf die Sendefrequenz (460,0 MHz bis 465,74 MHz) umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz für den Mischer. Ein zweistufiger Verstärker erzeugt den erforderlichen HF-Ausgangspegel.

Betriebsartenumschaltung

Am Eingang NFSPTRDA des Modulators können folgende Nutzschnale anstehen:

- Komprimierte Sprache
- Komprimierte Wechselstromtelegraphie.

Am Eingang DAS des Modulators können folgende Nutzschnale anstehen:

- Signalisierungsdaten (NRZ), 4-bit-Datenblock alle 12,5 ms bei verteilter Signalisierung.
- Signalisierungsdaten (NRZ), konzentriertes Datensignal 5,28 kBaud.

Bei Betrieb im Sprechkanal wird der Datenblock dem auf der Baugruppe Audio-Teil komprimierten Modulationssignal zum Zeitpunkt des Komprimierungsschlitzes zugeschaltet (Bild 9).

Aus der nachfolgenden Tabelle sind Betriebsarten, Zustand der Steuereingänge und der Signalweg des Modulationssignals zu ersehen.

Tabelle Steuerung des Modulationssignals

Betriebsart	Zustand der Steuereingänge			Signalweg (siehe Bild 8)
	SIDATI	SITMOI	DATSE	
komprimierte Sprache bzw. WT	-	0	0	Vom Eingang NFSPTRDA über Schalter S3 und S4.
Signalisierungsdaten	0	1	0	Vom Eingang DAS über Schalter S1, Inverter, Schalter S2, Schalter S4. Über Schalter S5 wird der Vorteiler gesteuert.
Modulation AUS	-	-	1	Schalter S4 trennt alle Signalwege auf. Modulator schaltet auf Mittenfrequenz.

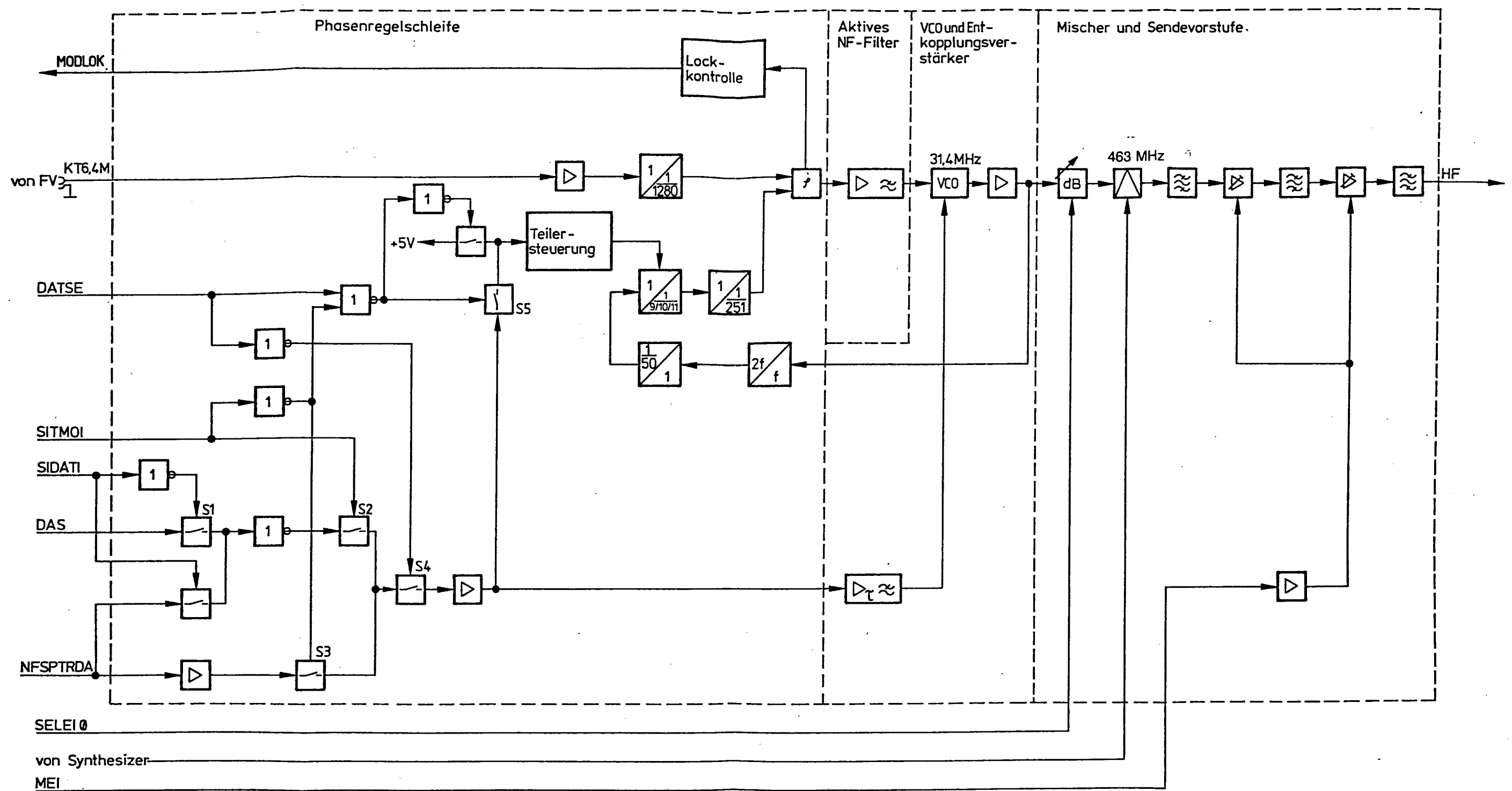


Bild 8 Übersichtsschaltplan Modulator

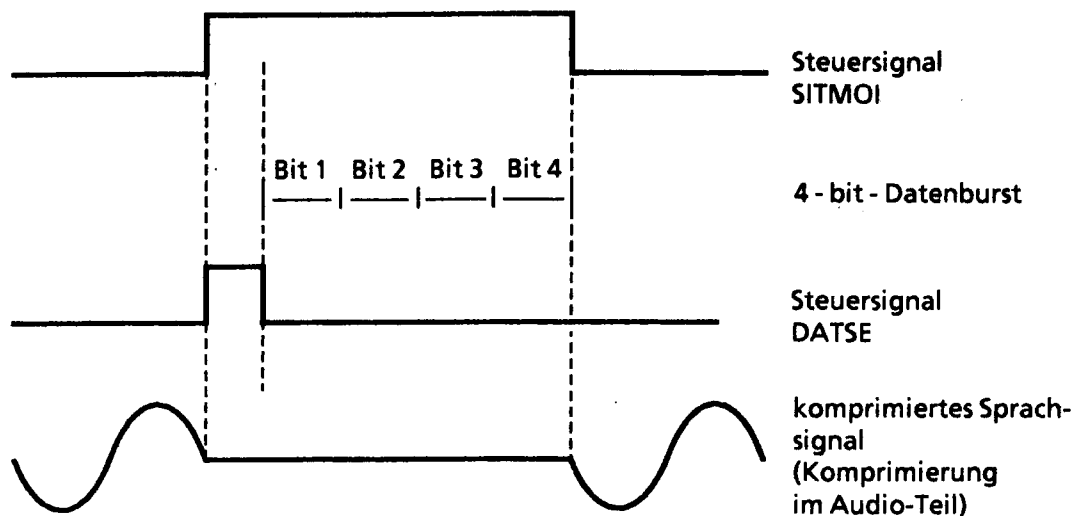


Bild 9 Zuschalten des Datenblocks

3.3.1 Aktives NF-Filter

Das aktive NF-Filter besteht aus den Bausteinen 231, 232, den Widerständen 25 bis 33 und den Kondensatoren 111 bis 121. Das Filter ist lauffzeitgeebnet (Besselcharakteristik), es hat die Aufgabe die Frequenz der ankommenden Modulationssignale zu begrenzen. Das Datensignal und das im Audio-Teil amplitudenbegrenzte Sprachsignal würden ohne Frequenzbegrenzung eine unzulässig große Störung im Nachbarkanal hervorrufen.

Die Gruppenlaufzeit des Filters läßt sich mit Widerstand 26 abgleichen. Für die Entfernungsmessung zwischen Mobil- und Teststation ist es wichtig, daß die Gruppenlaufzeit des Filters und damit die des Modulators konstant bleibt.

3.3.2 Oszillator (VCO) und Entkopplungsverstärker

Der spannungsgesteuerte Oszillator (VCO) besteht aus dem Feldeffekttransistor 212, dem Quarz 252 und den Rückkopplungskondensatoren 128, 129. Über die Spulen 181, 182 und den Koppelkondensator 122 ist die Kapazitätsdiode 202 angekoppelt.

Am Ausgang des aktiven NF-Filters (IC 232, Pin 7) steht das Modulationssignal (Sprache/WT oder Daten) für die Frequenzmodulation des Oszillators zur Verfügung.

Die am Ausgang der Phasenregelschleife (IC 240, Pin 6) anliegende Regelspannung gelangt über die Kapazitätsdiode 203 und den Koppelkondensator 123 zum Oszillator. Die Spannung regelt die Phase des 31,4-MHz-ZF-Signals.

Um Rückwirkungen vom Ausgang des Modulators auf den Oszillator möglichst gering zu halten, ist der Entkopplungsverstärker (Transistor 213) nötig. Der Ausgangspegel des Oszillators mit Entkopplungsverstärker ist mit Widerstand 94 einstellbar.

Temperaturbedingte Änderungen des Pegels werden mit dem Heißeiter 311 ausgeglichen.

3.3.3 Modulationsgesteuerte Phasenregelschleife

Der Oszillator (VCO) wird mittels einer Phasenregelschleife, die ihre Referenzfrequenz (6,4 MHz) vom Frequenzverteiler erhält, geregelt.

Die Phasenregelschleife besteht aus einem einstellbaren Vorteiler (IC 239), einem digitalen Frequenzaufbereitungsbaustein (IC 238) und einem aktiven Tiefpaß (IC 240) zum Erzeugen der analogen Regelspannung für den VCO.

Die Phasenregelschleife regelt langsame Frequenzänderungen aus, die durch Temperaturschwankungen und Alterung des VCO auftreten.

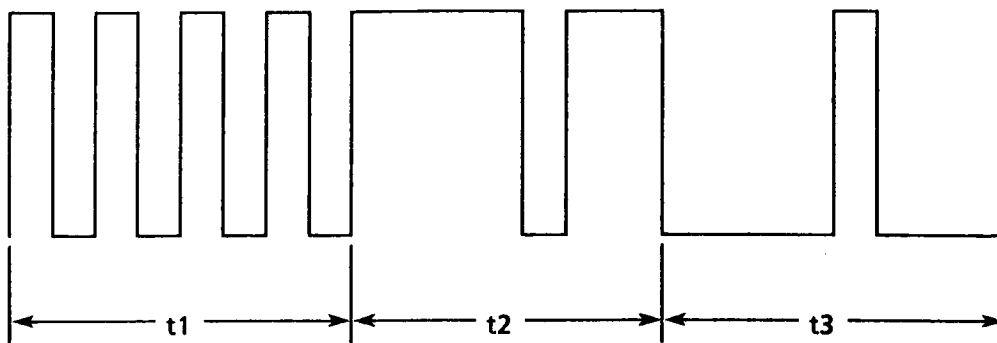


Bild 10 Modulation des 31,4-MHz-Oszillators (Beispiel)

Wird das dargestellte Signal (Bild 10) auf die Modulationsdiode gegeben, ergibt sich während

- t1: Symmetrischer Wechsel der Oszillatorfrequenz um die Mittenfrequenz von 31,4 MHz ($31,4 \text{ MHz} \pm 2,5 \text{ kHz}$).
- t2: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} + 2,5 \text{ kHz}$ an.
- t3: Die Oszillatorfrequenz nimmt häufiger den Wert $31,4 \text{ MHz} - 2,5 \text{ kHz}$ an.

Unter der Voraussetzung, daß t_2 und t_3 größer sind als die Einschwingzeit der Phasenregelschleife, wird die Nutzmodulation durch die Phasenregelschleife ausgeregelt. Dies wird durch eine Steuerlogik (Bausteine 227, 230 und 234 bis 236) vermieden, die in Abhängigkeit vom Modulationssignal die programmierbaren Teiler der Phasenregelschleife so umschaltet, daß das Modulationssignal nicht mehr beeinflußt wird.

Die steuerbaren Vorteiler IC239 und Hauptteiler IC237 der Phasenregelschleife arbeiten nach dem Swallow-Teiler Prinzip. Für das störungsfreie Arbeiten der modulationsgesteuerten Umschaltung der Zähler ergibt sich die Forderung, daß die Vergleichsfrequenz am Phasenvergleichler (in IC 238) höher ist als die höchste Bitfrequenz des Datensignals. Im Modulator beträgt die Vergleichsfrequenz 5 kHz (höchste Bitfrequenz = 2,64 kHz). Da die Vergleichsfrequenz den Frequenzhub bei Datenmodulation bestimmt und dieser $\pm 2,5$ kHz betragen soll, ist zwischen dem Ausgang der Oszillatorstufe und dem Eingang des Vorteilers (IC 239) eine Frequenzverdopplerstufe geschaltet und damit die o.g. Bedingung erfüllt.

Der Frequenzverdoppler arbeitet nach dem Prinzip der Doppelweggleichrichtung. Wesentliche Bauteile sind der Balun-Trafo 198 zum Erzeugen eines symmetrischen 31,4-MHz-Signals und die Dioden 206, 207 zur Gleichrichtung. Am Summationspunkt der Dioden entsteht das 62,8-MHz-Signal.

3.3.4 Mischer und Sendevorstufe

Das frequenzmodulierte 31,4-MHz-Signal wird im Hochleistungs-Ringmischer 233 auf die Sendefrequenz umgesetzt. Die Baugruppe Synthesizer liefert die Umsetzfrequenz mit einem Pegel von etwa 17 dBm. Der Mischer 233 wird mit hohem Eingangspegel betrieben (+ 8 dBm); dies wirkt sich günstig auf das Weitabrauschen (5-MHz-Trägerabstand) aus. Darauf folgt die Sendevorstufe mit den Transistoren 215, 218; die Ausgangsleistung beträgt + 13 dBm. Die Transistoren 214, 217 dienen zur Arbeitspunktregelung der beiden Verstärkerstufen. Die Helical-Filter 246, 247 und 248 unterdrücken unerwünschte Nebenwellen.

Der Ausgangspegel läßt sich mit einem Steuersignal (MEI) aus der Funkkanalsteuerung um etwa 65 dB absenken. Die Pegelabsenkung wird mit zwei Schaltungen bewirkt. Mit dem Schalttransistor 216 wird der Arbeitspunkt der zwei Verstärkerstufen so verschoben, daß die Transistoren gesperrt sind. Zusätzlich bilden die Transistoren 222, 223 und die Dioden 208, 209 ein schaltbares Dämpfungsglied.

3.4 Audio-Teil S42024-H381-...

Das Audio-Teil (Bild 11) hat in den Sprechkanälen der Basisstation folgende Aufgaben :

- Die von der Drahtseite kommenden Nutzsignale (Sprache, Wechselstromtelegraphie) für den Sendezweig der Basisstation aufzubereiten.
- Die vom Empfänger kommenden Nutzsignale (Sprache, Wechselstromtelegraphie) für die Drahtseite aufzubereiten.
- Die von der Steuerung bestimmten Betriebsarten durch Umschalten auf unterschiedliche Signalwege zu realisieren.

Die Signalaufbereitung besteht im wesentlichen aus folgenden Teilen:

Sprache und Wechselstromtelegraphie

Amplituden-Frequenzgangkorrektur durch Pre- und Deemphasis bei "Sprache klar".

Dynamik-Komprimierung und -Expandierung: dabei handelt es sich um eine Dynamikkompression des Sendesignals von 2 zu 1 (z.B. von 60 dB auf 30 dB) und eine Dynamikexpansion des Empfangssignals von 1 zu 2 (z.B. von 30 dB auf 60 dB); für Meßzwecke über DYNKOMP (siehe Diagnosestecker der CPU) abschaltbar.

Sendeseitige Signalamplitudenbegrenzung, um den Modulationsspitzenhub von ± 4 kHz nicht zu überschreiten.

Verschleierter oder klarer Sprachbetrieb, durch Zu- bzw. Abschalten einer Invertierungs- bzw. einer Reinvertierungsschaltung. Dabei handelt es sich um die Spiegelung des Sprachbandes von 300 Hz bis 3 kHz an einem Hilfsträger von 3,3 kHz (Signal S1S bzw. S2S und S1E bzw. S2E in folgender Tabelle).

Zeitkomprimierung auf der Sendeseite, um einen Zeitschlitz zu erzeugen, in den im Modulator Signalisierungsdaten eingefügt werden. Zeitexpandierung auf der Empfangsseite zum Beseitigen des vorher beschriebenen Zeitschlitzes. Diese Maßnahme ermöglicht Signalisierungsdaten (NRZ), die zur Verbindungsüberwachung notwendig sind, ohne zusätzlichen Schaltungsaufwand (Umformer, Hilfsträger) zu übertragen.

Spezielle Betriebsarten

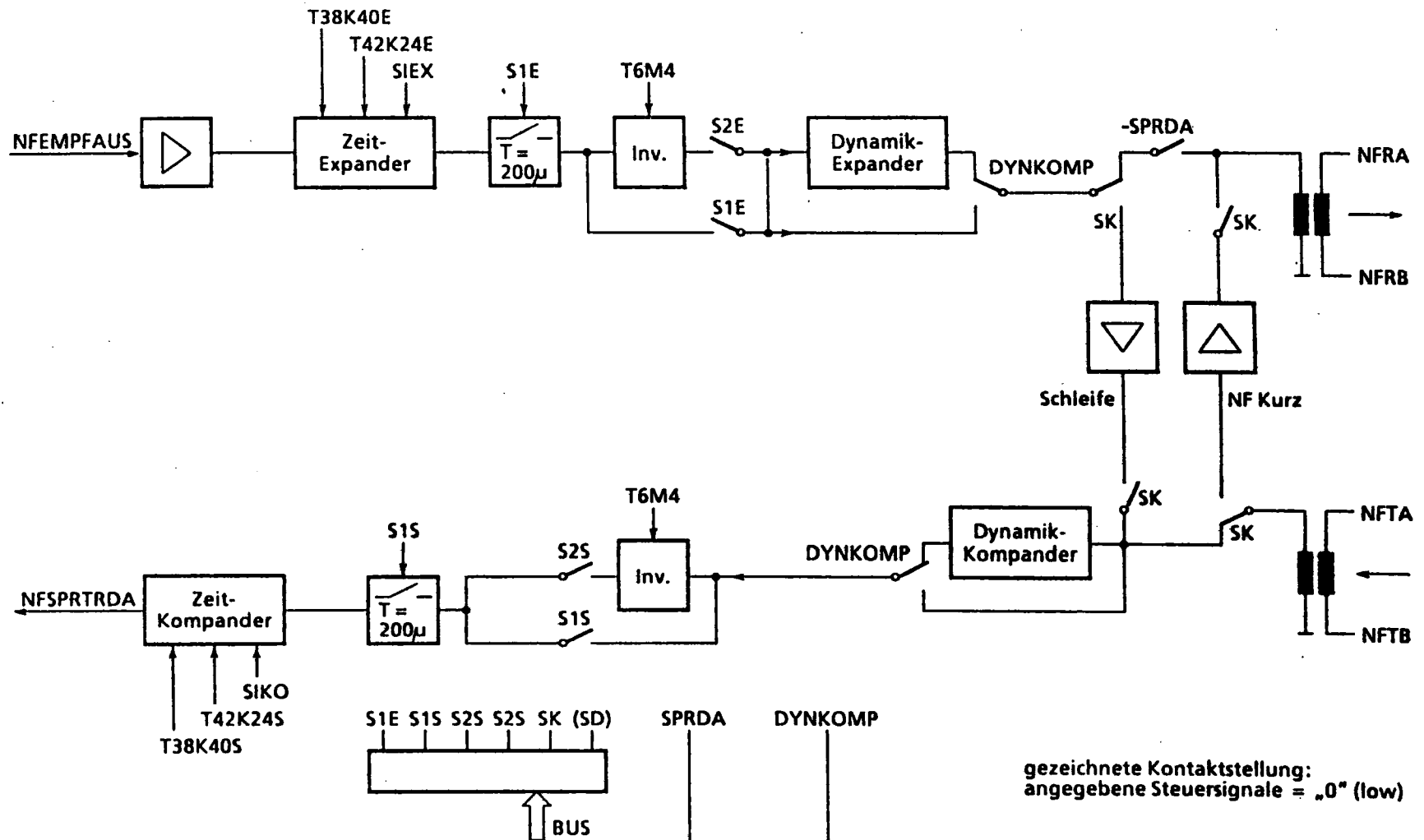
Continuity Check

Zum Überprüfen der Verbindung MSC-Sprechkanal.

NF-Schleifentest (NF-Schleife) für Testzwecke, in Verbindung mit dem Prüffunkgerät.

Sprach- bzw. WT-Test

Bild 11 Übersichtsschaltplan Audio-Teil



Beide Betriebsarten werden mit dem Signal SK (siehe folgende Tabelle) gleichzeitig realisiert.

Referenzfrequenz 6,4 MHz (Koaxialeingang)

Die Referenzfrequenz wird auf der Baugruppe Audio-Teil verstärkt und dem integrierten Filter- und Invertierungsbausteinen als Taktfrequenz zugeführt. Außerdem wird die Referenzfrequenz über ein Anpaßglied den Steuerungsbaugruppen zugeführt.

Betriebsarten (BART 0-5)

Die Betriebsarten werden mittels Schreibbefehl -WRX0 per Programm (Adresse FFX0) in ein Latch geschrieben: Belegung der Bits: BART 0-5 auf Bit 0-5, Bit 6 und 7 unbenutzt. Über Pegelumsetzer gelangen die Signale, sowohl normal als auch invertiert, zu den einzelnen Schaltern, siehe folgende Tabelle.

	Befehle aus der Steuerung				
Bezeichnung der Steuereingänge	BART0 (S1S)	BART2 (S2S)	BART3 (SK)	BART4 (S1E)	BART5 (S2E)
Sprache klar					
Senden	H	L	L	L	L
Empfangen	L	L	L	H	L
Sprache invertiert					
Senden	L	H	L	L	L
Empfangen	L	L	L	L	H
Continuity Check	L	L	H	L	L
NF-Schleifentest					
Continuity Check und Sprache klar	H	L	H	H	H
Continuity check und Sprache invertiert	L	H	H	L	H

Signal BART 1 = L

4 Funkkanalsteuerung

4.1 CPU S42025-H418-*1 + Software S42025-H432-A150

Die CPU-Baugruppe (Bild 12) wird in allen Einsätzen der Funkperipherie in der Basisstation verwendet. Der Rechner übernimmt Aufgaben der Betriebs-, Vermittlungs-, Funk- und Sicherheitstechnik, die innerhalb des jeweiligen Systems über die Schnittstellen zur Funkdatensteuerung und der Funkebene abgewickelt werden.

Dazu gehören folgende Aufgaben:

- Steuerung des Datendialoges über serielle Schnittstelle zur FDS und die Funkchnittstelle (Datensicherungsverfahren).
- Verarbeitung der Empfangskriterien aus der Rechnerperipherie (Feldstärke, Jitter, Offset, Phasenlage, Entfernungsbewertung).
- Steueranweisungen und Einstellungen für das Funkgerät (Synthesizer, Sendeleistung, Offsetkorrektur).
- Auswerten und Umsetzen der internen Störungssignalisierungen.

Die Baugruppe enthält folgende Funktionseinheiten, die in den einzelnen Unterabschnitten näher erläutert sind:

- 80C85 Prozessor
- Speicherbereich
EPROM: Grundbereich 16k, zwei Bänke à 32k
RAM: 8k
- USART für serielle Schnittstelle
- TIMER für Interrupterzeugung
- zwei VLSI-Bausteine mit den Funktionen:
Erzeugen aller Takte für Funkkanalsteuerung und Funkgerät.
Erkennen des Zeitbezugs aus den empfangenen Signalisierungsdaten (Korrelationsempfänger).
Aufbereiten der Signalisierungsdaten (Codieren) zum gesicherten Aussenden.
Empfangen der Signalisierungsdaten mit Fehlerkorrektur (Decodieren).

Ermitteln der Signalgüte der empfangenen Signalisierungsdaten.

Messen des Geräuschabstandes (Jittermesser).

Messen der Gleichspannungsablage des Analogsignals und Ausgabe des Offsetkorrekturwertes.

Entfernungsmessung

Fehlerüberwachung

fehlendes Setzsignal

Fehler Sendeteilerkette

Synchronlauf Sende- und Empfangsbaustein

Watchdog.

Die CPU-Baugruppe hat einen Diagnosestecker, dessen Belegung für alle in der Basisstation verwendeten Rechnersysteme gleich ist. Der Diagnosestecker enthält den gepufferten Adressen-, Daten- und Steuerbus für den Betrieb des Prozeßverfolgers sowie auch die ungepufferten Anschlüsse des CPU-Bausteines (für externen Betrieb mit dem ICE).

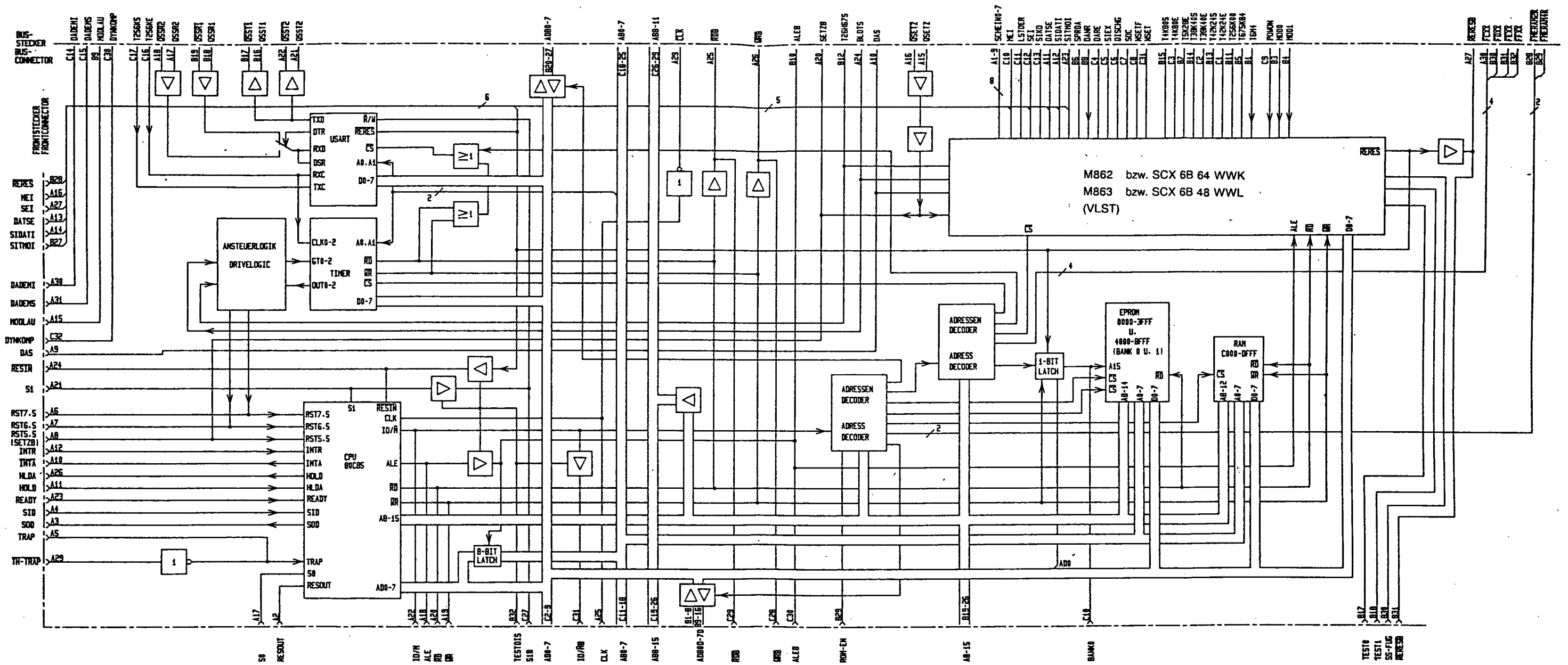


Bild 12 Übersichtsschaltplan CPU

4.1.1 CPU-Baustein 80C85, Adressen-, Daten- und Steuerbus

Bild 13 zeigt die einzelnen Steuersignale der CPU, die vom 80C85-Baustein zu den Steckern sowie zu den Funktionseinheiten geführt werden.

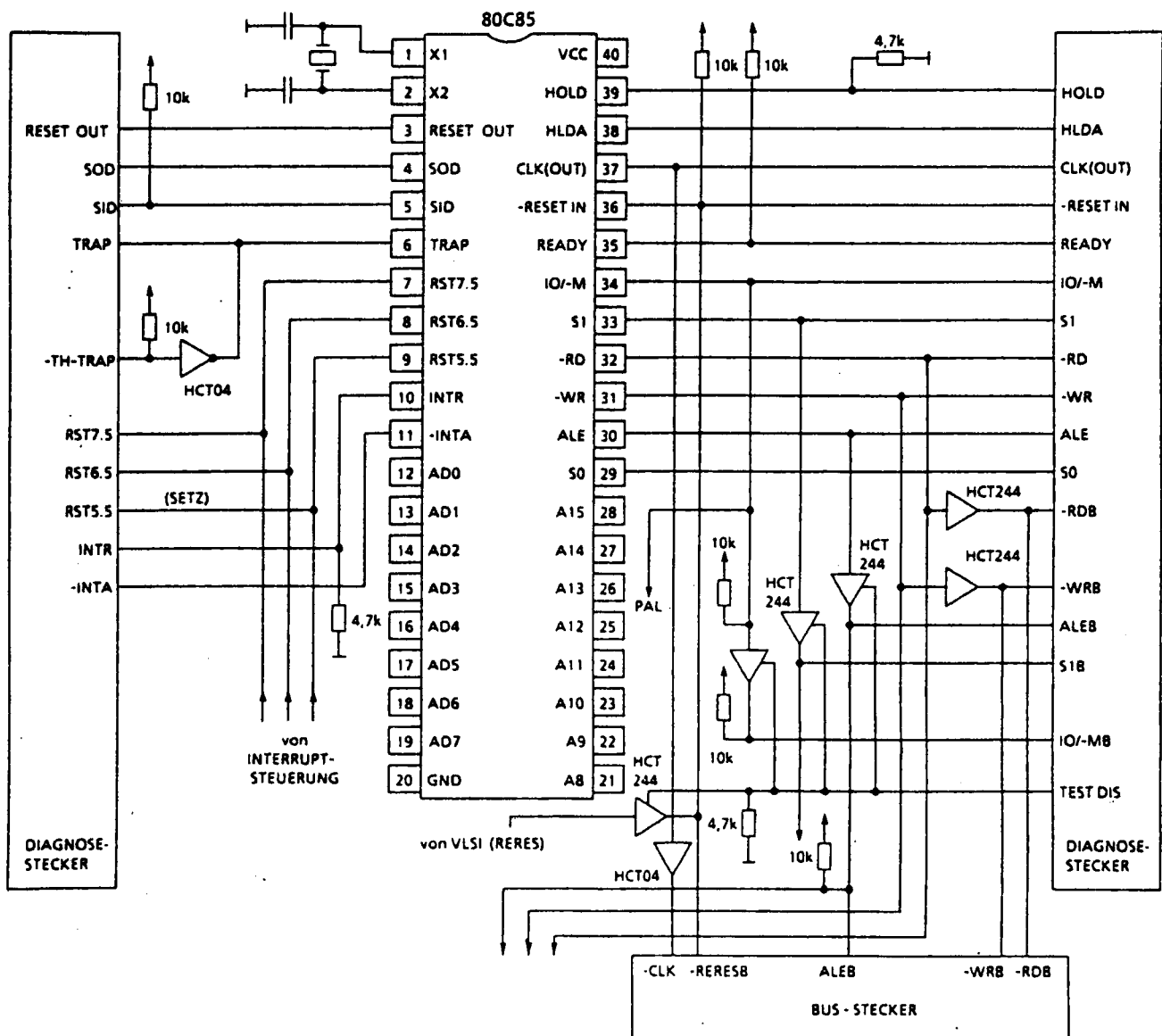


Bild 13 "80C85"- Steuersignale

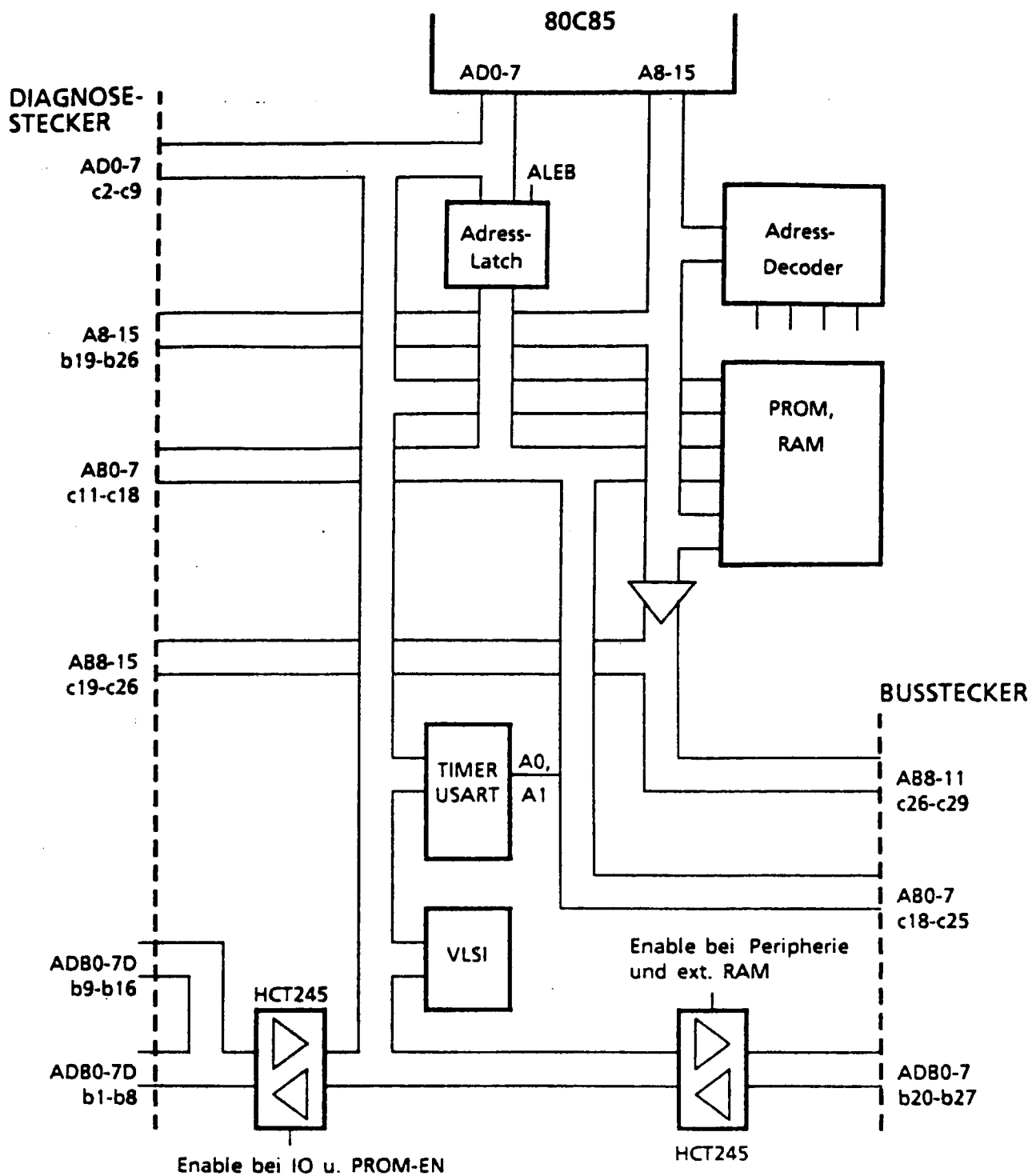
Wie Bild 13 zeigt, sind alle CPU-Signale grundsätzlich direkt zum Diagnosestecker geführt, da ja über diesen der Betrieb eines ICE (z.B. mit Hilfe des ICE-B-Adapters) möglich sein muß. Eingangsleitungen (also Leitungen mit Signalen, die zur 80C85 gehen) sind je nach Erfordernis mit einem Pull-up- oder einem Pull-down-Widerstand versehen, um definierte Pegel zu erreichen, wenn der Diagnosestecker nicht benützt ist (SID = "1", INTR = "0", HOLD = "0", READY = "1", -TH-TRAP = "1"). Um einen TRAP auszulösen, muß der Eingang -TH-TRAP benutzt werden.

Ein Teil der Signale wird gepuffert (über HCT244) weitergeführt, sowohl auf den Diagnosestecker (zusätzlich zu den ungepufferten), als auch auf den Busstecker (Buchstabe B nach dem Signalnamen bedeutet "gepuffert": ALEB, -WRB, -RDB, RERESB).

Das Signal RERESB (identisch mit dem RESET IN des 80C85) wird vom VLSI-Sende baustein erzeugt (als RERES, geführt über einen Treiber HCT244). Außerdem wird noch das CLK-Signal der CPU zum Busstecker geführt, allerdings über einen Inverter HCT04 und ein RC-Glied (Verringern der Flankensteilheit um Störeinflüsse zu vermindern). Auf der Baugruppe selbst werden benötigt: ALEB, -RD, -WR, S1B, IO/-M für Speicher und Peripherie.

So wie für die Steuerleitungen, gilt auch hier, daß die Adressen- und Datenleitungen AD0-7 und A8-A15 des 80C85 direkt auf den Diagnosestecker geführt sind.

Bild 14 zeigt, in welcher Weise die gepufferten Busleitungen weitergeführt sind. Die Datenleitungen (ADB0-7) zum Busstecker sind über einen bidirektionalen Treiber HCT245 geführt, dessen Richtung durch das RD-Signal gesteuert wird. Der Treiber wird mittels Adressenbereichs-Auswahl-Signal aus einem PAL-Baustein aktiviert.



A.....Adr. Bus
 AD...Adr. - Datenbus
 AB....Adr. Bus, gepuffert
 ADB.Adr. - Datenbus, gepuffert

Bild 14 Schema der Adressen- und Datenleitungen

Die Datenleitungen für den Diagnosestecker sind ebenfalls über einen HCT245 (IC 39) geführt. Die Richtungssteuerung wird wieder mit dem RD-Signal vorgenommen. Ein Signal vom PAL (IC 32/19) sorgt wieder für die Aktivierung (Bereich 0-FF, IO adressiert und bei PROM-EN von 0-BFFF, Memory adressiert).

Eine grobe Adressendecodierung für die einzelnen Komplexe wird zunächst mit dem PAL (IC 32) vorgenommen, das die Signale IO/-M, ROM-EN und die Adressenleitungen A10-A15 entsprechend decodiert. ROM-EN ist ein Signal, das vom Diagnosestecker kommt und von außen – z.B. auf dem CPU-Adapter – auf "0" gelegt werden muß, wenn anstelle des Speichers auf der CPU-Baugruppe ein externer Speicher (z.B. auf dem CPU-Adapter) benutzt werden soll. Die IO/-M-Leitung sorgt dafür, daß mit IO-Befehlen nur Peripherie, die am Diagnosestecker angeschlossen ist, angesprochen werden kann.

4.1.2 Speicher

Der PROM-Bereich ist unterteilt in einen Grundbereich von 0000 bis 3FFF (auf IC-Platz 36 ist dafür ein 16k-EPROM eingesetzt; es kann auch ein 32k-EPROM gesteckt werden, allerdings muß das Programm auf der oberen EPROM-Hälfte stehen) und in den Bankbereich.

Der Bankbereich 4000-BFFF wird mittels Bankumschaltung doppelt verwendet. Als Speicherbaustein dient ein 64k-EPROM (IC 35). Die Bankumschaltung wird durch Schreiben einer "0" (für Bank 0) oder einer "1" (für Bank 1) auf Adresse FB00, Bit 0 durchgeführt. Wird die Bankumschaltung nicht benutzt, so ist auch ein 32k-EPROM verwendbar. Es muß jedoch auf Bank 1 geschaltet werden, damit $V_{pp} = \text{high}$ ist (siehe Baustein-Spezifikationen).

Um ein gegebenenfalls extern auf dem CPU-Adapter gelegenes EPROM (oder RAM) ebenfalls bankmäßig ansteuern zu können, wird das Bankumschaltesignal ("Bank 0") auch auf den Diagnosestecker geführt, und zwar invers.

Der RAM-Bereich liegt von C000 bis DFFF.

4.1.3 Interruptsteuerung

Standardmäßig werden die Interrupts RST5,5, RST6,5 und RST7,5 verwendet. Der TRAP kann über den Diagnosestecker für Testzwecke benützt werden.

Der RST5,5 wird durch das Setzsignal ausgelöst, das über den Empfangsbaustein SN75173 aus der Gestellverdrahtung (vom Frequenzverteiler) kommt.

Der RST6,5 tritt im Blockraster auf: mit steigender Flanke des Signals BLOTS ("Blocktor senden" aus VLSI, zu Beginn Bit 191 Sendeteilerkette) wird der Interrupt gesetzt, mit steigender Flanke des Taktes T26H67S (aus dem VLSI) – das ist zu Blockwechsel – wird er wieder zurückgenommen (siehe Bild 15).

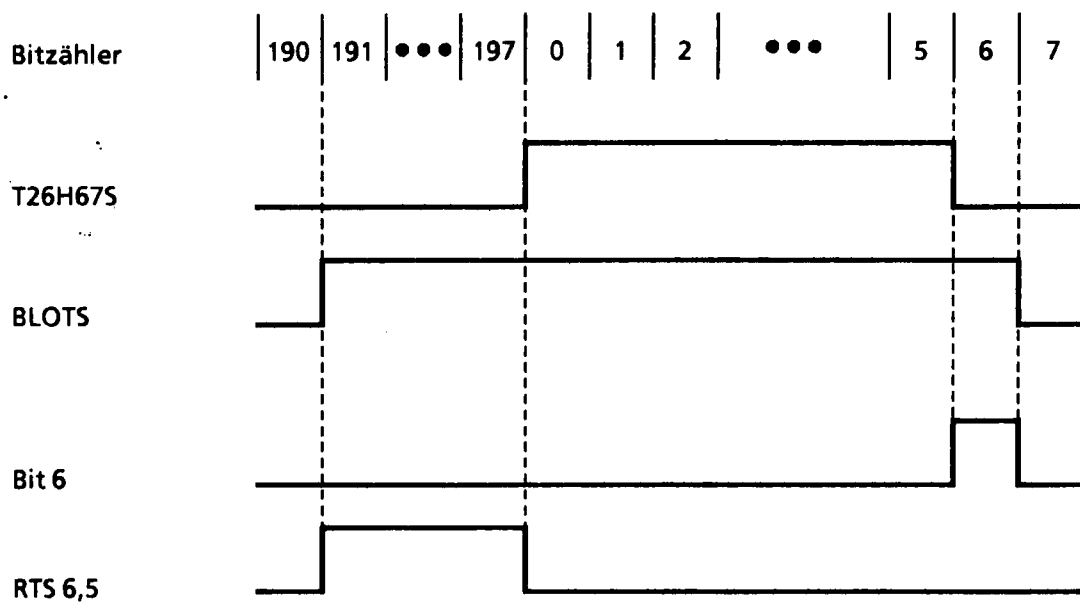


Bild 15 Interrupterzeugung

Der RST7,5 wird mit Hilfe des Timerbausteins 82C54 erzeugt. Durch entsprechende Programmierung des Bausteins werden bis zu drei verschiedene Interrupts RST7,5 während eines Blockes generiert.

Der Timer wird mit den Adressen FA00 bis FA03 adressiert.

4.1.4 Serielle Schnittstelle

Der Datenaustausch über die serielle Schnittstelle zur Funkdatensteuerung geschieht innerhalb eines Funkblocks (37,5 ms) in jeweils zeitprogrammierten Sende- und Empfangsschlitzten. Die Datengeschwindigkeit innerhalb dieser Signalisierungsbursts beträgt 256 kBd. Für den Datenaustausch auf dieser Schnittstelle wird der USART Baustein 2661, für die Festlegung des Zeitpunktes dieses Dialogs der Baustein 82C54 eingesetzt, der am Rechner einen Interrupt (RST7,5) erzeugt (siehe Abschnitt 4.1.3). Der Baustein 2661 wird mit einer Bitrate von 256 kBd synchron mit dem Empfangstakt T256KE und dem Sendetakt T256KS aus der Interfacekarte betrieben. Der Sendetakt T256KS hat einen Vorlauf, der ungefähr die doppelte Laufzeit der Verbindungskabellänge ausmacht (fest eingestellt), so daß in der Funkdatensteuerung für Sende- und Empfangseinrichtung derselbe 256-kHz-Takt verwendet werden kann. Als Adressenbereich für den USART wird F900-F903 verwendet.

Die beiden Treiberbausteine (im 74ALS1631N) werden parallel vom USART angesteuert; für die Empfangseinrichtung sind es ebenfalls zwei Bausteine (im SN75173). Je nachdem, welche der beiden FDS in Betrieb ist, wird über die DTR-Leitung der eine oder der andere Baustein zum USART durchgeschaltet.

4.1.5 VLSI-Bausteine

Die beiden 48poligen C-MOS-Bausteine M862 bzw. SCX6B64 WWK und M863 bzw. SCX6B48 WWL (mit VLSI-Baustein bezeichnet) enthalten wesentliche Funktionen der Funkkanalsteuerung. Sie haben eine 8085-kompatible Busschnittstelle, die die Signale AD0-7 (8-bit-Adressen-Daten-Bus), ALE (Adress Latch Enable), -RD (Read), -WR (Write) umfaßt. Mit Hilfe des Decoderbausteins (HCT138) auf der CPU wird das Chip-Select-Signal (-CS) erzeugt, das den Ansprehbereich der VLSI-Bausteine auf F800 bis F8FF festlegt. Die niederen acht Adressenbits werden mit Hilfe des ALE-Signals über AD0-7 in die VLSI-Bausteine gespeichert.

Die Pins MOD0, MOD1 sowie TEST0 und TEST1 legen die Betriebsarten der Bausteine fest. Für den OSK liegen MOD0 und MOD1 auf "0". TEST0 und TEST1 sind "0" bei Normalbetrieb. Für Testzwecke kann mit TEST0 = 0 und TEST1 = 1 die verteilte Signalisierung abgeschaltet werden (geschieht über den Diagnosestecker mit Hilfe des CPU-Adapters).

Das Bild 16 zeigt die wesentlichsten Funktionsblöcke der VLSI-Bausteine. Alle Funktionsblöcke werden über die Busschnittstelle bedient (im folgenden werden die beiden Bausteine als Einheit betrachtet, so daß auch nur von einer Busschnittstelle gesprochen wird, obwohl natürlich jeder Baustein eine eigene Schnittstelle hat).

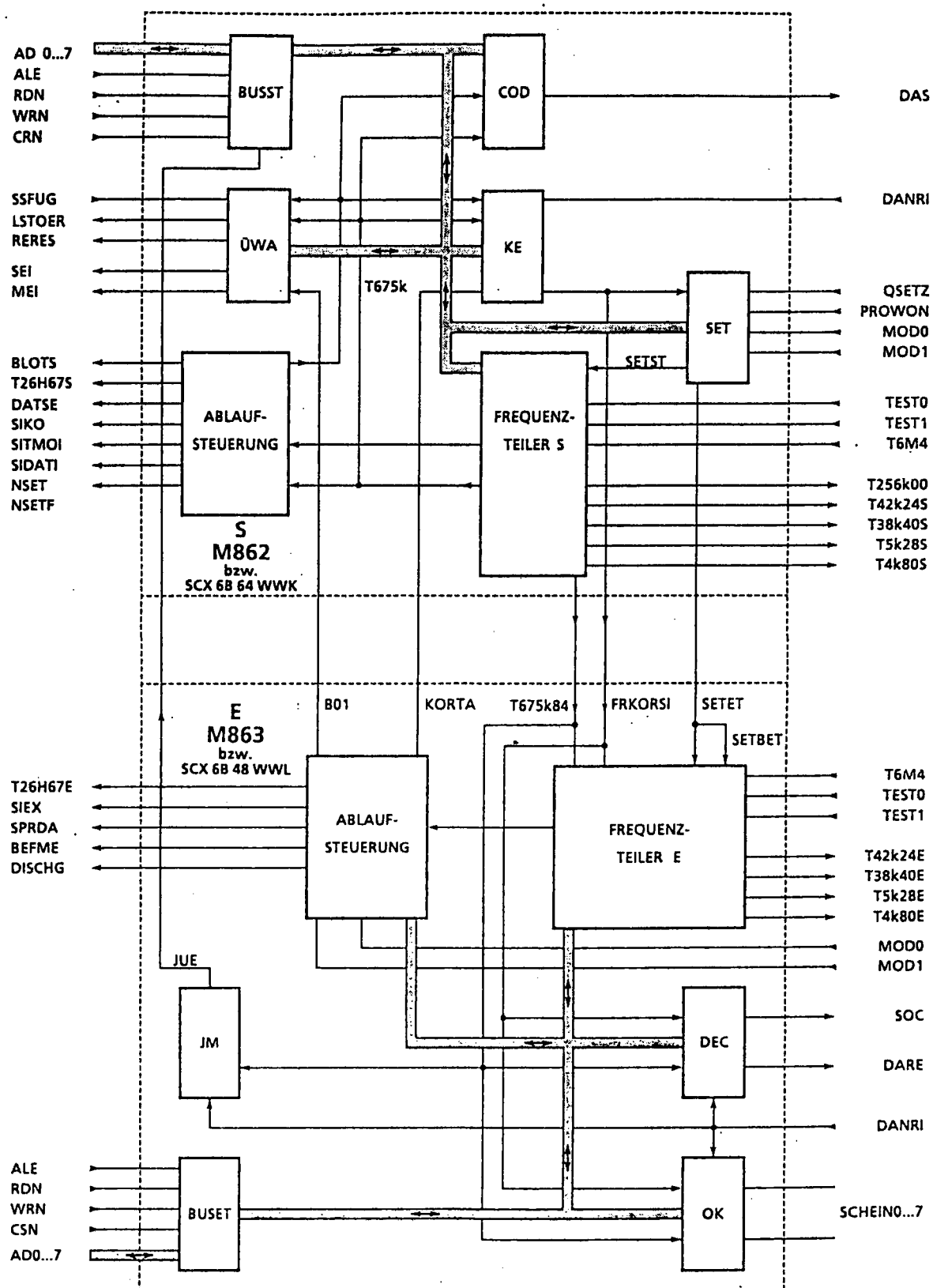


Bild 16 Übersichtsschaltplan der Bausteine M862 bzw. SCX6B64 WWK und M863 bzw. SCX6B48 WWL

Das Bild 17 zeigt die über die Pins geführten Signale und ihre Einbettung innerhalb der CPU-Baugruppe.

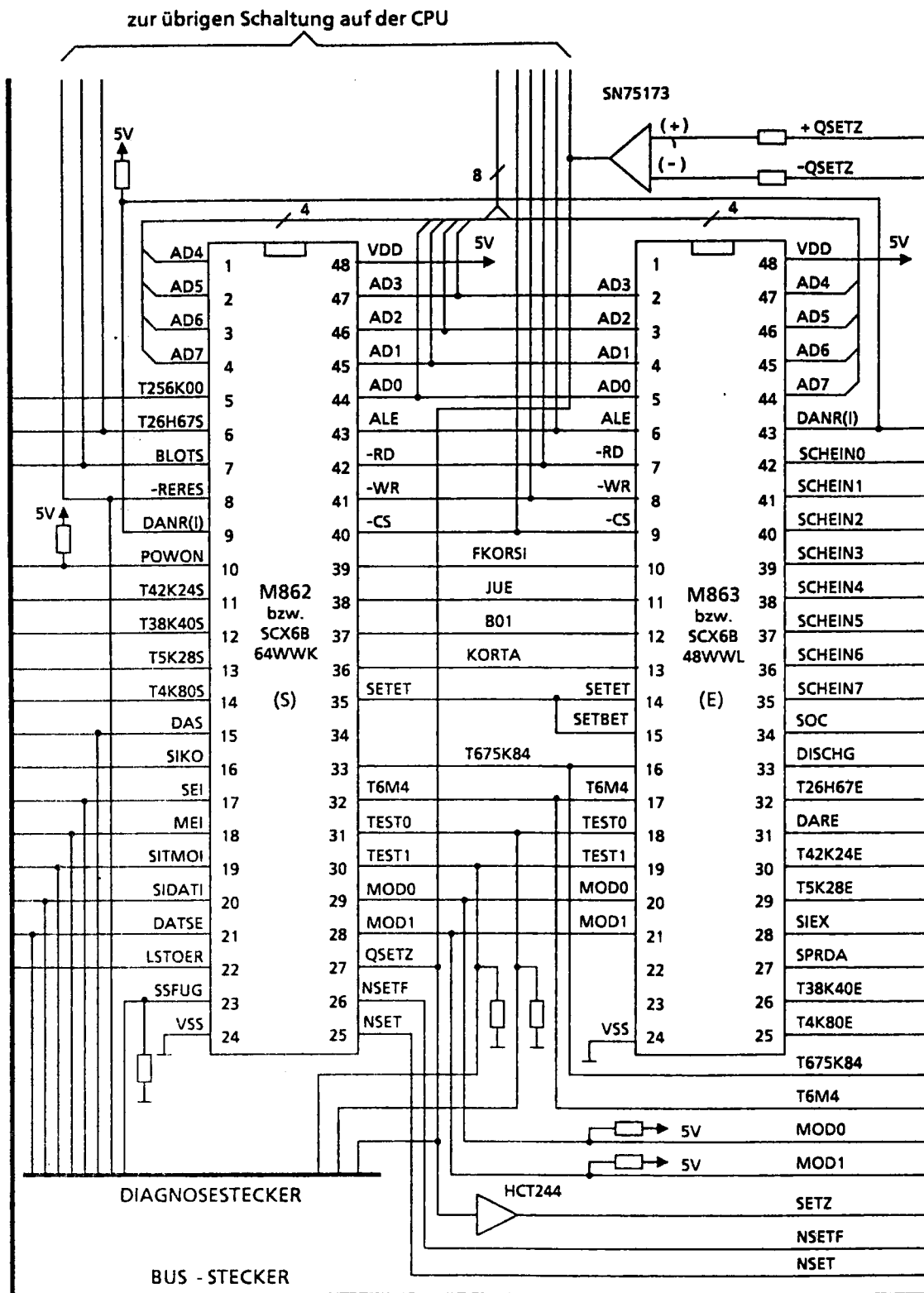


Bild 17 Anschlußschema der VLSI-Bausteine

4.1.5.1 Takterzeugung

Grundlage aller erzeugten Takte ist der Eingangstakt 6,4MHz. Von diesem werden die einzelnen Takte abgeleitet. Die Signalnamen der Takte setzen sich aus den Buchstaben T und der Frequenzangabe zusammen, wie aus folgendem Schema ersichtlich ist (Bild 18).

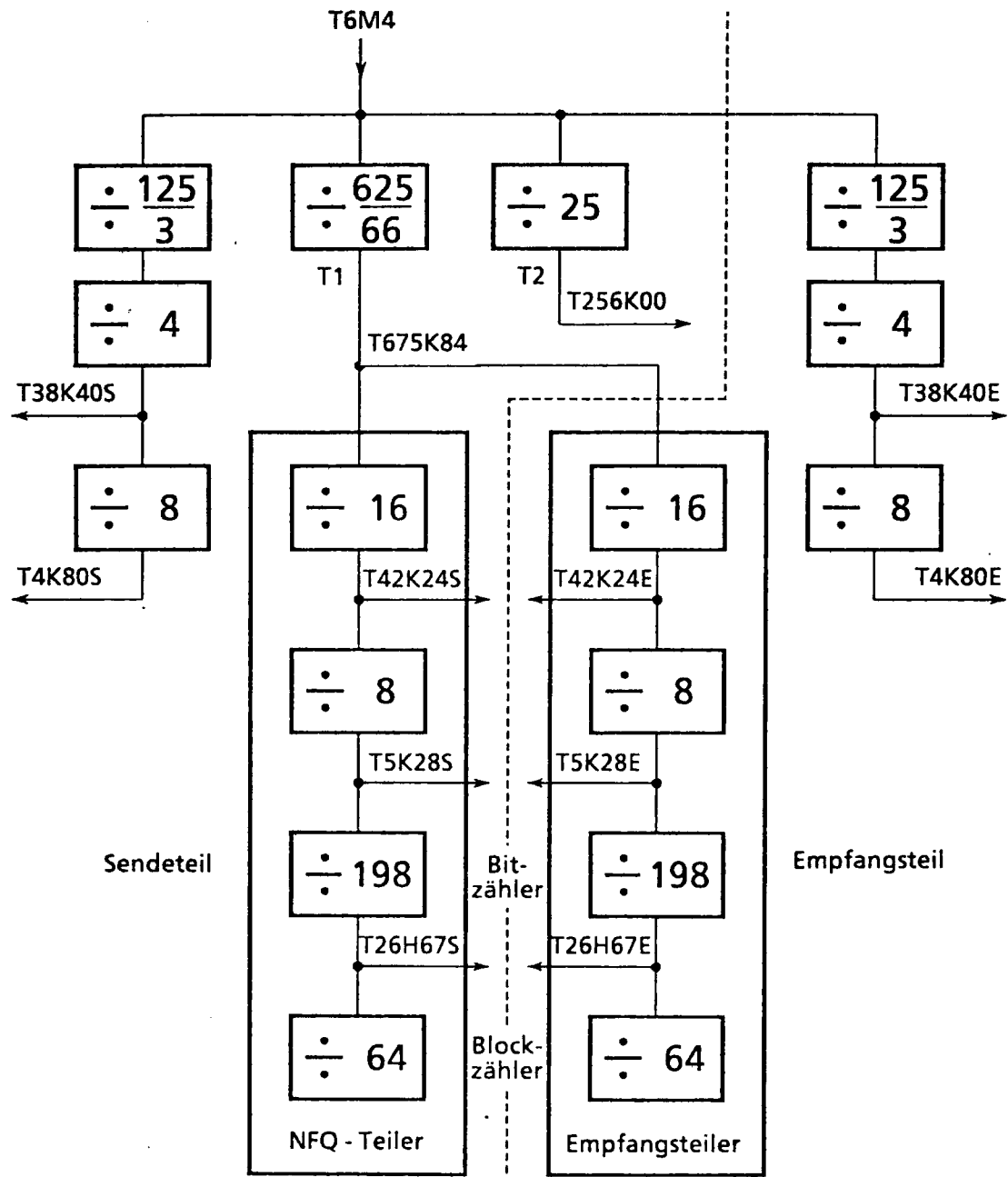


Bild 18 Übersichtsschaltplan der Frequenzteiler für Sende- und Empfangsteil

Da Sende- und Empfangsrahmen zueinander zeitversetzt sein können, ist ein Großteil der Takte zweimal vorhanden: S für Sendeseite, E für Empfangsseite. Ein Teil der Takte läßt sich nicht durch rationale Teilverhältnisse erzeugen und weist daher einen Jitter auf (siehe folgende Tabelle).

Taktname	erzeugt aus	Teilungsfaktor	Phasenjitter
T675K84	T6M4	625/66	- 78,15 - 146,78 ns
T256K00	T6M4	25	0
T42K24S,E	T675K	16	- 4,7 - 146,78 ns
T5K28S,E	T42K24S,E	8	- 4,7 - 146,78 ns
T26H67S,E	T5K28S,E	198	0
T38K40S,E	T6M4	500/3	104,17 ns

Außerhalb der VLSI-Bausteine werden folgende Takte verwendet:

T675K84: Taktung für A/D-Wandler für Feldstärke

T256K00: Takt für serielle Schnittstellen

T26H67S: Einlatchen von Port-Signalen

T38K40S,E

und T42K24S,E: Takte für Komprimierung und Expandierung der Sprache.

4.1.5.2 Teilerketten

Mit T675K84 werden die beiden Teilerketten (Sendeteiler und Empfangsteiler) getaktet. Mittels Teilung durch 128 entsteht der Bittakt von T5K28S bzw. E (siehe auch obige Tabelle), eine weitere Teilung durch 198 ergibt den Blocktakt T26H67S bzw. E, mit dem schließlich der Blockzähler gezählt wird. 64 Blöcke zu je 37,5 ms bilden einen Rahmen, der demnach 2,4 s lang ist.

Der Bitzählerstand der Sendeteilerkette kann über die Busschnittstelle gelesen werden (Adresse F815), ebenso der Stand des Sendeblockzählers (Adresse F81C).

Beide Teilerketten können über verschiedene externe und interne Signale auf bestimmte Werte gesetzt werden.

Externe Signale

POWON entsteht bei Einschalten der Spannung oder bei RESET erzeugt internes POP-Signal (power-on-puls).

QSETZ Rahmensetzsignal
erzeugt mit Rückflanke internes Setzsignal QSET.

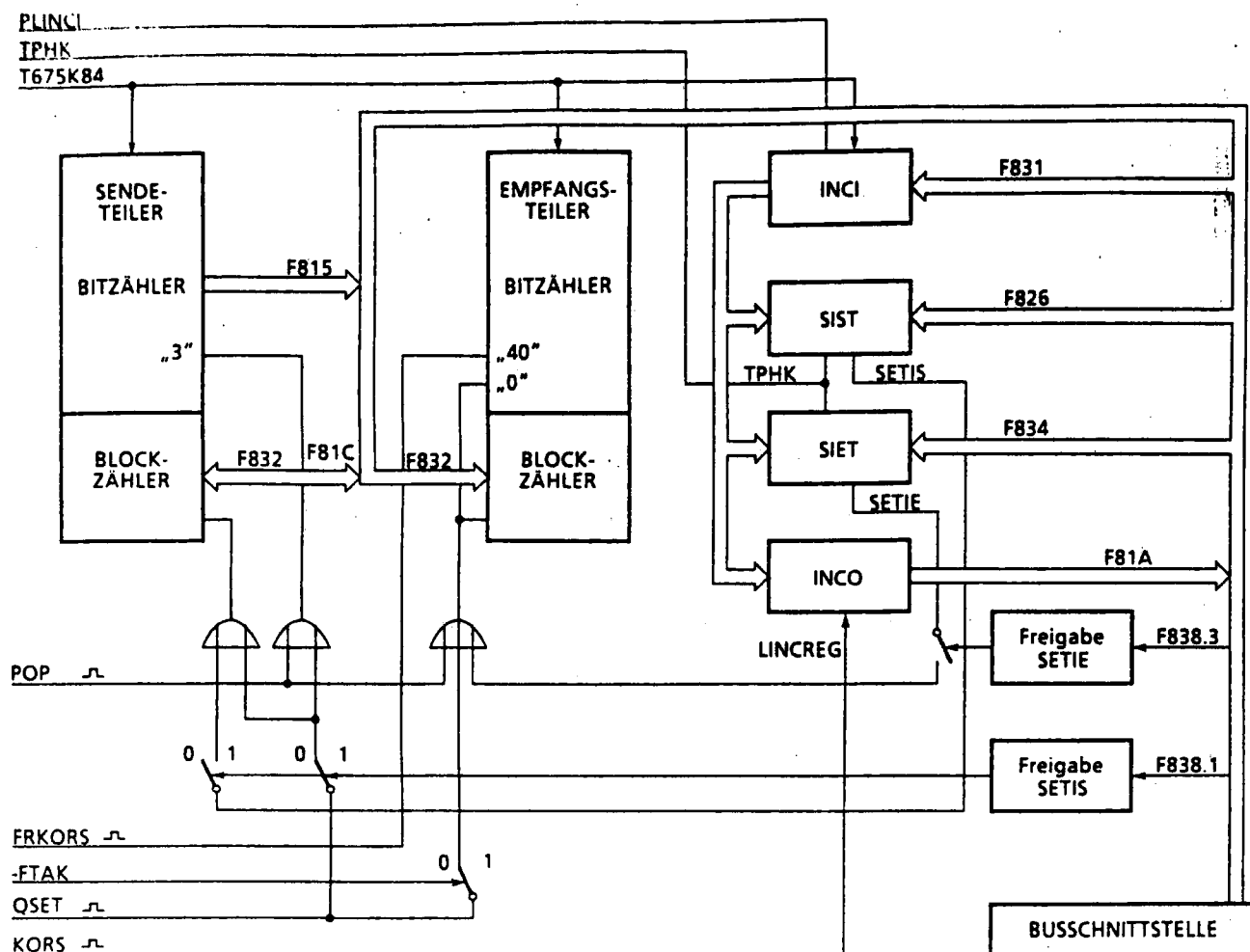
Beide Signale setzen alle Teiler einschließlich Teilerkette.

Interne Signale

FRKORS ("freigegebenes Korrelationssignal") und die Setzsignale **SETIS**, **SETIE** (indirektes Setzen) aus dem Inkrementierungszähler setzen die beiden Teilerketten (ab T675k84).

Mit **FRKORS** wird der Bitzählerstand der Empfangsteilerkette auf 40, mit den anderen Setzsignalen auf 0 gesetzt. Die Sendeteilerkette wird auf Bit 3 gesetzt.

Einzelheiten dazu zeigt Bild 19.



LINCREG	Laden Incrementierungsregister (INCO)
SIST, SETIS	Setzen indirekt, Sendeteiler
SIET, SETIE	Setzen indirekt, Empfangsteiler SIET und SIST sind die Vergleichswerte für die Phase, die auf den Adressen F826 und F834 eingespeichert werden. Bei Gleichheit mit dem Stand des Incrementierungszählers werden die Impulse SETIS bzw. SETIE erzeugt, die die Teilerketten setzen, falls die Impulse über F838.1 und F838.3 freigegeben sind
TPHK	Tor Phasenkorrektur (2 bit lang)
PLINCI	Laden Incrementierungszähler

Bild 19 Teilerketten setzen

4.1.5.3 Ablaufsteuerung

Die Ablaufsteuerung erzeugt Signaltore für die einzelnen Funktionsblöcke und für externe Anschlüsse. Die zeitliche Lage der Signaltore ist zum Teil von der Betriebsart abhängig, und zwar im wesentlichen vom Zustand konzentrierte/verteilte Signalisierung.

Konzentrierte Signalisierung: Organisationskanal (Datentrieb), Aussenden der Signalisierungsinformation innerhalb eines Blocks.

Verteilte Signalisierung: Sprachbetrieb, Aussenden der Signalisierungsinformation in Zeitschlitzten während eines Unterrahmens = 16 Blöcke.

Das Steuerbit F838.2 (SDOT) (F832.2 bedeutet Adresse F832, Bit 7) bestimmt den Zustand konzentrierte / verteilte Signalisierung. SDOT wird blockweise getaktet, beim Sendebaustein mit T26H67S, beim Empfangsbaustein mit T26H67E. Das getaktete Signal heißt SPRDA (SPRDA = "0": verteilte Signalisierung).

Alle Signaltore sind beim Sendebaustein synchron zum Takt T5K28S und beim Empfangsbaustein synchron zum Takt T5K28E.

Folgende Signale werden aus den VLSI-Bausteinen nach außen geführt und im SPK verwendet:

- | | |
|---------|---|
| T26H67S | Takt 26,67Hz, von Beginn Bit 0 bis Ende Bit 5 jedes Blocks auf "1", sonst "0". |
| BLOTS | "Blocktor senden", von Beginn Bit 191 jeden Blocks bis Ende Bit 6 des folgenden Blocks auf "1", sonst "0". |
| SOC | "Start of Conversion" wird aus dem internen Signal STD gewonnen, das im Decoder am Beginn jedes Decodiervorganges erzeugt wird. Es startet die Verschlüsselung im A/D-Wandler für die Umsetzung der Feldstärke. |
| DISCHG | "Discharge": Entladeimpuls für Ladekondensator (Feldstärkemessung), zu Beginn jedes Blocks bei konzentrierter Signalisierung, zu Beginn jedes Unterrahmens bei verteilter Signalisierung. |

Weitere in der Ablaufsteuerung erzeugte Signale werden VLSI-intern verwendet und z.T. in den weiteren Kapiteln erwähnt (z.B. LOFF, SINTO, SDEC usw.).

4.1.5.4 Überwachung und Rechnerreset

Zur Programmlaufkontrolle gibt es einen Watchdog, der mindestens einmal je Block retriggert werden muß. Das geschieht durch Schreiben einer "1" auf F82A.2. Ist das nicht der Fall, wird die Störungsmeldung WADOG erzeugt. Außerdem erscheint am Ausgang RERES-(Rechner-Reset) ein "0"-Impuls, der den 80C85-Baustein sowie einige Peripheriebausteine zurücksetzt. Der Watchdog wird ferner in einen passiven Zustand versetzt; er wird erst wieder durch die nächste Retriggerung aktiviert.

Bei Störung oder Ausfall der Versorgungsspannung oder bei Betätigen der Reset-Taste, was bei POWON = "0" signalisiert wird, wird ebenfalls ein Reset-Signal (Ausgang RERES = "0") erzeugt.

Zum Überwachen der Teilerketten gibt es weitere Fehlermeldungen ("0" bei Fehler):

FTAK Fehler Teilerkette außer Kontrolle
FQSET fehlendes QSET
FSTK Fehler Sendeteilerkette.

FTAK tritt auf, wenn Sendeteilerkette und Empfangsteilerkette um mehr als ± 1 bit auseinanderliegen (Überwachung nur im Block 0, es müssen daher auch beide Blockzähler synchron laufen).

FQSET tritt auf, wenn während eines Rahmens kein QSETZ festgestellt wird.

FSTK tritt auf, wenn die negative Flanke von QSETZ nicht mehr in den Bereich Bit 2,5 bis Bit 3,5 der Sendeteilerkette fällt.

Bei Einschalten der Versorgungsspannung (PPOWON = "0") werden FTAK und FQSET in den Zustand "0" (d.h. Fehler) gebracht, WADOG auf "1" (kein Fehler). Der Zustand der Fehlermeldungen kann in ein Störungsregister übernommen werden, das über die Busschnittstelle mit Adresse F816 auslesbar ist:

Bit 0: FTAK
Bit 1: WADOG
Bit 2: FQSET
Bit 7: FSTK.

Die Übernahme in das Störungsregister geschieht entweder beim Auftreten einer Störungsmeldung – wenn noch keine andere Störungsmeldung vorliegt – oder durch kurzes Einschreiben einer "1" auf Adresse F82A ("Laden Störungsregister").

In beiden Fällen erscheint am externen Anschluß LSTOER ein kurzer "1"-Impuls, mit dem die außerhalb der VLSI-Bausteine liegenden Störungsregister am Audio-Interface geladen werden.

4.1.5.5 Korrelationsempfänger

Der Korrelationsempfänger empfängt die nicht regenerierten (Signalisierungs-) Daten DANR (I). Am Anfang jedes Signalisierungsblocks befindet sich der Barkercode, der sich dreimal wiederholt. Aus dem empfangenen Barkercode ermittelt der Korrelationsempfänger den Zeitbezug für die Empfangsteilerkette und erzeugt das Zeitzeichen KORS (Korrelationssignal).

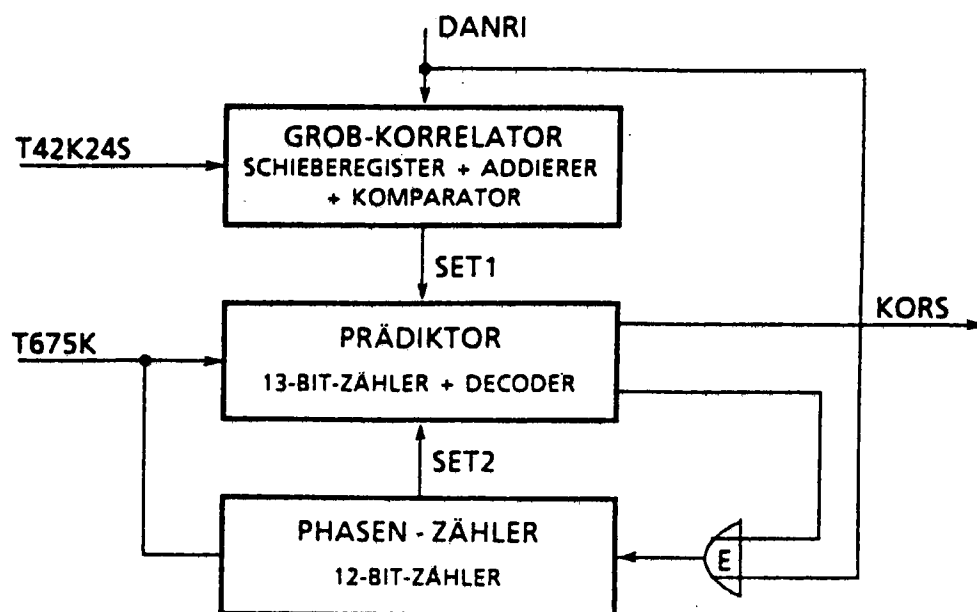


Bild 20 Übersichtsschaltplan des Korrelationsempfängers

Der Grobkorrelator taktet die einlaufenden Signalisierungsdaten mit 42,24kHz ab (acht Proben je Signalisierungsbit). Der Grobkorrelator erkennt den Barkercode, wenn

- im zeitlichen Abstand von $t = 1/T5K28$ jedes Signalisierungsbit mindestens die Pulsbreite $t = 1/T42K24$ hat

und

- der Barkercode höchstens einen Bitfehler enthält (siehe Bild 21).

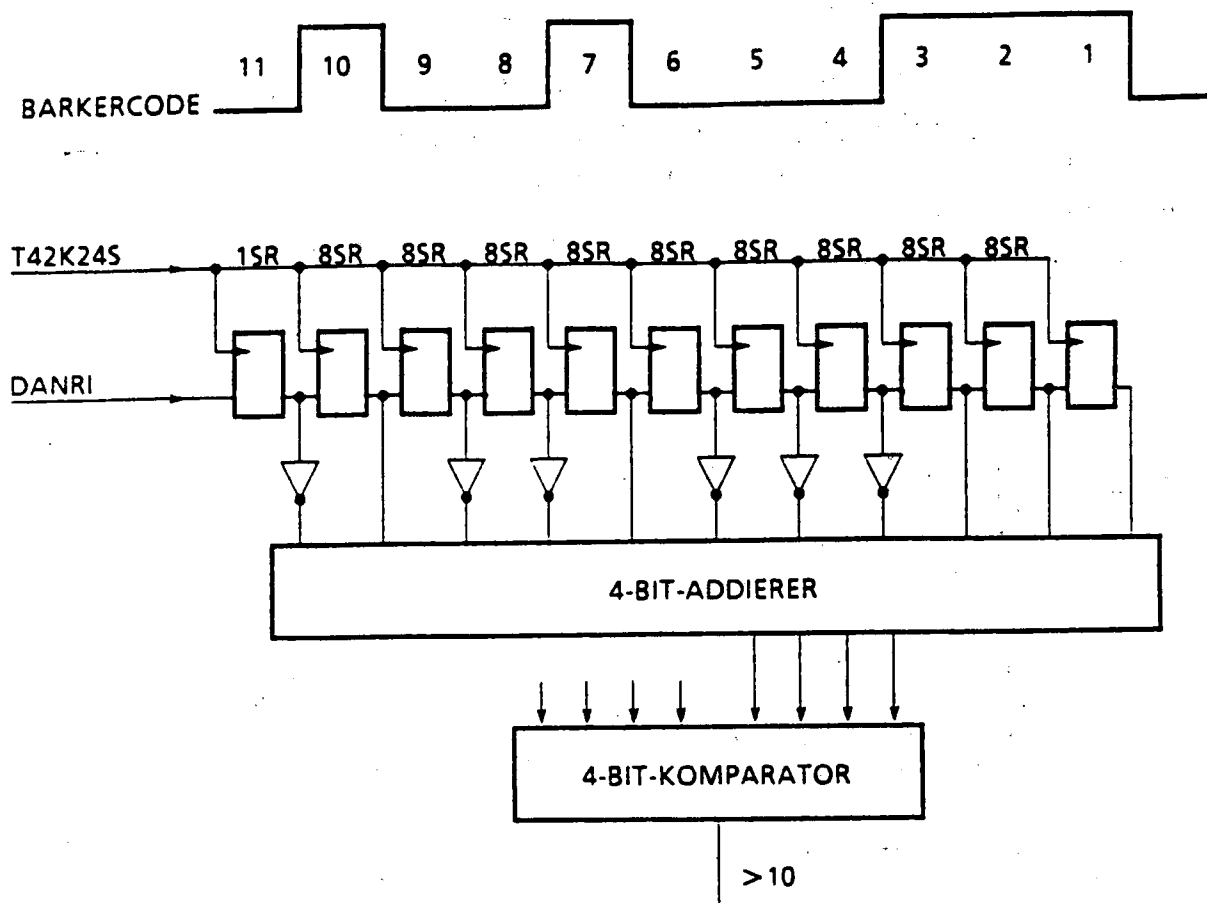


Bild 21 Grobkorrelator mit 81-bit-Schieberegister, 4-bit-Addierer und 4-bit-Komparator

Hat der Grobkorrelator den ersten Barkercode erkannt, dann setzt er einen Prädiktor, der ebenfalls den Barkercode erzeugt. Der Prädiktor vergleicht den eigenen mit dem empfangenen Barkercode und ermittelt dessen Phasenabweichungen.

Der zweite und dritte Barkercode enthalten insgesamt 12 Flankenwechsel. Nach vier Flankenwechseln und dann nach weiteren acht Flankenwechseln paßt sich der Prädiktor zeitlich dem empfangenen Barkercode an (schrittweise Annäherung). Der Korrelationsempfänger erzeugt ein Korrelationssignal KORS, wenn

- der Grobkorrelator drei aufeinanderfolgende Barkercodes erkannt hat und
- der zweite und dritte Barkercode im zeitlich richtigen Abstand zum ersten Barkercode stehen.

Der Zeitpunkt des Korrelationssignales ist:

$0,5 \cdot t_{675K}$ nach Bitmitte des dem Barkercode folgenden "Leerbits".

Die Betriebsarten des Korrelationsempfängers sind:

- Suchlauf (im OSK nicht verwendet)
- Normalbetrieb konzentrierte Signalisierung.

Die Betriebsarten werden über die Busschnittstelle eingestellt, und zwar auf Adresse F82C (beide Signale sind aktiv "1"):

F82C.7 Suchlauf Korrelationsempfänger

F82C.6 Freigabe Korrelationsempfänger.

Die Ausgangssignale des Korrelationsempfängers sind:

KORS (siehe oben)

**FRKORS Freigabe Korrelationssignal
 (UND-Verknüpfung von KORS und F82C.6)**

KORSER (F819.7) Korrelationssignal erkannt

KORSZE (F819.6) Korrelationssignal im Erwartungszeitraum.

Einen Takt T5K28 vor dem Aussenden des Barkercodes wird der Registerinhalt F82C.7 (Suchlauf) in ein internes Register SU des Korrelationsempfängers übernommen, und es werden die Signale KORSER und KORSZE zurückgesetzt.

Die Ablaufsteuerung erzeugt Zeittore für das Erkennen der Korrelation:

**SYNT Synchronisations-Erwartungstor.
 Zeittor für das Erkennen des ersten Barkercodes durch den Grobkorrelator.
 Dieses Zeittor ist 3 bit breit (2 bit: Bereich der Funklaufzeit,
 1 bit: maximale Breite der Grobkorrelation).**

**SYKON Synchronisationskontrolle.
 Zeittor für das Korrelationssignal KORS, dieses Zeittor ist 2 bit breit.**

In der Betriebsart Normalbetrieb muß der erste erkannte Barkercode innerhalb des Zeittores SYNT liegen, damit der Prädiktor gesetzt und freigegeben wird.

Es gilt für die Ausgangssignale:

Tor SYNT	dritter Barker-code erkannt	Tor SYKON	F82C.6 Freigabe Korrelations-empfänger	KORS	FRKORS	F819.7 KORSER	F819.6 KORSZE
ja	ja	ja	L	H	L	H	H
ja	ja	ja	H	H	H	H	H
ja	ja	nein	X	L	L	H	L
ja	nein	-	X	L	L	L	L
nein	-	-	X	L	L	L	L

Im Normalbetrieb gibt das Zeittor KORTA der Empfangsfrequenzteilerkette den Korrelationsempfänger frei.

4.1.5.6 Jittermesser

Mit Hilfe des Jittermessers wird über die Auswertung der Zeichenwechsel-Veränderungen der Geräuschabstand im Basisfrequenzband ermittelt. Die Jittermessung bewertet die Veränderung aller gleichpolarer Zeichenwechseländerungen (negative Flanken) im vorgegebenen Bewertungsintervall. Das Bewertungsintervall erstreckt sich bei konzentrierter Signalisierung über eine Blocklänge, bei verteilter Signalisierung über einen Unterrahmen (0,6 sec.). Der Jittermesser besteht im wesentlichen aus einem Auf-/Abwärtszähler (UD-Zähler), der als Modulo-Bit-Zähler arbeitet und mit dem Systemtakt (128fachen Bittakt) betrieben wird (siehe Bild 22).

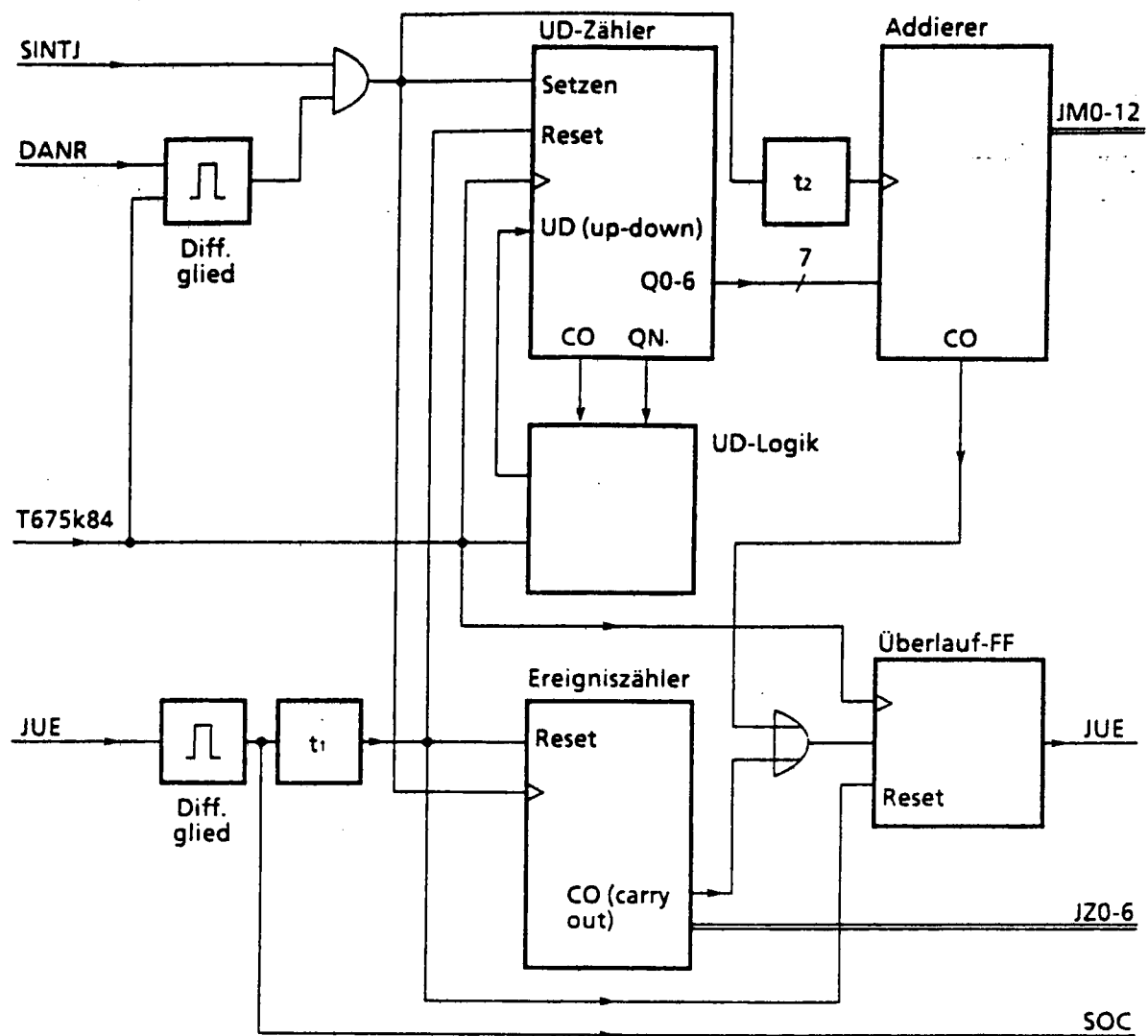


Bild 22 Übersichtsschaltplan Jittermesser

Seine Zählrichtung wird jeweils beim Zählerstand 0 und 63 umgekehrt. Mit dem ersten negativen Flankenwechsel des innerhalb des Bewertungszeitraums (SINTJ) einlaufenden Dateneingangssignals (DANR) wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang gestartet. Mit jedem negativen Flankenwechsel werden die jeweiligen Zählerstände des Auf-/Abwärtszählers in einen Addierer übernommen und aufaddiert. Gleichzeitig wird der Zähler auf den Wert 1 geladen und der Bewertungsvorgang neu gestartet. Nur bei störungsfreier Datenübertragung erreicht der Zähler am Ende jedes Bewertungsvorgangs zwischen zwei negativen Flankenwechseln den Wert 0 (siehe Bild 23). Ist der Abstand zweier aufeinanderfolgender negativer Flanken größer oder kleiner als die n -fache Bitbreite ($n > 1$), so ergibt sich aus dem Zählerstand des Modulo-Bit-Zählers der Absolutwert der zeitlichen Abweichung vom Sollwert als Jitterwert (siehe Bild 23), der in den Addierer addiert wird.



4.1.5.7 Offsetkorrektur

Die Offsetkorrektur wird mit Hilfe der im Bild 24 dargestellten Schaltung durchgeführt; sie besteht aus dem Offsetmesser im VLSI und der Schwellen-Vergleichsschaltung am AU-IF (siehe auch Kapitel 4.2). Weist das vom Empfänger kommende Signal DADEMI eine vom Mittelwert abweichende Gleichspannungsablage auf, so sind die "0"- und "1"-Bits des DANR-Signales nicht mehr gleich lang.

Funktionsweise des Offsetmessers

Der 128fache Bittakt (T675K84) zählt während des Bewertungszeitraums $SINTO = 1$ (das ist während des Barkercodes, Bit 11 bis einschließlich Bit 32) in einen 12-bit-UD-Zähler (Up/down-Zähler) ein.

Das Signal DANR (Daten nicht regeneriert) bestimmt die Zählrichtung: Signallage "0" entspricht der Zählrichtung abwärts, "1" aufwärts.

Außerdem ist zu beachten, daß am Beginn der Offsetmessung der D/A-Wandler mit dem Initialwert 80H (OFFE0-7 = SCHEIN0-7 auf Mittenwert) versorgt sein muß, so daß die Gleichspannungsablage des DADEMI-Signals den Flankenverschiebungen des DANR-Signals entspricht. Am Beginn des Bewertungszeitraums wird der Zähler auf 2304 eingestellt, d.i. um 2×128 über dem Mittenwert des Zählers $4096/2 = 2048$. Damit ist die Tatsache berücksichtigt, daß der Barkercode zwei "0"-Bit mehr als "1"-Bit enthält.

Durch den auf 2304 voreingestellten Zähler ist erreicht, daß im Idealfall (keine Gleichspannungsablage) der Zähler am Ende des Bewertungsintervalls auf 2048, also in Zählermitte steht. Mit dem Signal LOFF (Laden Offsetkorrektur) aus der Ablaufsteuerung wird der Zähler auf den Voreinstellwert gesetzt. SINTO gibt den Zähler frei. Der Zähler zählt nun entsprechend der Zeichendauer und des Zeichenzustandes aufwärts oder abwärts. Am Ende der Messung werden die acht höchsten Bits des Zählers abgespeichert und können über Adresse F846 vom Rechner gelesen werden (OFFA).

Die gelesenen Meßwerte der Offsetkorrektur werden im Rechner verarbeitet und daraus ein Wert für die Schwellwerteinstellung gewonnen. Dieser Wert kann über die Busschnittstelle (Adresse F864) eingeschrieben werden (OFFE) und erscheint als binäres Signal an den Ausgängen SCHEIN0-7.

Mit dem Signal FRKORS (aus M862 bzw. SCX 6B64 WWK) wird das Ergebnis der Offsetmessung als Korrekturwert auf die Ausgänge SCHEIN0 - SCHEIN7 gelegt. Mit dem nächsten Signal LOFF wird der betreffende Multiplexer jedoch umgesteuert und der Rechner übernimmt die Schwellwerteinstellung.

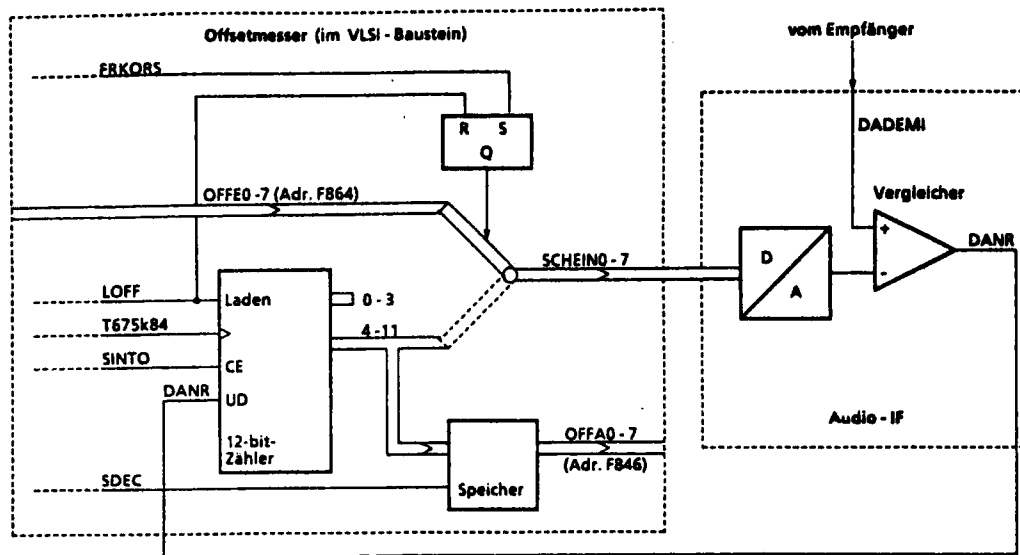


Bild 24 Offsetkorrektur

Anstelle des Initialwertes 80H (entspricht Zählerstand 2048) gelangt der Schwellwert SCHEIN0-7 an den Eingang des D/A-Wandlers an AU-IF (nur bei Ablage Null würde SCHEIN0-7 mit dem Initialwert identisch sein).

Damit ist der Vergleichswert am Vergleicher so eingestellt, daß die Gleichspannungsablage vom DADEMI-Signal kompensiert wird und das DANR-Signal genaue Bit-Längen aufweist (siehe Bild 25).

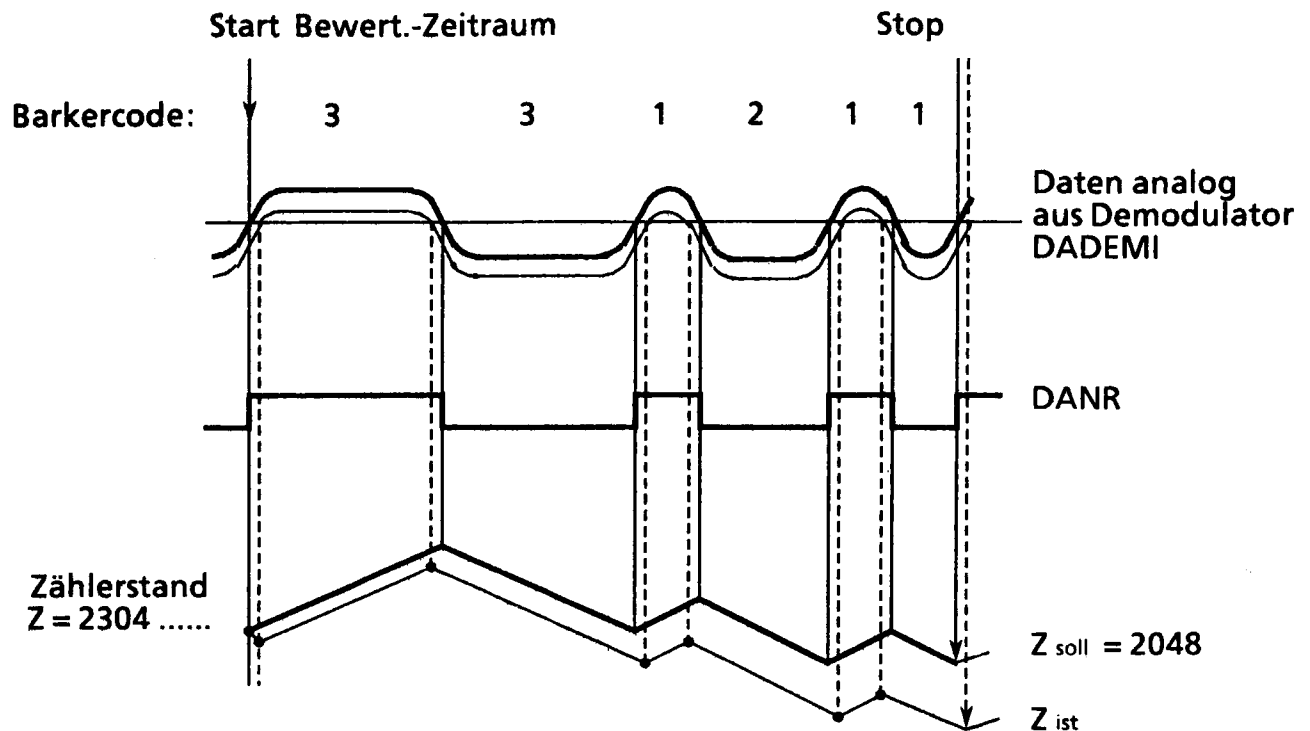


Bild 25 Offsetkorrektur Barkercode

4.1.5.8 Decoder

Der Decoder stellt die Signalisierungs-Schnittstelle zwischen dem Empfänger und dem Rechner dar, seine Aufgaben sind:

- Zwischenspeichern der vom Funkteil gelieferten Daten
- Decodieren der empfangenen Nachricht
- Durchführen von Fehlererkennung und Fehlerkorrektur.

Der Decoder empfängt über den Eingang DANR(I) die nicht regenerierten Signalisierungsdaten. Sie werden mit dem Bit-Takt (T5K28E) abgetaktet und erscheinen am Ausgang DARE (Daten regeneriert). Mit Hilfe der Impulse DECB (Bittakt vom Bit 41, d.i. nach dem Barkercode, bis einschließlich Bit 190) werden die Nutzdaten von den Synchronisierungsdaten (Barkercode) getrennt und entsprechend der zeitlichen Verschachtelung in 15 Worten à 10 bit spaltenweise in ein RAM eingelesen.

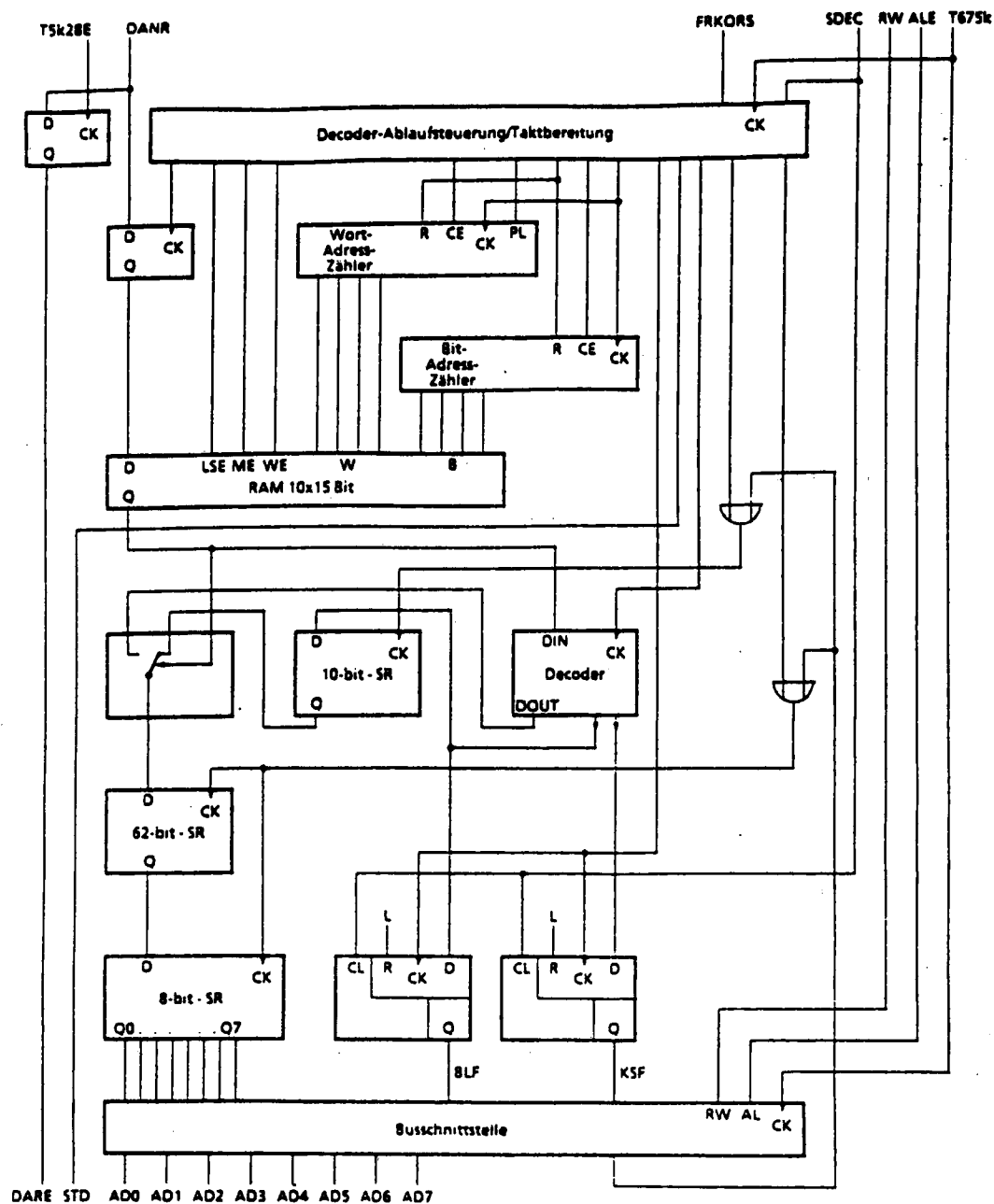


Bild 26 Übersichtsschaltplan Decoder

Zuvor wird die Schaltung mit dem Signal SDEC (Start Decoder, siehe auch Abschnitt 4.1.5.6) aus der Ablaufsteuerung zurückgesetzt und auf den Vorgang Daten einlesen/decodieren vorbereitet. Ebenso kann die Schaltung durch das Signal FRKORS aus dem Korrelationsempfänger während des Einlesevorgangs zurückgesetzt werden. Der Einlesevorgang wird dann mit DECB neu gestartet. Nach Beenden des Einlesevorgangs wird mit der fallenden Flanke des letzten Taktes DECB (Bit 190.5) wird

der Decodiervorgang gestartet. Gleichzeitig wird über den Ausgang STD ein Signal geliefert, das zur weiteren Verarbeitung im Schaltungsteil Jittermesser zur Verfügung steht (siehe Abschnitt 4.1.5.6).

Der Decodierer läuft mit dem halben Systemtakt (T_{675K}). Die im RAM gespeicherten Daten werden zeilenweise (10 Worte à 15 bit) ausgelesen, decodiert und anschließend seriell in einem 70-bit-Schieberegister abgespeichert. Wird bei einem Wort eine Fehlerkorrektur durchgeführt, so wird dies durch Eintragen einer "1" in einem 10-bit-Schieberegister an der entsprechenden Stelle vermerkt. Gleichzeitig wird das Statusbit BLF (Blockfehler, Adresse F843.3) gesetzt. Wird die Korrekturschwelle überschritten, bei drei und mehr Fehlern, wird zusätzlich das Statusbit KSF (Adresse F843.2) gesetzt. Der Decodiervorgang ist nach 600 Takten T_{675K} ($t_{DEC} = 600 \times t_{675K} = 888 \mu s$) beendet. Nach Abschluß des Decodiervorgangs, etwa fünf Bit-Takte nach Einlesen des letzten Signalisierungsbits stehen die decodierten Daten zum Auslesen an der Busschnittstelle (Adresse F845) bereit. Die Daten werden in 10 Worten à 8 bit ausgelesen. Nach jedem READ-Zugriff wird die Busschnittstelle durch Nachschieben der nächsten acht Bits für einen weiteren READ-Zugriff vorbereitet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende READ-Zugriffe $t_{READ} \geq 10 \times t_{T675K} = 14,8 \mu s$.

Der Datenblock enthält in den READ-Zugriffen 1 bis 8 und im 9. READ-Zugriff (Bit 0 bis 5) die Signalisierungsdaten und im 9. READ-Zugriff (Bit 6 und 7) sowie im 10. READ-Zugriff das Fehlerkorrekturwort. Die Statusbits "Fehler erkannt" (BLF) und "Korrekturschwelle überschritten" (KSF) lassen sich ebenfalls über die Rechnerschnittstelle (Adresse F843) abfragen (siehe oben).

4.1.5.9 Coder

Der Coder bildet die Schnittstelle zwischen dem Rechner, der die zu sendenden Daten ermittelt und dem Modulator, der die codierten Daten dem Träger aufmoduliert.

Die Aufgaben des Coders sind:

- Zwischenspeicherung
und
- Codieren der zu sendenden Nachricht durch Hinzufügen der Barkercodebits (3x11 Bit) sowie der Redundanzbits.

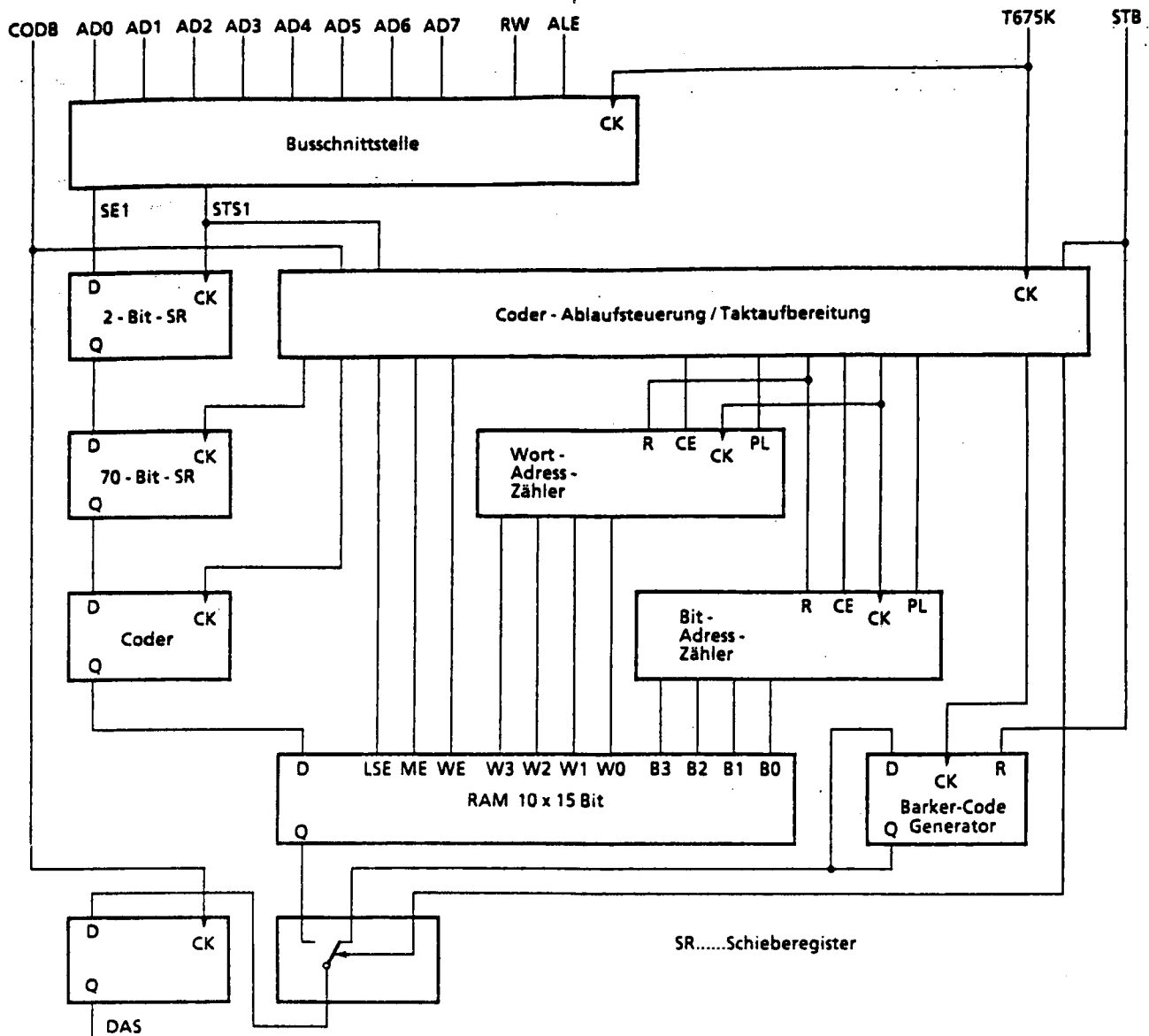


Bild 27 Übersichtsschaltplan Coder

Der im Rechner generierte Datenblock besteht aus 70 Nutz-Bits. Diese Daten werden über die Busschnittstelle (Adresse F829) in den Sendebaustein in neun aufeinanderfolgenden Write-Zugriffen eingeschrieben. Nach jedem Write-Zugriff wird die parallele Busschnittstelle, beginnend mit dem LSB, seriell ausgelesen und die Information in einem 70-bit-Schieberegister zwischengespeichert. Das Abräumen der Busschnittstelle geschieht mit dem Systemtakt (T675K) und wird mit der steigenden Flanke von WRN gestartet. Daraus ergibt sich als Zeitbedingung für zwei aufeinanderfolgende Write-Zugriffe: $t_{WRITE} \geq 10 \times t_{T675K} = 14,8 \mu s$.

Mit dem Signal STC (Start Coder) aus der Ablaufsteuerung wird der Codiervorgang gestartet. Die zwischengespeicherten Daten werden in zehn Blöcken zu 7 bit aus dem 70-bit-Schieberegister ausgelesen und nach dem sogenannten BCH-Code codiert, wobei jedes 7-bit-Wort mit einem Syndrom von 8 bit Länge versehen wird. Die so entstehenden Worte von 15 bit Länge werden zeilenweise in ein 10x15 bit großes RAM eingelesen und zwischengespeichert. Der Codiervorgang läuft mit dem halben Systemtakt (T_{675K}) ab und ist nach 300 Takten ($t_{COD} = 300 \times t_{675K} = 444 \mu s$) abgeschlossen. Das angewandte Codiervorgehen erlaubt bei der Decodierung sowohl eine Fehlererkennung als auch eine Korrektur von maximal zwei Fehlern je Wort.

Mit dem Signal STB (Start Barker) aus der Ablaufsteuerung wird der Vorgang "Daten senden" gestartet.

Mit dem gefensterten Bittakt T_{5K28} ($CODB = 184$ Takte T_{5K28}) liegen die Sendedaten am Datenausgang (DAS) an. Zunächst startet der Barkercodegenerator und erzeugt eine Bitfolge von 3 mal 11 bit (11100010010) und ein Leerbit (1). Danach werden die zeilenweise gespeicherten und codierten Daten spaltenweise (15 Worte à 10 bit) aus dem RAM ausgelesen.

In der konzentrierten Signalisierung entsteht so ein Signalisierungsblock von $33 + 1 + 150 = 184$ bit; in der verteilten Signalisierung werden die Daten verteilt über einen Unterrahmen in 46 Schlitzen zu je 4 bit gesendet (ein Unterrahmen besteht aus 16 Blöcken zu je drei Schlitzen; die beiden ersten Schlitze enthalten keine Information).

4.2 Audio-Interface S42024-H382-...

Die Baugruppe Audio-Interface (Bild 28) bildet zusammen mit der CPU-Baugruppe die Funkkanalsteuerung im OSK, SPK und PFG.

Sie enthält folgende Funktionen:

- Erzeugen von Sende- und Empfangstakt für die serielle Schnittstelle (Laufzeitkorrektur)
- Adressendecodierung für Ein- und Ausgabeports
- Abfrage der Gestelladresse
- Ausgabeports für Ansteuerung der Umschalter und Synthesizer, Steuerung der Sendeleistung; ferner Ausgabe der Signale für die Betriebsarten und Ansteuerung der Verfügbar-LED (Signal OKVR)
- Erfassen (Umsetzen) der Feldstärke
- Offsetkorrektur durch Vergleich des empfangenen Signals mit eingestellter Schwelle
- Erzeugen des Power-on-Resets; Reset-Taste
- Erfassen von Störungsmeldungen bzw. Statusmeldungen
- Pegelanpassung für 6,4MHz
- Erzeugen der -2,5-V-Versorgung für den Audio-Teil.

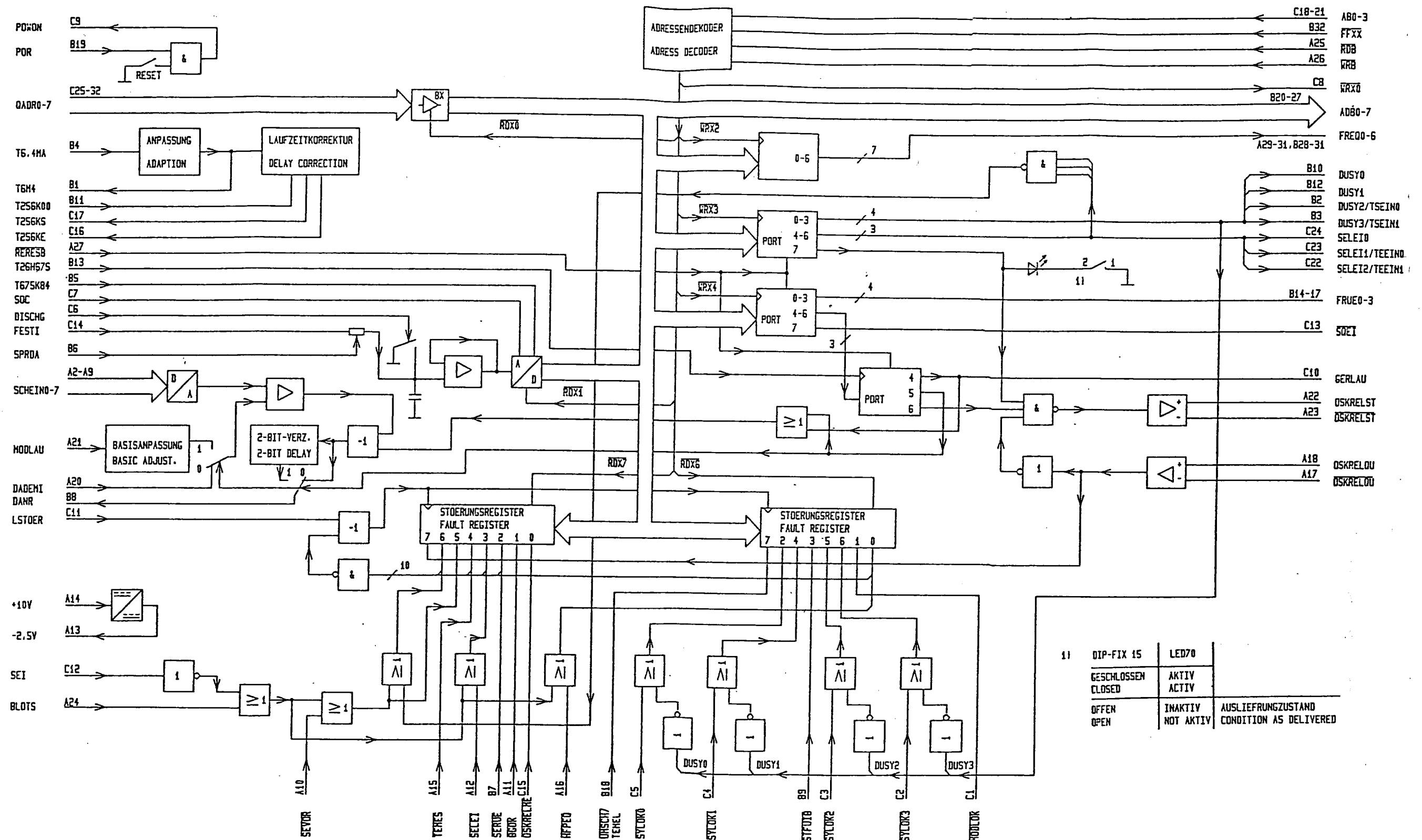


Bild 28 Übersichtsschaltplan Audio-Interface

4.2.1 Laufzeitkorrektur

Aus dem 256-kHz-Takt (Signal T256k00 aus dem VLSI) werden die beiden Signale T256kS und T256kE mit Hilfe von zwei Schieberegistern erzeugt, die Signale sind gegenüber dem T256k00 phasenverschoben. Als Schiebetakt wird T6,4M verwendet. T256kS ist um 12 Takte, T256kE um 16 Takte gegenüber T256k00 verschoben. Der Vorhalt des Sendetaktes von vier Takten (etwa 0,7 μ s) dient zum Ausgleich von Kabellaufzeiten zwischen Funkmodem und Funkdatensteuerung (Bild 29).

Die Verschiebung des Taktes T256kE gegenüber T256k00 dient zur Korrektur der Phasenlage gegenüber QSETZ.

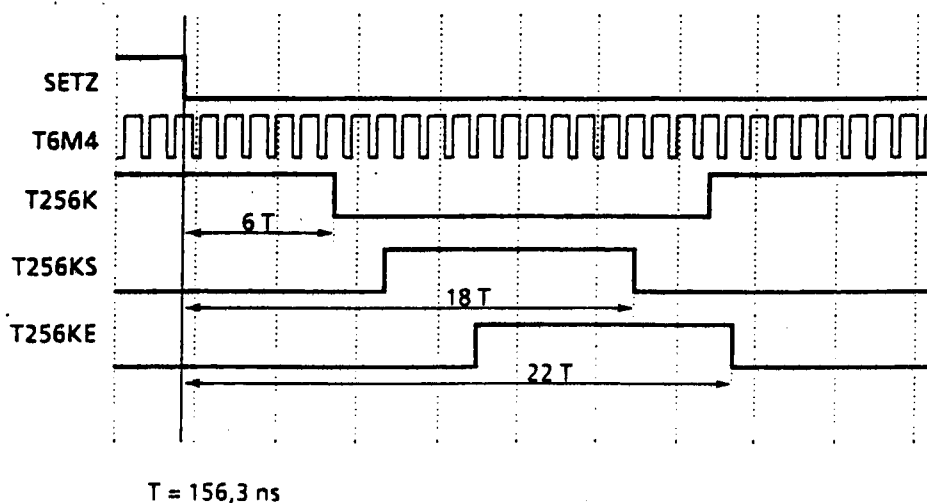


Bild 29 Laufzeitkorrektur

4.2.2 Adressendecodierung

Die von der CPU kommenden Adressenleitungen AB0 bis AB3 werden mit Hilfe der Decoder HCT138 decodiert. Durch Verknüpfen mit dem Bereichssignal -FFXX (dieses ist für Speicherbereich FF00 bis FFFF aktiv) sowie dem Schreibsignal -WRB bzw. dem Lesesignal -RDB werden die Signale -WRX0, -WRX2 bis -WRX4 sowie -RDX0, -RDX1, -RDX6 und -RDX7 erzeugt; das X bedeutet, daß die Adress-Bits 4 bis 7 bei der Decodierung nicht berücksichtigt werden. Ein Schreibbefehl auf Adresse FF02 hat beispielsweise die gleiche Wirkung wie auf FF12, FF22 usw., es wird WRX2 aktiviert).

4.2.3 Abfrage der Gestelladresse

Der Zustand der acht Leitungen QADR0-7, der durch Verdrahtung im Gestell festgelegt ist, wird über Software abgefragt. Die Abfrage geschieht mit einem Lesebefehl auf Adresse FFX0 (kombiniertes Lese- Adressen-Signal RDX0 vom Adressendecoder).

4.2.4 Ausgabeports

Vier Latch-Bausteine dienen zur byteweisen Ausgabe einiger Signale durch die Software nach folgender Tabelle:

Adresse	D7	D6	D5	D4	D3	D2	D1	D0
FFX2	-	FREQ0-6						
FFX3	OVKR	SELEI2	SELEI1	SELEI0	-	-	-	DUSY0
FFX4	-	-	-	-	-	-	-	FRUE0

Erläuterungen:

FREQ0-6	Informationen für Frequenzeinstellung der Synthesizer
OKVR	Verfügbarmeldung vom Rechner (SW)
SELEI0-2	Sendeleistung: mit diesen Signalen wird die Endstufe angesteuert
DUSY0	Maskierung der Synthesizer-Fehlermeldung
FRUE0	Übernahmesignal für Frequenzeinstellung des Synthesizers
SQEI	Steuerung Squelch ein/aus.

4.2.5 Umsetzung der Feldstärke

Das vom Empfänger kommende Feldstärkesignal FESTI (0-2,5 V) wird mittels RC-Kombination integriert: bei Sprachbetrieb (SPRDA = 0) über eine Unterrahmenlänge, das sind 0,6 s; bei Datenbetrieb (SPRDA = 1) über eine Blocklänge, das sind 37,5 ms.

Das integrierte Signal gelangt über einen Op. Amp. LM258 an den AD-Umsetzer. Dieser wird mit T675k84 betrieben und erhält das Startsignal für die Verschlüsselung aus dem VLSI (Signal SOC, Start of Conversion). Wenn die Verschlüsselung beendet ist, wird mit dem Signal EOC (End of Conversion) das Ergebnis in ein Latch eingespeichert. Anschließend wird der Kondensator mit dem ebenfalls aus dem VLSI kommenden Signal DISCHG entladen.

4.2.6 Offsetkorrektur

Der vom VLSI-Baustein M863 bzw. SCX 6B48 WWL gelieferte, digitale Schwellwert (SCHEIN0-7) wird mit Hilfe des D/A-Wandlers in einen Analogwert umgewandelt und über die Op.Amps LM258 dem Vergleicher LM311 zugeführt.

Am anderen Eingang des Vergleichers liegt das Signal DADEMI.

Am Ausgang des Vergleichers erscheint das Signal DANR (Daten nicht regeneriert), das zu den VLSI-Bausteinen M862 bzw. SCX 6B64 WWK und M863 bzw. SCX 6B48 WWL zur weiteren Verarbeitung geführt wird.

4.2.7 Power-on-Reset, Resettaste

Die betriebsspannungsabhängige Rücksetzschaltung im Stromversorgungsteil liefert das Signal POR, das bei langsam ansteigender Versorgungsspannung sowie bei Spannungseinbrüchen ein Rücksetzen der Hardware bewirkt. Das Signal POR wird über Gatter in das Signal POWON umgesetzt, das bei Wechsel von LOW nach HIGH im VLSI ein Reset-Signal generiert.

Das gleiche geschieht bei Drücken der Resettaste, wobei eine Schaltung zur Entprellung vorgesehen ist.

4.2.8 Störungsregister

Der Inhalt der beiden Störungsregister, die als Speicher für einige Störungsmeldungen dienen, kann mit Hilfe von Lesebefehlen auf die Adresse FF06 bzw. FF07 gelesen werden.

Die an den D-Eingängen anliegenden Signale werden mit Hilfe des Signals LSTOER (aus dem VLSI auf der CPU-Baugruppe) oder bei Auftreten einer Störungsmeldung (letzteres geschieht jedoch nur, wenn bei Auftreten der Störungsmeldung keine andere Störungsmeldung ansteht) eingespeichert. Deshalb werden die Störungsmeldungen über ein UND-Gatter verknüpft.

Einige Störungsmeldungen können unter gewissen Umständen gesperrt werden:

FFX6, Bit 0:	HFPEG	HF-Pegel
FFX7, Bit 3:	SELEI	Sendeleistung
FFX7, Bit 6:	SEVOR	Sendervorlauf

Die Meldungen können nur für SEI = "1" und BLOTS = "0" wirksam werden, für SEVOR muß zusätzlich gelten: SELEI 0,1,2 = "1".

Die Störungsmeldung des Synthesizers SYLOK0 (FFX6, Bit 2) wird nur dann wirksam, wenn das Signal DUSY0 (Durchschalten der Synthesizerfrequenz) auf "1" liegt.

Weitere Störungsmeldungen sind:

FFX6, Bit 1:	MODLOK	Modulator
FFX7, Bit 4:	TEMES	Temperatur Endstufe
FFX7, Bit 2:	SERUE	Senderrücklauf

Schließlich gibt es noch eine Meldung, die ebenfalls über die Störungsregister geführt wird. Bei ihrem Auftreten wird jedoch kein automatisches Einlatchen durchgeführt.

FFX6, Bit 1:	BGOK	Prüf Schleife: Baugruppen gesteckt
--------------	------	------------------------------------

4.2.9 Sonstiges

Pegelanpassung 6,4 MHz

Das von der Audio-Baugruppe kommende Signal T6,4MA wird mittels Transistor BCY58 und Schmitt-Trigger in ein TTL-Signal (T6M4) umgewandelt. Ein RC-Glied dient zum Verringern der Flankensteilheit (Verringern von Störeinflüssen).

-2,5-V-Versorgungsspannung für Audio-Teil

Die für die Audio-Baugruppe notwendigen -2,5V werden mittels eines Spannungs-konverters (ICL7660) aus der 10-V-Spannung erzeugt.

5 Technische Daten

Betriebsspannung 1	U = +5 V
Stromaufnahme 1	I = 0,65 A
Leistungsaufnahme 1	P = 3,25 W
Betriebsspannung 2	U = +10 V
Stromaufnahme 2	I = 0,53 A
Leistungsaufnahme 2	P = 5,3 W
Referenzfrequenz	6,4 MHz > 0 dBm
Betriebsarten	1. Sprache klar/WT 2. Sprache verschleiert 3. Schleifenschluß
Betriebsart	FM-Duplex
Frequenzhub mit Pre-/ Deemphasis bei	
Sprache klar/WT	≤ 4 kHz
Sprache verschleiert	≤ 4 kHz
Signaldaten	2,5 kHz
Funkkanalabstand	20 kHz
einstellbare Frequenzschritte	10/12,5 kHz
Duplexabstand	10 MHz
Sendefrequenzbereich	460,0 MHz bis 465,74 MHz
Signalisierungsdaten	
Datenformat	NRZ binär
Bitrate	5,28 kbit/s
Empfangsfrequenzbereich	450,0 MHz bis 455,74 MHz

5.1 Empfänger

Betriebsspannung	$U = +10 \text{ V}$
Stromaufnahme	$I = 90 \text{ mA}$
Leistungsaufnahme	$P = 900 \text{ mW}$
Störabstand, bezogen auf Prüfmodulation	
Fremdspannungsabstand	$\geq 37 \text{ dB}$
Geräuschspannungsabstand nach CCITT	$\geq 45 \text{ dB}$
Datenausgang,	
konzentrierte Daten	NRZ
Verteilte Daten im Sprechkanal,	
6 bit breiter Schlitz alle 12,5 ms	NRZ

5.2 Synthesizer

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 150 \text{ mA}$
Leistungsaufnahme 1	$P = 750 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 200 \text{ mA}$
Leistungsaufnahme 2	$P = 2 \text{ W}$

5.3 Modulator

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 65 \text{ mA}$
Leistungsaufnahme 1	$P = 325 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 180 \text{ mA}$
Leistungsaufnahme 2	$P = 1,8 \text{ W}$

5.4 Audio-Teil

Betriebsspannung 1	$U = +5 \text{ V}$
Stromaufnahme 1	$I = 2 \text{ mA}$
Leistungsaufnahme 1	$P = 10 \text{ mW}$
Betriebsspannung 2	$U = +10 \text{ V}$
Stromaufnahme 2	$I = 100 \text{ mA}$
Leistungsaufnahme 2	$P = 1 \text{ W}$

5.5 CPU

Betriebsspannung	$U = +5 \text{ V}$
Stromaufnahme	$I = 260 \text{ mA}$
Leistungsaufnahme	$P = 1,3 \text{ W}$

5.6 Audio-Interface

Betriebsspannung	$U = +5 \text{ V}$
Stromaufnahme	$I = 150 \text{ mA}$
Leistungsaufnahme	$P = 0,65 \text{ W}$

6 Geräteübersicht

Gegenstand	Bezeichnung	Maße in mm (BxHxT)	Gewicht in g
Funkmodem FKM-SPK	S42023-H131-...	100x595x197	5800
zugehörige Baugruppen:			
Anschlußfeldverdrahtung	S42024-H412		
und			
Filterbaugruppe	S42024-H413-...	100x63x12	
Empfänger	S42024-H169-...	100x167x24	
Modulator	S42024-H167-...	100x167x24	
Synthesizer	S42024-H168-...	100x167x21	
Audio-Teil	S42024-H381-...	100x167x2	
CPU	S42025-H418-B*1	100x167x12	
	+ Software S42025-H432-A150		
Audio-Interface	S42024-H382-...	100x167x12	

Die in der Beschreibung aufgeführten Sachnummern für Geräte oder Baugruppen sind im ausführungsspezifischen, variablen Teil des 3. Blocks der Sachnummer mit ... versehen.

Für jedes Gerät sind die genauen Sachnummern je nach Bestückung in der zugehörigen Bedienungsanleitung eingetragen. Die vorliegende Beschreibung hat für alle gelieferten Ausführungen Gültigkeit.